



(12) 实用新型专利

(10) 授权公告号 CN 220253242 U

(45) 授权公告日 2023. 12. 26

(21) 申请号 202321737111.1

(22) 申请日 2023.07.04

(73) 专利权人 瓴芯电子科技(无锡)有限公司  
地址 214135 江苏省无锡市新吴区菱湖大道200号中国传感网国际创新园A-201

(72) 发明人 秦松 杨新杰

(74) 专利代理机构 北京祯新理艺知识产权代理  
事务所(特殊普通合伙)  
16110

专利代理师 沈超

(51) Int. Cl.

H01L 27/088 (2006.01)

G01R 15/18 (2006.01)

G01R 19/00 (2006.01)

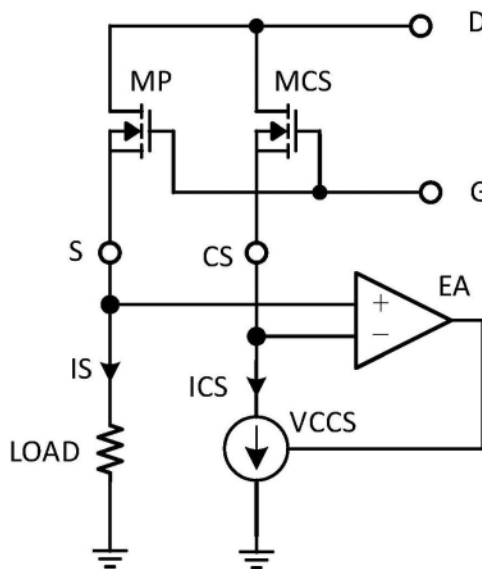
权利要求书2页 说明书5页 附图6页

(54) 实用新型名称

一种SGT电路以及电子设备

(57) 摘要

本申请涉及一种SGT电路包括,第一区域包括主功率SGT晶体管,第一区域周围设有闭合包围第一区域的第一隔离环;第二区域包括感测SGT晶体管,第二区域的周围设有闭合包围所述第二区域的第二隔离环;主功率SGT晶体管和感测SGT晶体管的第一极彼此耦合,二者的控制极也彼此耦合,主功率SGT晶体管的第二极耦合到负载,感测SGT晶体管导通时其第二极配置为输出与主功率SGT晶体管导通电流成比例的感测电流,该比例与主功率SGT晶体管和感测SGT晶体管的尺寸之比相对应;第一隔离环穿过所述第一区域中的主功率SGT晶体管的体区;第二隔离环穿过第二区域中的感测SGT晶体管的体区。本申请还涉及一种电子设备。



1. 一种SGT电路,其特征在于,包括:

第一区域,其包括主功率SGT晶体管,所述第一区域周围设有闭合包围所述第一区域的第一隔离环;

第二区域,其包括感测SGT晶体管,所述第二区域的周围设有闭合包围所述第二区域的第二隔离环,其中所述主功率SGT晶体管与所述感测SGT晶体管位于相同的衬底以及衬底上的外延层上;其中,所述主功率SGT晶体管和所述感测SGT晶体管的第一极彼此耦合,二者的控制极也彼此耦合,所述主功率SGT晶体管的第二极耦合到负载,所述感测SGT晶体管导通时其第二极配置为输出与所述主功率SGT晶体管导通电流成比例的感测电流,该比例与所述主功率SGT晶体管和所述感测SGT晶体管的尺寸之比相对应;

其中,所述第一隔离环穿过所述第一区域中的所述主功率SGT晶体管的体区,使其与所述第一隔离环以外的同层材料电学隔离;所述第二隔离环穿过所述第二区域中的感测SGT晶体管的体区,使其与所述第二隔离环以外的同层材料电学隔离。

2. 根据权利要求1所述的SGT电路,其特征在于

所述感测SGT晶体管包括

作为所述感测SGT晶体管第一极的金属层和位于其上的衬底;

在所述衬底上的外延层,其掺杂类型与所述衬底相同,掺杂浓度低于所述衬底;

在所述外延层中形成的第一沟槽和第二沟槽,并且在所述第一沟槽中设置了所述感测SGT晶体管的第一控制极以及与其电学隔离的第一屏蔽控制极,在所述第二沟槽中设置了第二控制极以及与其电学隔离的第二屏蔽控制极;

在所述第一沟槽和所述第二沟槽之间的体区,所述体区的掺杂类型与所述外延层相反;

设置在所述体区内与所述体区掺杂类型互补的所述感测SGT晶体管的第二极;

其中,所述感测SGT晶体管的感测电流至少包括在所述第一控制极和所述第一屏蔽控制极控制下,以及在所述第二控制极和所述第二屏蔽控制极控制下,从所述感测SGT晶体管的第一极流经所述第一沟槽和第二沟槽之间的体区并流向所述感测SGT晶体管第二极的两路电流。

3. 根据权利要求2所述的SGT电路,其特征在于

在所述第一沟槽远离所述第二沟槽的一侧的体区内也设有所述感测SGT晶体管的第二极,和/或在所述第二沟槽远离所述第一沟槽的一侧的体区内也设有所述感测SGT晶体管的第二极;

所述感测SGT晶体管的感测电流还包括在所述第一控制极和所述第一屏蔽控制极控制下,从所述感测SGT晶体管的第一极流经所述第一沟槽两侧的体区并流向所述感测SGT晶体管第二极的沟道电流,和/或在所述第二控制极和所述第二屏蔽控制极控制下,从所述感测SGT晶体管的第一极流经所述第二沟槽两侧的体区并流向所述感测SGT晶体管第二极的电流。

4. 根据权利要求1所述的SGT电路,其特征在于

所述感测SGT晶体管包括

作为所述感测SGT晶体管第一极的金属层和位于其上的衬底;

在所述衬底上的外延层,其掺杂类型与所述衬底相同,掺杂浓度低于所述衬底;

在所述外延层中形成的两条以上的沟槽,并且在所述沟槽中设置了所述感测SGT晶体管的控制极以及与其电学隔离的屏蔽控制极;

在相邻沟槽之间的体区,所述体区的掺杂类型与所述外延层相反;

设置在所述体区内与所述体区掺杂类型互补的所述感测SGT晶体管的第二极;

其中,所述感测SGT晶体管的感测电流至少包括在所述控制极和所述屏蔽控制极控制下,从所述感测SGT晶体管的第一极流经所述相邻沟槽之间的体区并流向所述感测SGT晶体管第二极的大于两路的电流。

5. 根据权利要求4所述的SGT电路,其特征在于相邻沟槽之间的距离相等。

6. 根据权利要求1所述的SGT电路,其特征在于

所述第一隔离环包括闭合的第三沟槽,以及位于所述第三沟槽中耦合到所述主功率SGT晶体管的第一极或第二极的隔离电极;

所述第二隔离环包括呈闭合的第四沟槽,以及位于所述第四沟槽中耦合到所述感测SGT晶体管的第一极或第二极的隔离电极。

7. 一种电子设备,其特征在于,包括如权利要求1-6中任一所述的SGT电路。

## 一种SGT电路以及电子设备

### 技术领域

[0001] 本申请涉及一种电路,特别地涉及一种SGT电路以及电子设备。

### 背景技术

[0002] 电流传感其是一种用于测量电路中电流大小的传感器,常见于各种电子设备和系统中。

[0003] SGT(shield gate trench,也称split gate trench)MOSFET,也称屏蔽栅沟槽晶体管或分裂栅沟槽晶体管,被作为开关器件广泛应用于电机驱动系统、逆变器系统及电源管理系统。SGT MOSFET结构在传统沟槽MOSFET器件PN结垂直耗尽的基础上引入了水平耗尽,将器件电场由三角形分布改变为近似矩形分布,在采用同样掺杂浓度的外延材料规格情况下,器件可以获得更高的击穿电压。

### 实用新型内容

[0004] 本申请提出了一种SGT电路包括,第一区域,其包括主功率SGT晶体管,所述第一区域周围设有闭合包围所述第一区域的第一隔离环;第二区域,其包括感测SGT晶体管,所述第二区域的周围设有闭合包围所述第二区域的第二隔离环,其中所述主功率SGT晶体管与所述感测SGT晶体管位于相同的衬底以及衬底上的外延层上;其中,所述主功率SGT晶体管和所述感测SGT晶体管的第一极彼此耦合,二者的控制极也彼此耦合,所述主功率SGT晶体管的第二极耦合到负载,所述感测SGT晶体管导通时其第二极配置为输出与所述主功率SGT晶体管导通电流成比例的感测电流,该比例与所述主功率SGT晶体管和所述感测SGT晶体管的尺寸之比相对应;其中,所述第一隔离环穿过所述第一区域中的所述主功率SGT晶体管的体区,使其与所述第一隔离环以外的同层材料电学隔离;所述第二隔离环穿过所述第二区域中的感测SGT晶体管的体区,使其与所述第二隔离环以外的同层材料电学隔离。

[0005] 特别的,所述感测SGT晶体管包括作为所述感测SGT晶体管第一极的金属层和位于其上的衬底;在所述衬底上的外延层,其掺杂类型与所述衬底相同,掺杂浓度低于所述衬底;在所述外延层中形成的第一沟槽和第二沟槽,并且在所述第一沟槽中设置了所述感测SGT晶体管的第一控制极以及与其电学隔离的第一屏蔽控制极,在所述第二沟槽中设置了第二控制极以及与其电学隔离的第二屏蔽控制极;在所述第一沟槽和所述第二沟槽之间的体区,所述体区的掺杂类型与所述外延层相反;设置在所述体区内与所述体区掺杂类型互补的所述感测SGT晶体管的第二极;其中,所述感测SGT晶体管的感测电流至少包括在所述第一控制极和所述第一屏蔽控制极控制下,以及在所述第二控制极和所述第二屏蔽控制极控制下,从所述感测SGT晶体管的第一极流经所述第一沟槽和第二沟槽之间的体区并流向所述感测SGT晶体管第二极的两路电流。

[0006] 特别的,在所述第一沟槽远离所述第二沟槽的一侧的体区内也设有所述感测SGT晶体管的第二极,和/或在所述第二沟槽远离所述第一沟槽的一侧的体区内也设有所述感测SGT晶体管的第二极;所述感测SGT晶体管的感测电流还包括在所述第一控制极和所述第

一屏蔽控制极控制下,从所述感测SGT晶体管的第一极流经所述第一沟槽两侧的体区并流向所述感测SGT晶体管第二极的沟道电流,和/或在所述第二控制极和所述第二屏蔽控制极控制下,从所述感测SGT晶体管的第一极流经所述第二沟槽两侧的体区并流向所述感测SGT晶体管第二极的电流。

[0007] 特别的,所述感测SGT晶体管包括作为所述感测SGT晶体管第一极的金属层和位于其上的衬底;在所述衬底上的外延层,其掺杂类型与所述衬底相同,掺杂浓度低于所述衬底;在所述外延层中形成的两条以上的沟槽,并且在所述沟槽中设置了所述感测SGT晶体管的控制极以及与其电学隔离的屏蔽控制极;在相邻沟槽之间的体区,所述体区的掺杂类型与所述外延层相反;设置在所述体区内与所述体区掺杂类型互补的所述感测SGT晶体管的第二极;其中,所述感测SGT晶体管的感测电流至少包括在所述控制极和所述屏蔽控制极控制下,从所述感测SGT晶体管的第一极流经所述相邻沟槽之间的体区并流向所述感测SGT晶体管第二极的大于两路的电流。

[0008] 特别的,相邻沟槽之间的距离相等。

[0009] 特别的,所述第一隔离环包括闭合的第三沟槽,以及位于所述第三沟槽中耦合到所述主功率SGT晶体管的第一极或第二极的隔离电极;所述第二隔离环包括呈闭合的第四沟槽,以及位于所述第四沟槽中耦合到所述感测SGT晶体管的第一极或第二极的隔离电极。

[0010] 本申请还提供了一种电子设备包括如前任一所述的SGT电路。

## 附图说明

[0011] 下面,将结合附图对本申请的优选实施方式进一步详细的说明,其中:

[0012] 图1所示为根据本申请一个实施例的电流传感器电路示意图;

[0013] 图2A所示为根据本申请一个实施例的SGT电路的俯视拓扑结构示意图;

[0014] 图2B所示为根据本申请另一个实施例的SGT电路的俯视拓扑结构示意图;

[0015] 图3A所示为根据本申请一个实施例的SGT电路部分侧视剖面示意图;

[0016] 图3B所示为根据本申请一个实施例的SGT电路部分侧视剖面示意图;

[0017] 图3C所示为根据本申请一个实施例的SGT电路部分侧视剖面示意图。

## 具体实施方式

[0018] 为使本申请实施例的目的、技术方案和优点更加清楚,下面将结合本申请实施例中的附图,对本申请实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例是本申请一部分实施例,而不是全部的实施例。基于本申请中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本申请保护的范围。

[0019] 在以下的详细描述中,可以参看作为本申请一部分用来说明本申请的特定实施例的各个说明书附图。在附图中,相似的附图标记在不同图式中描述大体上类似的组件。本申请的各个特定实施例在以下进行了足够详细的描述,使得具备本领域相关知识和技术的普通技术人员能够实施本申请的技术方案。应当理解,还可以利用其它实施例或者对本申请的实施例进行结构、逻辑或者电性的改变。

[0020] 对于相关领域普通技术人员已知的技术、方法和设备可能不作详细讨论,但在适当情况下,所述技术、方法和设备应当被视为说明书的一部分。对于附图中的各单元之间的

连线,仅仅是为了便于说明,其表示至少连线两端的单元是相互通信的,并非旨在限制未连线的单元之间无法通信。另外,两个单元之间线条的数目旨在表示该两个单元之间通信至少所涉及的信号数或至少具备的输出端,并非用于限定该两个单元之间只能如图中所示的信号来进行通信。

[0021] 晶体管可指任何结构的晶体管,例如场效应晶体管(FET)或者双极型晶体管(BJT)。当晶体管为场效应晶体管时,根据沟道材料不同,可以是氢化非晶硅、金属氧化物、低温多晶硅、有机晶体管等。根据载流子是电子或空穴,可以分为N型晶体管和P型晶体管,其控制极是指场效应晶体管的栅极,第一极可以为场效应晶体管的漏极或源极,对应的第二极可以为场效应晶体管的源极或漏极,控制极或第三极可以为栅极;当晶体管为双极型晶体管时,其控制极是指双极型晶体管的基极,第一极可以为双极型晶体管的集电极或发射极,对应的第二极可以为双极型晶体管的发射极或集电极,控制极或第三极可以为基极。晶体管可以采用非晶硅、多晶硅、氧化物半导体、有机半导体、NMOS/PMOS工艺或者CMOS工艺来制造。

[0022] 图1所示为根据本申请一个实施例的SGT电路示意图。以下N型晶体管为例进行说明。本领域技术人员知晓可以在不付出创造劳动的前提下将其转换为P型晶体管的电路。该SGT电路包括主功率SGT晶体管及其电流传感器,该电流传感器可以至少包括感测SGT晶体管以及其他的电路组件。主功率SGT晶体管和感测SGT晶体管采用同类SGT MOSFET结构,二者中包括的相应各层材料(掺杂类型,掺杂浓度)相同。从结构上来说,主功率SGT晶体管的控制极之间的间距和感测SGT晶体管控制极的之间的间距相同,但是二者的控制极的长度不同以及控制极个数不同,这些不同决定了主功率SGT晶体管和感测SGT晶体管的电流大小比例。

[0023] 其中被测的主功率SGT晶体管为MP,感测SGT晶体管为MCS,二者的第一极彼此耦合到D端,二者的控制极彼此耦合到G端。

[0024] 根据一个实施例,MP的第二极S端可以通过负载LOAD接地,同时S端可以耦合到误差放大器EA的正输入端。

[0025] 根据一个实施例,MCS的第二极CS端可以耦合到误差放大器EA的负输入端。

[0026] 根据一个实施例,还可以包括压控电流源VCCS,误差放大器EA的输出端耦合到VCCS对其进行控制,使得CS端的电位等于S端的电位。

[0027] 由此,主功率SGT晶体管MP和感测SGT晶体管MCS的第一极、第二极和控制极电位都是相同的,MP的尺寸是MCS的K倍,因此流经MP的电流等于流经MCS的电流的K倍。通过检测感测SGT晶体管MCS的电流即可推知主功率SGT晶体管MP的电流。

[0028] 图2A所示为根据本申请一个实施例的SGT电路的俯视拓扑结构示意图。

[0029] 根据一个实施例,感测晶体管所在的区域为5,在5的周围有一圈闭合的隔离环4。

[0030] 根据一个实施例,主功率SGT晶体管所在的区域为2,区域5可以位于区域2以内,并且在区域2靠近区域5的周围有一圈闭合的隔离环1。

[0031] 根据一个实施例,区域2远离区域5的周围还可以设有一圈闭合的隔离环1。

[0032] 根据一个实施例,在内圈隔离环1和隔离环4之间的区域为体区材料层3,在区域2和区域5内部也都包括了与3同层的体区材料。在体区材料下方还可以设有与其掺杂类型互补的外延层和衬底。但是区域5中的体区材料被隔离环4将其与体区材料3电学隔离,区域2

中的体区材料被隔离环1将其与体区材料3电学隔离。

[0033] 图2B所示为根据本申请另一个实施例的SGT电路的俯视拓扑结构示意图。

[0034] 在该实施例中感测SGT晶体管所在的区域5位于主功率SGT晶体管所在的区域2以外。在区域5周围设有一圈封闭的隔离环4,在区域2周围设有一圈封闭的隔离环1。在区域2和区域5之间是体区半导体层3,由于隔离环1和隔离环4的存在,区域5中的体区材料层与3电学隔离,区域2中的体区材料层与3同样也是电学隔离。

[0035] 隔离环的存在非常重要,因为如果没有隔离环,那么在感测SGT晶体管和主功率SGT晶体管的源极之间就有可能通过3作为等效电阻彼此耦合,这样感测SGT晶体管的检测结果的准确性就会受到影响。

[0036] 图3A所示为根据本申请一个实施例的SGT电路部分侧剖示意图。

[0037] 如图所示,虚线框1内为感测SGT晶体管,虚线框2内为主功率SGT晶体管。在本实施例中感测SGT晶体管包括作为第一极的漏极金属层D和位于D上方的重掺杂N<sup>+</sup>衬底层N-sub;以及位于衬底层上方的轻掺杂N型外延层N-epi;在外延层上方依次设有介质层和金属层;在N-epi中形成的两个沟槽301;以及分布在两个沟槽之间的在外延层中形成的P型体区或P阱PW;和在体区PW中形成的第二极例如N<sup>+</sup>源极302;其中体区和第二极通过深入到体区中的接触孔中的金属与介质层上方的金属层电连接。

[0038] 根据一个实施例,沟槽301开口于N-epi层上表面,其中包括位于底部的屏蔽控制极或屏蔽栅,以及上方的控制极或栅极;二者通过介质层彼此电学隔离。根据一个实施例,屏蔽栅周围的介质层厚度大于栅极周围的介质层厚度。根据一个实施例,栅极和屏蔽栅极都可以包括经掺杂的多晶硅,但是二者的掺杂浓度可以不同。

[0039] 根据一个实施例,隔离环303闭合围绕在感测SGT晶体管的周围。隔离环303可以包括开口于N-epi层上表面的沟槽,其内壁可以设有介质层,介质层可以包围隔离电极,隔离电极可以包括例如经掺杂的多晶硅。根据一个实施例,隔离电极可以耦合到感测SGT晶体管的第一极或第二极。根据不同的实施例,隔离环的个数也可以大于一。

[0040] 根据一个实施例,感测晶体管还可以包括用于把体区和第二极共同电连接到外部金属层CS的接触孔。根据一个实施例,接触孔的底端可以位于体区中,接触孔的侧壁可以与第二极接触,并且在接触孔的底端可以形成有P<sup>+</sup>接触层,用于改善接触电阻。

[0041] 在这种结构中,感测电流包括,在沟槽301中的控制极和屏蔽控制极控制下的、从感测晶体管的第一极或漏极金属层D、N<sup>+</sup>衬底层、N型外延层以及P阱最终流向N<sup>+</sup>源极的两路电流i<sub>1</sub>和i<sub>2</sub>。

[0042] 根据一个实施例,两个相邻沟槽301之间的距离、隔离环与相邻沟槽301之间的距离均为WM。并且在俯视图中,两个沟槽301的宽度与隔离环沟槽的宽度也是基本相同的。

[0043] 根据一个实施例,如图3A所示,在隔离环与沟槽301之间还可以设有多条与沟槽301平行的其他沟槽,其中可以设有介质层以及被介质层包围的多晶硅电极。

[0044] 由图可见,隔离环的沟槽穿透感测SGT晶体管的P阱或者P型体区,使得感测SGT晶体管隔离环包围区域内的P型体区与外部的同层的P型材料电学隔离,从而使得感测SGT晶体管隔离环包围区域内的P型体区与N型外延层所形成的PN结不会受到相邻的SGT主功率晶体管的影响。

[0045] 图3B所示为根据本申请一个实施例的SGT电路部分侧剖示意图。

[0046] 如图所示,虚线框1内为感测SGT晶体管,虚线框2内为主功率SGT晶体管。在本实施例中感测SGT晶体管包括两个沟槽301以及分布在两个沟槽301两侧的N+源极302。在这种结构中,感测电流包括,在沟槽301中的控制极和屏蔽控制极控制下的、从感测晶体管的第一极或漏极金属层D、N+衬底层、N型外延层以及P阱最终流到两个沟槽301两侧的N+源极的四路电流*i*<sub>11</sub>、*i*<sub>12</sub>、*i*<sub>22</sub>、*i*<sub>31</sub>。

[0047] 图3C所示为根据本申请一个实施例的SGT电路部分侧剖示意图。

[0048] 如图所示,虚线框1内为感测SGT晶体管,虚线框2内为主功率SGT晶体管。在本实施例中感测SGT晶体管包括四个沟槽301以及分布在四个沟槽之间的N+源极302。在这种结构中,感测电流包括,在沟槽301中的控制极和屏蔽控制极控制下的、从感测晶体管的漏极金属层D、N+衬底层、N型外延层以及P阱最终流到四个隔离栅之间的N+源极的六路电流*i*<sub>11</sub>、*i*<sub>12</sub>、*i*<sub>21</sub>、*i*<sub>22</sub>、*i*<sub>31</sub>和*i*<sub>32</sub>。

[0049] 上述实施例仅供说明本申请之用,而并非是对本申请的限制,有关技术领域的普通技术人员,在不脱离本申请范围的情况下,还可以做出各种变化和变型,因此,所有等同的技术方案也应属于本申请公开的范畴。



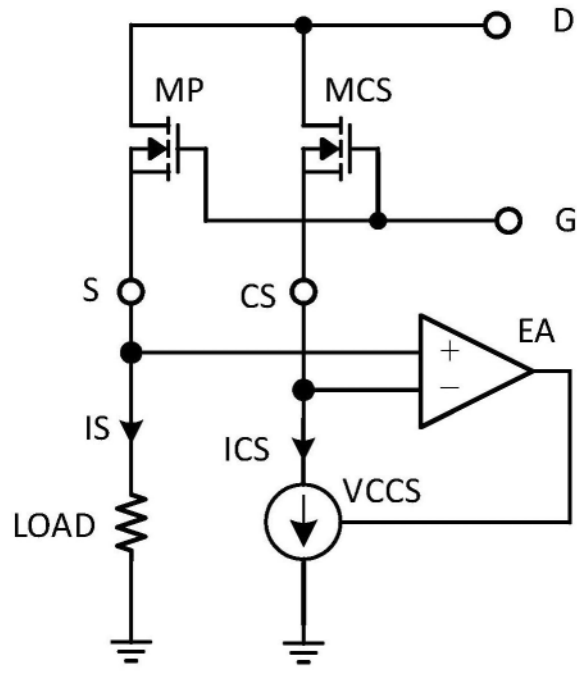


图1

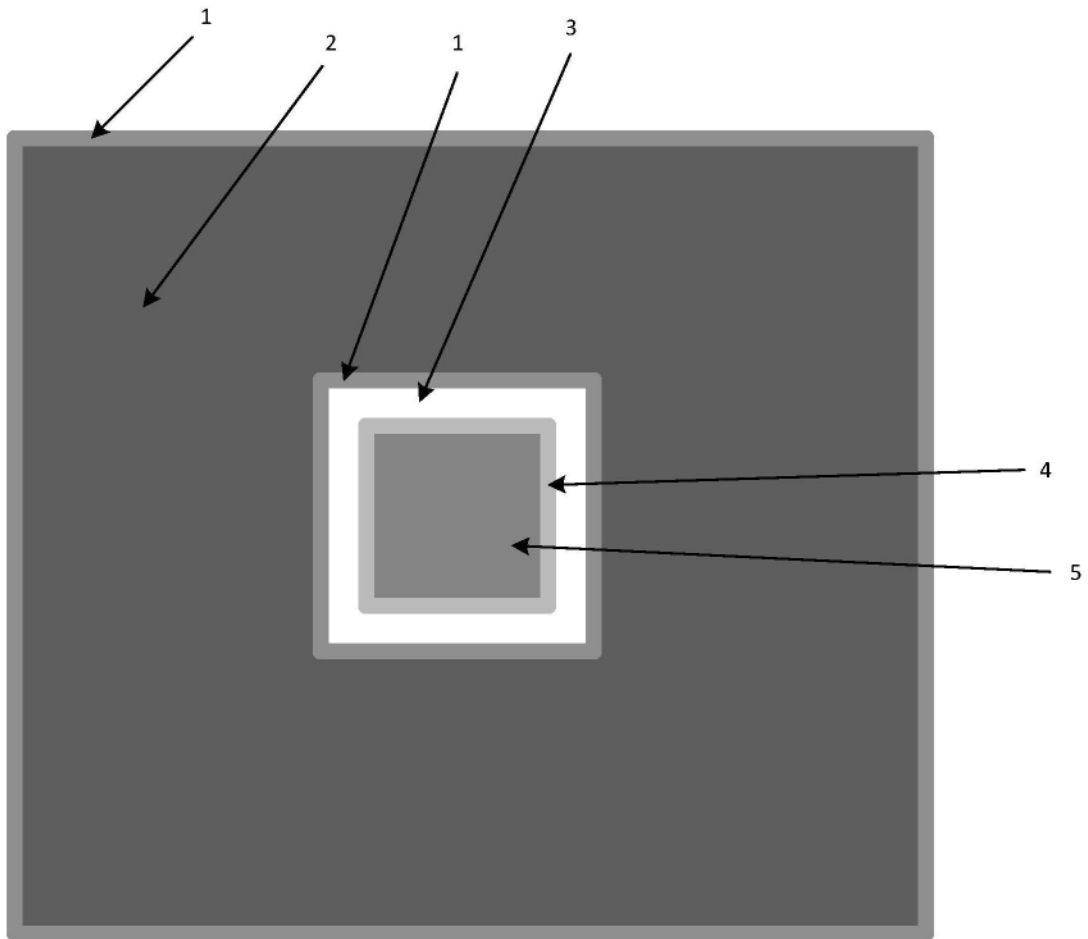


图2A

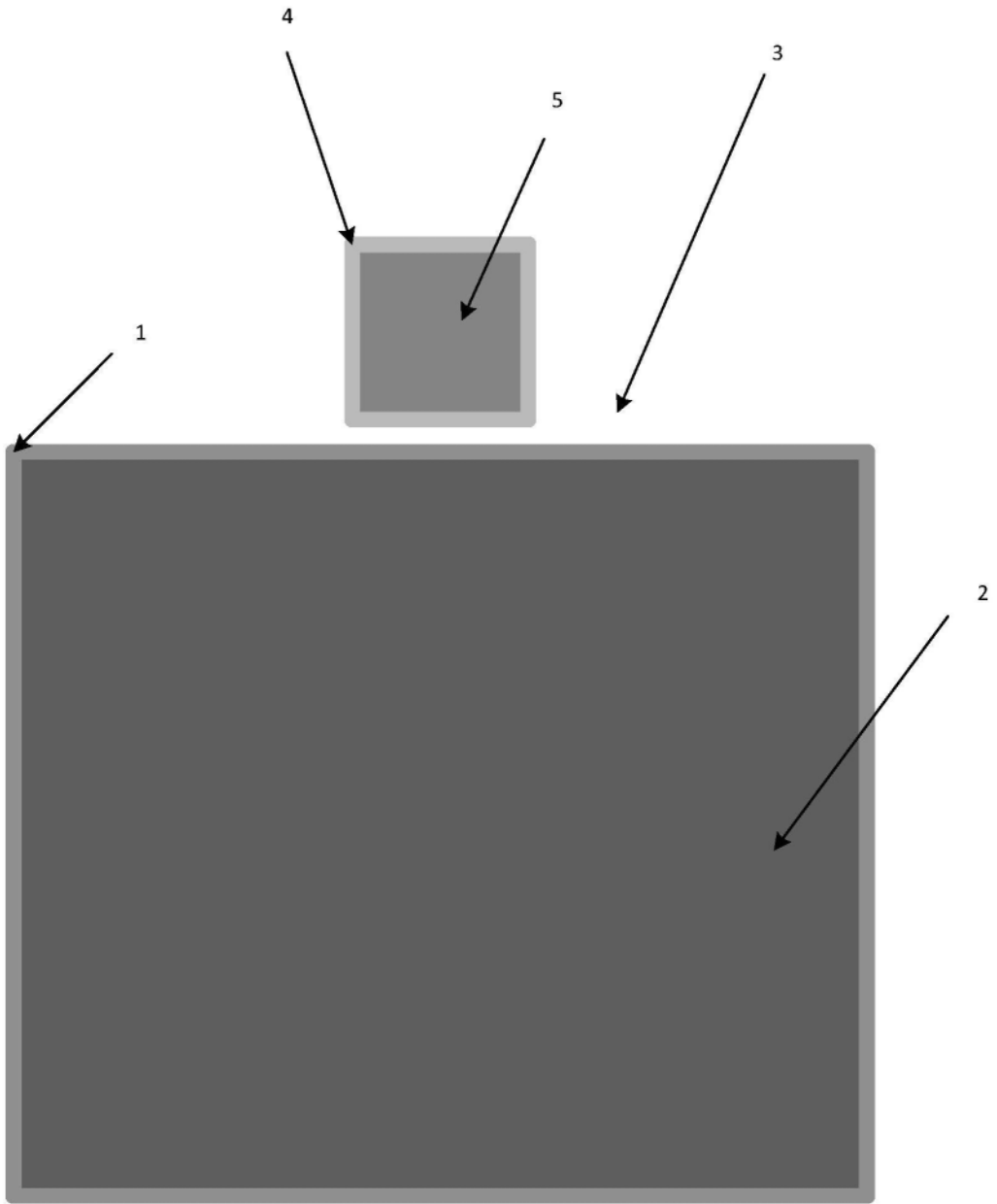


图2B

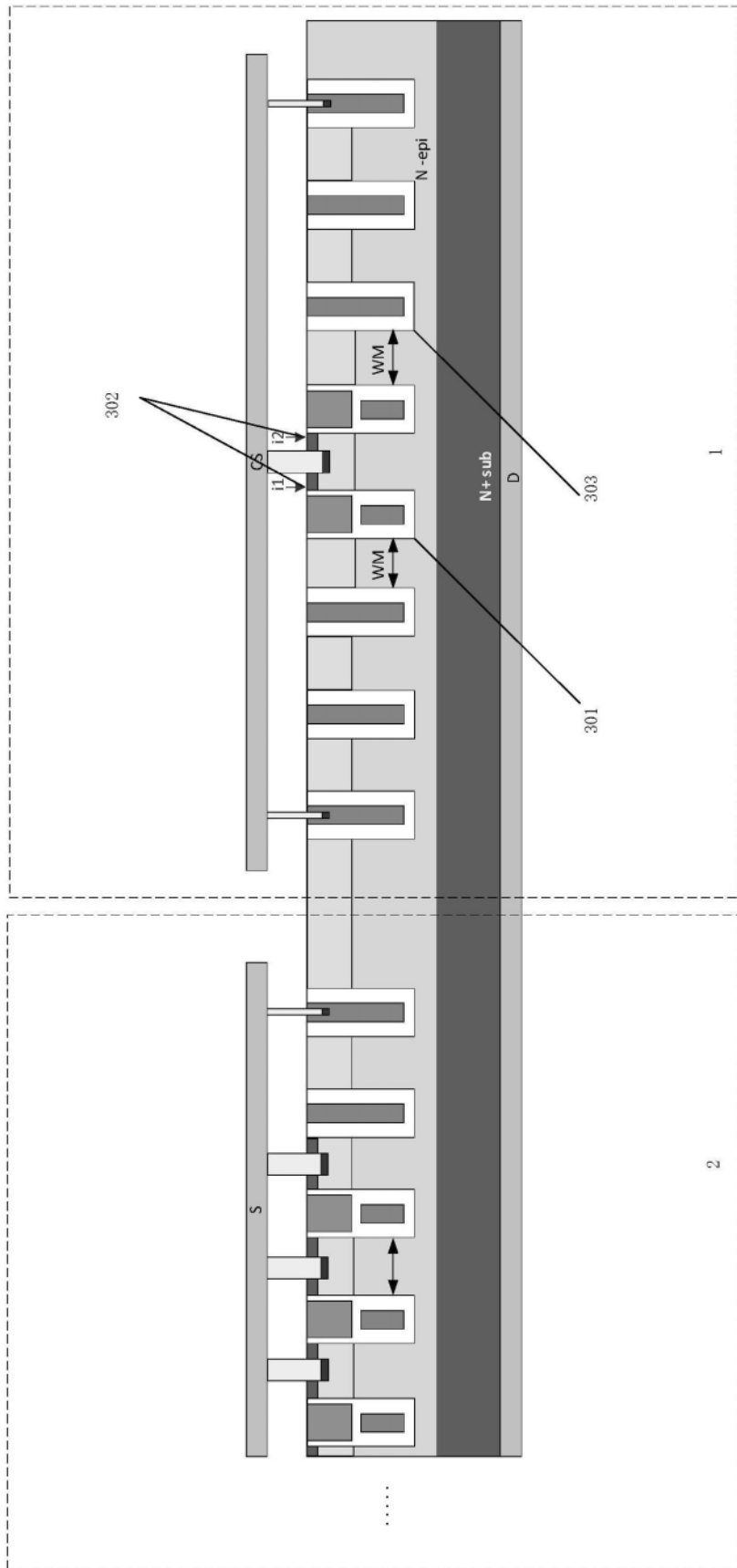


图3A

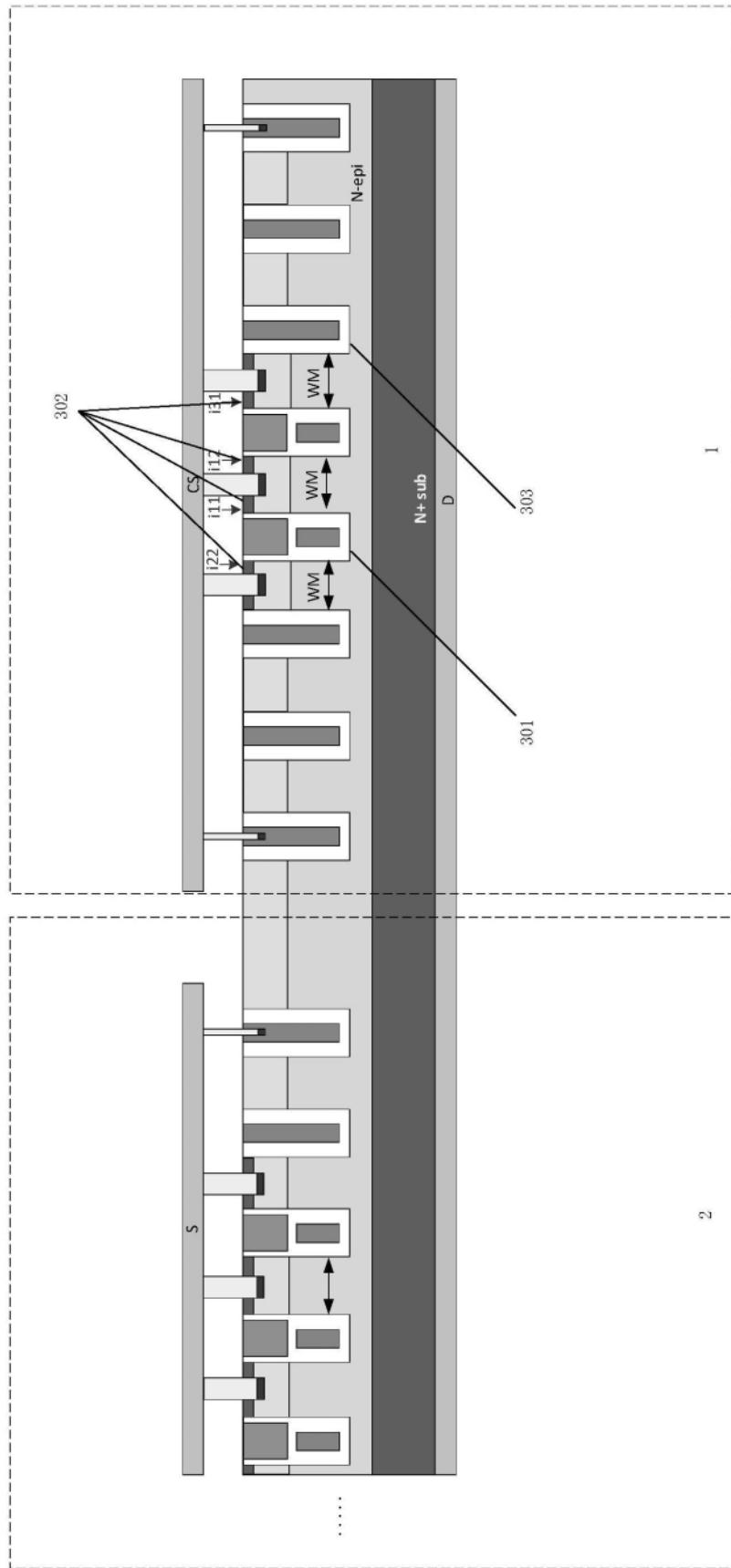


图3B

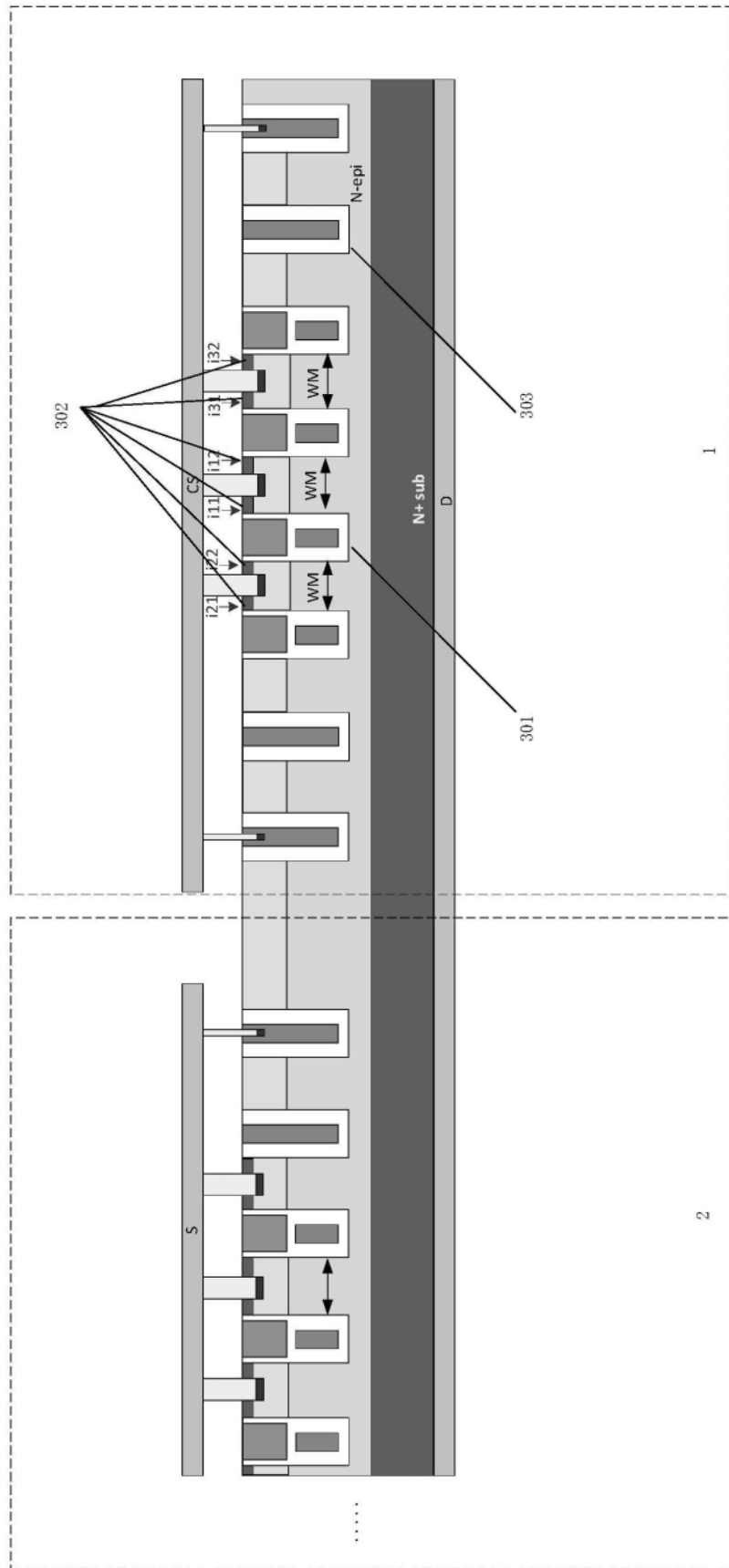


图3C