



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0009426  
(43) 공개일자 2021년01월26일

- |  |   |
|--|---|
| <p>(51) 국제특허분류(Int. Cl.)<br/><b>H01L 21/768</b> (2006.01)</p> <p>(52) CPC특허분류<br/><b>H01L 21/76877</b> (2013.01)<br/><b>H01L 21/76813</b> (2013.01)</p> <p>(21) 출원번호 <b>10-2021-7000800</b></p> <p>(22) 출원일자(국제) <b>2019년06월12일</b><br/>심사청구일자 <b>없음</b></p> <p>(85) 번역문제출일자 <b>2021년01월11일</b></p> <p>(86) 국제출원번호 <b>PCT/US2019/036818</b></p> <p>(87) 국제공개번호 <b>WO 2019/241417</b><br/>국제공개일자 <b>2019년12월19일</b></p> <p>(30) 우선권주장<br/>62/684,505 2018년06월13일 미국(US)<br/>16/439,360 2019년06월12일 미국(US)</p> | <p>(71) 출원인<br/><b>인벤사스 본딩 테크놀로지스 인코포레이티드</b><br/>미국 95134 캘리포니아주 새너제이 오차드 파크웨이 3025</p> <p>(72) 발명자<br/><b>가오 켈리언</b><br/>미국 95134 캘리포니아주 새너제이 오차드 파크웨이 3025<br/><b>이 봉섭</b><br/>미국 95134 캘리포니아주 새너제이 오차드 파크웨이 3025<br/>(뒷면에 계속)</p> <p>(74) 대리인<br/><b>유미특허법인</b></p> |
|--|---|

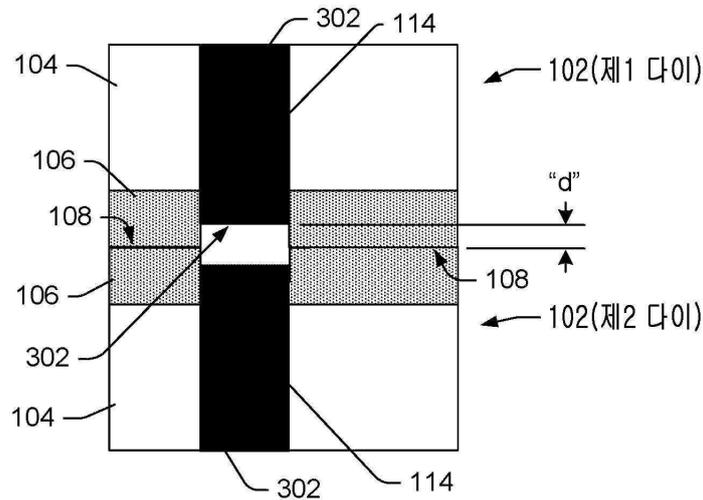
전체 청구항 수 : 총 19 항

(54) 발명의 명칭 **패드로서의 TSV**

(57) 요약

공정 단계들을 포함하는 대표적인 기술과 장치를 사용하여, 결합 표면에서의 금속 팽창으로 인한 결합된 마이크로 전자 기관의 층간 박리의 가능성을 줄일 수 있다. 예컨대, 관통 실리콘 전극(TSV)이 마이크로 전자 기관 중의 적어도 하나를 통해 배치될 수 있다. TSV는 기관의 결합 계면에서 노출되고 직접 결합을 위한 접촉 표면으로서 기능하게 된다.

대표도 - 도5



(52) CPC특허분류

*H01L 21/76816* (2013.01)

*H01L 21/7684* (2013.01)

*H01L 21/76846* (2013.01)

*H01L 21/7685* (2013.01)

(72) 발명자

**파운틴 주니어 가이우스 길맨**

미국 95134 캘리포니아주 새너제이 오차드 파크웨이 3025

**유조 사이프ريان 에메카**

미국 95134 캘리포니아주 새너제이 오차드 파크웨이 3025

**하바 벨가셈**

미국 95134 캘리포니아주 새너제이 오차드 파크웨이 3025

**미르카리미 로라 윌스**

미국 95134 캘리포니아주 새너제이 오차드 파크웨이 3025

**카트카르 라예쉬**

미국 95134 캘리포니아주 새너제이 오차드 파크웨이 3025

## 명세서

### 청구범위

#### 청구항 1

마이크로 전자 어셈블리를 형성하는 방법으로서,

제1 결합 표면을 갖는 제1 기판을 통해 전기 전도성 비아(via)를 제공하는 단계 - 전기 전도성 비아는 상기 제1 결합 표면으로부터 적어도 부분적으로 상기 제1 기판을 통해 연장됨 -;

상기 제1 결합 표면의 반대편에 있는 표면에서 상기 전기 전도성 비아를 노출시키는 단계; 및

제2 결합 표면을 형성하는 단계를 포함하고,

상기 전기 전도성 비아는 상기 제2 결합 표면에 대해 리세스되어 있는, 마이크로 전자 어셈블리를 형성하는 방법.

#### 청구항 2

제1항에 있어서,

결합 표면의 형성은, 비전도성 부분을 형성하고 또한 그 비전도성 표면을 연마하여 상기 전기 전도성 비아의 노출된 단부를 리세스하는 것을 포함하는, 마이크로 전자 어셈블리를 형성하는 방법.

#### 청구항 3

제2항에 있어서,

상기 리세스는 결합 공정 동안에 상기 전도성 비아의 팽창을 보상하는, 마이크로 전자 어셈블리를 형성하는 방법.

#### 청구항 4

제1항에 있어서,

제2 기판을 제공하는 단계; 및

접착제의 개재 없이 상기 제1 기판의 제2 결합 표면을 제2 기판에 직접 결합시키는 단계를 더 포함하는, 마이크로 전자 어셈블리를 형성하는 방법.

#### 청구항 5

제4항에 있어서,

상기 제2 기판은 적어도 부분적으로 그 기판을 통해 연장되어 있는 전기 전도성 비아를 더 포함하는, 마이크로 전자 어셈블리를 형성하는 방법.

#### 청구항 6

제5항에 있어서,

상기 제2 기판은 상기 전기 전도성 비아 위에 있는 패드를 더 포함하고, 이 패드는 상기 제1 기판의 전기 전도성 비아와 접촉하는, 마이크로 전자 어셈블리를 형성하는 방법.

#### 청구항 7

제5항에 있어서,

상기 제1 기판의 전기 전도성 비아는 상기 제2 기판의 전기 전도성 비아와 실질적으로 정렬되는, 마이크로 전자 어셈블리를 형성하는 방법.

**청구항 8**

제1항에 있어서,

상기 전도성 비아와 제2 결합 표면 사이에 경사 틈이 있도록 상기 전도성 비아의 노출된 단부를 형성하는 단계를 더 포함하는, 마이크로 전자 어셈블리를 형성하는 방법.

**청구항 9**

마이크로 전자 어셈블리를 형성하는 방법으로서,

전방측과 후방측을 갖는 제1 기판을 제공하는 단계 - 상기 후방측은 결합 표면을 가지며, 결합 표면은 비전도성 결합층 및 상기 비전도성 결합층으로부터 리세스되어 있는 노출된 전기 전도성 비아를 포함함 -;

전방측과 후방측을 갖는 제2 기판을 제공하는 단계 - 상기 전방측은 비전도성 결합층과 노출된 패드를 포함함 -;

상기 제1 및 제2 기판의 비전도성 결합층들을 서로 접촉시켜 제2 기판의 전방측을 제1 기판의 후방측에 연결하는 단계; 및

열처리 단계를 통해 상기 노출된 패드를 상기 노출된 전기 전도성 비아에 연결하는 단계를 포함하는, 마이크로 전자 어셈블리를 형성하는 방법.

**청구항 10**

제9항에 있어서,

상기 패드는 연결 전에 상기 제2 기판의 비전도성 결합층 아래로 리세스되어, 패드와 전기 전도성 비아의 열팽창을 수용하는, 마이크로 전자 어셈블리를 형성하는 방법.

**청구항 11**

제9항에 있어서,

상기 제1 기판의 비전도성 결합층은 확산 배리어 및 이 확산 배리어 상의 절연체를 포함하고, 절연체는 결합 표면으로서 작용하는, 마이크로 전자 어셈블리를 형성하는 방법.

**청구항 12**

마이크로 전자 어셈블리를 형성하는 방법으로서,

비전도성 결합층 및 노출된 전도성 비아를 포함하는 후방측 표면을 갖는 제1 기판을 제공하는 단계;

비전도성 결합층 및 노출된 전도성 비아를 포함하는 후방측 표면을 갖는 제2 기판을 제공하는 단계;

상기 제1 및 제2 기판의 비전도성 결합층들을 서로 접촉시켜 제2 기판을 제1 기판에 연결하는 단계; 및

상기 제1 및 제2 기판의 노출된 전도성 비아들을 서로 연결하는 단계를 포함하는, 마이크로 전자 어셈블리를 형성하는 방법.

**청구항 13**

제12항에 있어서,

상기 전도성 비아를 통해 열을 상기 제1 기판으로부터 제2 기판에 전달하는 단계를 더 포함하는, 마이크로 전자 어셈블리를 형성하는 방법.

**청구항 14**

제12항에 있어서,

상기 비아는 상기 제1 또는 제2 기판에 있는 전기 장치에 또는 그로부터 전기 신호를 전달하도록 구성되어 있는, 마이크로 전자 어셈블리를 형성하는 방법.

**청구항 15**

마이크로 전자 어셈블리로서,

비전도성 결합층 및 전기 전도성 비아를 포함하는 결합 표면을 갖는 제1 기판 - 상기 전기 전도성 비아는 제1 기판으로부터 전기적으로 절연됨 -; 및

비전도성 결합층 및 전기 전도성 피쳐(feature)를 포함하는 제2 기판을 포함하고,

상기 전기 전도성 피쳐는 상기 제2 기판 안으로 연장되어 있고 또한 그로부터 전기적으로 절연되어 있으며,

상기 제2 기판은 상기 전기 전도성 비아가 상기 전기 전도성 피쳐와 접촉하여 신호 경로를 형성하도록 상기 제1 기판에 직접 결합되는, 마이크로 전자 어셈블리.

**청구항 16**

제15항에 있어서,

상기 전기 전도성 피쳐는, 상기 제2 기판 내부에 있는 적어도 하나의 추가 전기 전도성 피쳐에 연결되는 전기 전도성 패드인, 마이크로 전자 어셈블리.

**청구항 17**

제15항에 있어서,

상기 전기 전도성 피쳐는 적어도 부분적으로 상기 제2 기판을 통해 연장되어 있는 전기 전도성 비아인, 마이크로 전자 어셈블리.

**청구항 18**

제15항에 있어서,

상기 전기 전도성 피쳐는 전기 전도성 패드 및 전기 전도성 비아를 포함하고, 전기 전도성 패드는 전기 전도성 비아로부터 오프셋되어 있는, 마이크로 전자 어셈블리.

**청구항 19**

제15항에 있어서,

상기 제1 기판의 후방측에서 하나 이상의 유전성 응력 완화 층을 더 포함하는, 마이크로 전자 어셈블리.

**발명의 설명**

**기술 분야**

[0001] 본 출원은 2019년 6월 12일에 출원된 미국 비가출원 16/439,360, 및 2018년 6월 13일에 출원된 미국 가출원 62/684,505의 35 U.S.C. § 119(e)(1) 하의 이익을 주장하고, 이는 전체적으로 참조로 관련되어 있다.

[0002] 이하의 설명은 집적 회로("IC")에 관한 것이다. 특히, 이하의 설명은 IC 다이 및 웨이퍼의 제조에 관한 것이다.

**배경 기술**

[0003] 마이크로 전자 요소는 종종 비소화 구조 또는 갈륨과 같은 반도체 재료의 얇은 슬라브(slab)(일반적으로 반도체 웨이퍼라고 함)을 포함한다. 웨이퍼는, 웨이퍼의 표면에 있고/있거나 웨이퍼 내부에 부분적으로 매립되는 다수의 집적 칩 또는 다이를 포함하도록 형성될 수 있다. 웨이퍼로부터 분리되는 다이는 일반적으로 개별적인 패키징된 유닛으로서 제공된다. 어떤 패키지 설계에서, 다이는 기판 또는 칩 캐리어에 장착되며, 그 기판 또는 칩 캐리어는 인쇄 회로 기판(PCB)과 같은 회로 패널에 장착된다. 예컨대, 많은 다이들이 표면 장착에 적합한 패키지에 제공된다.

[0004] 패키징된 반도체 다이는 또한 "적층" 배치로 제공될 수 있는데, 이러한 적층 배치에서 한 패키지는 예컨대 회로 기판 또는 다른 캐리어에 제공되고, 다른 패키지는 제1 패키지 위에 장착된다. 이러한 배치에 의해, 많은 상이

한 다이 또는 장치가 회로 기판 상에서 단일 점유 면적 내에 장착될 수 있고, 또한 패키지 사이의 상호 연결부가 짧게 되어 고속 작동이 더 촉진된다. 종종, 이 상호 연결 거리는 다이 자체의 두께 보다 약간만 더 클 수 있다. 다이 패키지의 적층체 내에서 상호 연결을 이루기 위해, 기계적 및 전기적 연결을 위한 상호 연결 구조물이 각 다이 패키지(최상층 패키지는 제외)의 양측(예컨대, 정면)에 제공될 수 있다.

[0005] 추가적으로, 다이 또는 웨이퍼는 다양한 마이크로 전자 패키징 구성의 일부분으로서 3차원 배치로 적층될 수 있다. 이는 하나 이상의 다이, 장치 및/또는 웨이퍼의 층을 더 큰 베이스 다이, 장치, 웨이퍼, 기판 등에 적층하고 다수의 다이 또는 웨이퍼를 수직 또는 수평 배치 및 이 둘의 다양한 조합으로 적층하는 것을 포함할 수 있다.

[0006] 다이 또는 웨이퍼는, ZiBond®와 같은 직접적인 유전성 결합 비접착 기술 또는 DBI®와 같은 하이브리드 결합 기술을 사용하여 적층 배치로 결합될 수 있고, 그 두 기술은 Invensas Bonding Technologies, Inc.(이전에는, Ziptronix, Inc.) 및 Xperi 컴퍼니에서 이용 가능하다. 결합은, 2개의 준비된 표면이 함께 모이면 주변 조건에서 일어나는 자발적인 공정을 포함한다(예컨대, 전체적으로 여기에 관련되어 있는 미국 특허 6,864,585 및 7,485,968 참조).

[0007] 결합된 다이 또는 웨이퍼의 각각의 짝이름 표면은 종종 매립된 전도성 상호 연결 구조물(금속일 수 있음) 등을 포함한다. 어떤 예에서, 결합 표면은, 각각의 표면의 전도성 상호 연결 구조물이 결합 중에 결합되도록 배치 및 정렬된다. 결합된 상호 연결 구조물은 적층된 다이 또는 웨이퍼 사이에서 (신호, 전력 등을 위한) 연속적인 전도성 상호 연결부를 형성한다.

[0008] 적층된 다이 및 웨이퍼 배치를 실현함에 있어 다양한 난관이 있을 수 있다. 직접 결합 또는 하이브리드 결합 기술을 사용하여 그 적층된 다이를 결합할 때, 결합될 다이의 표면은 극히 평평하고 매끄럽고 또한 깨끗한 것이 일반적으로 바람직하다. 예컨대, 일반적으로, 표면은 표면 형태에 있어서 매우 낮은 변동(즉, 나노미터 수준의 변화)을 가져야 하며, 그래서 표면은 밀접히 짝을 이루어 지속적인 결합을 형성할 수 있다.

[0009] 적층과 결합을 위해 양면 다이가 형성되고 준비될 수 있는데, 이 경우 다이의 양측은 예컨대 다수의 다이-다이 또는 다이-웨이퍼 용례로 다른 기판 또는 다이에 결합될 것이다. 다이의 양측을 준비하는 것은, 유전체 거칠기 사양 및 금속층(예컨대, 구리 등) 리세스(recess) 사양을 만족하도록 양 표면을 마무리하는 것을 포함한다. 예컨대, 결합 표면에 있는 전도성 상호 연결 구조물은 결합 표면의 절연 재료의 바로 아래로 약간 리세스(recessing)될 수 있다. 결합 표면 아래의 리세스의 양은 장치 또는 용례의 치수 공차, 사양 또는 물리적 제한에 의해 결정될 수 있다. 하이브리드 표면은 화학 기계적 연마(CMP) 공정 등을 사용하여 다른 다이, 웨이퍼 또는 다른 기판과의 결합을 위해 준비될 수 있다.

[0010] 일반적으로, 유전성 층과 하나 이상의 금속 피쳐(feature)(예컨대, 매립된 전도성 상호 연결 구조물)의 조합을 포함하는 직접 결합 표면이 함께 결합될 때, 유전성 표면은 먼저 낮은 온도에서 결합하고 그 후에 피쳐의 금속 이 풀림(annealing) 동안에 가열됨에 따라 팽창하게 된다. 금속의 팽창으로 인해, 양 결합 표면으로부터 금속 이 일체화된 전도성 구조물 안으로 결합될 수 있다(금속-금속 결합). 기판과 금속 둘 다가 풀림 동안에 가열될 때, 기판의 열팽창 계수(CTE)에 대한 금속의 열팽창 계수(CTE)에 의해, 일반적으로, 금속이 특정 온도(예컨대, ~300°C)에서 기판 보다 훨씬 더 많이 팽창하게 된다. 예컨대, 구리의 CTE는 16.7이고, 반면에 용융 실리카의 CTE는 0.55 이며 그리고 규소의 CTE는 2.56이다.

[0011] 어떤 경우에, 기판에 대한 금속의 더 큰 팽창은 적층된 다이 또는 웨이퍼를 직접 결합하는 데에 문제가 될 수 있다. 금속 패드가 실리콘 관통 전극(TSV) 위에 위치되면, TSV 금속의 팽창은 패드 금속의 팽창에 기여할 수 있다. 어떤 경우에, 팽창하는 금속이 결합 표면 위쪽으로 상승함에 따라, 조합된 금속 팽창은 결합 표면의 국부적인 층간 박리를 야기할 수 있다. 예컨대, 팽창된 금속은 적층된 다이의 결합된 유전성 표면을 분리시킬 수 있다.

**발명의 내용**

[0012] 접착제가 없는 직접 결합과 같은 결합을 위해 다양한 마이크로 전자 장치를 준비하기 위한 공정 단계를 포함하여 대표적인 기술 및 장치가 개시된다. 다양한 실시 형태에서, 특히, 결합될 하나의 또는 두 장치의 결합 표면에 TSV 또는 TSV 위의 결합 패드가 주어질 때, 금속 팽창으로 인한 층간 박리의 가능성을 줄여주는 기술을 사용할 수 있다. 예컨대, 한 실시 형태에서, TSV는 부분적으로 또는 완전히 장치의 기판을 통해 연장되어 있고 TSV의 적어도 한 단부는 장치의 결합 표면에서 노출된다. 예컨대, TSV의 노출된 단부가 준비되고 장치를 위한 결

합 패드 대신에 결합 표면으로 사용된다.

- [0013] TSV의 재료가 유전체의 재료에 비해 더 연질이기 때문에, CMP와 같은 표면 준비 공정을 사용하여 기관의 결합 표면을 준비할 때, 결합 표면에 있는 TSV의 노출된 금속 단부는 유전체에 대해 리세싱될 수 있다. 더 큰 직경의 TSV는 더 작은 직경의 TSV 보다 더 큰 정도로(예컨대, 더 깊은 리세스로) 리세싱될 수 있다. 이러한 실시 형태에서, TSV의 단부 표면의 리세스는 가열 풀림 동안에 TSV의 금속 팽창을 가능하게 해주고, 이로써, 그렇지 않으면 생길 수 있는 층간 박리가 줄어들거나 없어질 수 있다.
- [0014] 다양한 실행예에서, 예시적인 공정은 제1 결합 표면을 갖는 제1 기관을 통해 전도성 비아를 제공하는 것을 포함한다. 전도성 비아는 제1 결합 표면으로부터 적어도 부분적으로 제1 기관을 통해 연장되어 있다. 본 공정은, 제1 결합 표면의 반대편에 있는 표면에서 전도성 비아를 노출시키고 또한 제2 결합 표면을 형성하는 것을 포함하고, 전도성 비아는 제2 결합 표면에 있거나 그에 대해 리세싱되어 있다.
- [0015] 다양한 실시 형태에서, 본 공정은, 전도성 비아를 선택하고 또한 직접 결합(예컨대, DBI)을 위한 결합 접촉 표면으로서 전도성 비아의 적어도 하나의 단부를 사용함으로써 결합된 마이크로 전자 부품의 층간 박리를 줄이거나 없애는 것을 포함한다.
- [0016] 추가적으로 또는 대안적으로, 제1 기관의 후방측이 또한 결합을 위해 처리될 수 있다. 제1 기관의 후방측이 직접 결합될 때 응력 완화를 제공하기 위해, 미리 선택된 재료의 하나 이상의 절연 층이 제1 기관의 후방측에 증착될 수 있다.
- [0017] 또한, 전도성 비아 및 제1 기관 내부의 다른 전도성 비아를 사용하여, 열을 제1 기관 내부에서 그리고/또는 제1 기관으로부터 멀어지게 안내하거나 전달할 수 있다. 어떤 실행예에서, 열전달 전도성 비아는 부분적으로 또는 완전히 제1 기관의 두께를 통해 연장되어 있을 수 있고, 열전도성 배리어 층을 포함할 수 있다. 이러한 예에서, 통상적으로 전도성 비아 주위에 사용되고 열절연적인 경향이 있는 배리어 층이 대신에 열전도성 층으로 대체될 수 있다. 다양한 실행예에서, 어떤 전도성 비아는 신호 전달 및 열전달에 사용될 수 있다.
- [0018] 일 실시 형태에서, 마이크로 전자 어셈블리는, 전방측과 후방측을 갖는 제1 기관을 포함하고, 후방측은 결합 표면을 가지며, 이 결합 표면은 비전도성 결합층 및 전도성 비아를 포함한다. 제2 기관은 전방측과 후방측을 가지며, 전방측은 비전도성 결합층과 전도성 피처를 포함한다. 제2 기관의 전방측은, 전도성 패드가 전도성 피처에 접촉하도록 제1 기관의 후방측에 직접 결합된다. 전도성 비아의 노출된 단부는 개재되는 재료 없이 직접적인 금속-금속 결합에 적합한 접촉 표면을 포함한다.
- [0019] 다양한 실행예와 배치를 전기 및 전자 부품과 다양한 캐리어를 참조하여 논의한다. 특정한 부품(즉, 다이, 웨이퍼, 집적 회로(IC) 칩 다이, 기관 등)이 언급되지만, 이는 한정적이지 않고 논의의 용이 및 설명의 편의를 위한 것이다. 웨이퍼, 다이, 기관 등을 참조하여 논의되는 기술과 장치는, 서로 상호 접속하거나 또는 외부 회로, 시스템, 캐리어 등과 상호 접속하도록 연결될 수 있는 임의의 종류 또는 수의 전기 부품, 회로(예컨대, 집적 회로(IC), 혼합 회로, ASICs, 메모리 장치, 프로세서 등), 부품 그룹, 패키징된 부품, 구조물(예컨대, 웨이퍼, 패널, 보드, PCB 등) 등에도 적용 가능하다. 이들 상이한 부품, 회로, 그룹, 패키지, 구조물 등 각각을 총칭적으로 "마이크로 전자 부품" 이라고 말할 수 있다. 단순성을 위해, 달리 명시되어 있지 않다면, 다른 부품에 결합되는 부품을 여기서 "다이"라고 말할 것이다.
- [0020] 이 요약은 완전한 설명을 주기 위한 것은 아니다. 실행예는 복수의 예를 사용하여 아래에서 설명된다. 다양한 실행예 및 예가 여기서 그리고 아래에서 논의되지만, 개별 실행예와 예의 특징과 요소를 조합하여 추가의 실행예와 예도 가능하다.
- [0021] 상세한 설명은 첨부 도면을 참조하여 주어진다. 도면에서, 참조 번호의 가장 좌측의 자릿수(들)는 참조 번호가 가장 먼저 나타나 있는 도를 나타낸다. 서로 다른 도에서 동일한 참조 번호의 사용은 유사하거나 동일한 항목을 나타낸다.
- [0022] 이 논의를 위해, 도면에 도시되어 있는 장치와 시스템은 다수의 부품을 갖는 것으로 나타나 있다. 여기서 설명하는 바와 같은 장치 및/또는 시스템의 다양한 실행예는 더 적은 부품을 포함할 수 있고 또한 본 개시의 범위 내에 유지될 수 있다. 대안적으로, 장치 및/또는 시스템의 다른 실행예는 추가적인 부품 또는 설명되는 부품의 다양한 조합을 포함할 수 있고 또한 본 개시의 범위 내에 유지될 수 있다.

**도면의 간단한 설명**

- [0023] 도 1a는 결합 패드와 TSV를 갖는 예시적인 기판의 단면을 나타낸다.  
 도 1b는 도 1a의 예시적인 기판의 상면도를 나타낸다.  
 도 2는 결합 패드와 TSV를 갖는 2개의 예시적인 결합된 기판의 단면 및 결과적으로 생긴 예시적인 층간 박리를 나타낸다.  
 도 3a는 일 실시 형태에 따른, TSV의 적어도 한 단부가 결합 표면이 되는 예시적인 기판의 단면을 나타낸다.  
 도 3b는 일 실시 형태에 따른, 도 3a의 예시적인 기판의 상면도를 나타낸다.  
 도 4는 일 실시 형태에 따른, TSV의 적어도 한 단부가 결합 표면이 되는 2개의 예시적인 결합된 기판의 단면을 나타낸다.  
 도 5는 일 실시 형태에 따른, TSV의 적어도 한 단부가 결합 표면이 되는 2개의 예시적인 기판의 단면을 나타낸다.  
 도 6은 일 실시 형태에 따른, TSV의 적어도 한 단부가 결합 표면이 되는 2개의 예시적인 기판의 단면을 나타낸 것으로, 결합 표면은 비평탄한 표면을 갖는다.  
 도 7 ~ 13은 일 실시 형태에 따른, TSV의 적어도 한 단부가 결합 표면이 되는 예시적인 기판의 단면을 나타낸 것으로, 기판의 예시적인 후방측 공정을 도시한다.  
 도 14는 다양한 실시 형태에 따른, 다이의 열 관리에 사용되는 예시적인 TSV의 도를 나타낸다.  
 도 15는 일 실시 형태에 따른, 결합된 기판의 층간 박리를 줄이거나 없애기 위해 마이크로 전자 어셈블리를 형성하는 예시적인 공정을 도시하는 문자 흐름도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0024] 개요
- [0025] 도 1a(단면 프로파일도를 나타냄) 및 도 1b(상면도를 나타냄)를 참조하면, 패턴화된 금속 및 산화물 층이 다이, 웨이퍼 또는 다른 기판(이하, "다이(102)" 라고함) 상에 하이브리드 결합(또는 DBI<sup>®</sup>) 표면 층으로서 빈번히 제공된다. 대표적인 장치 다이(102)는 다양한 기술을 사용하여 형성될 수 있고, 베이스 기판(104) 및 하나 이상의 절연 또는 유전성 층(106)을 포함한다. 베이스 기판(104)은 규소, 게르마늄, 유리, 석영, 유전성 표면, 직접 또는 간접 갭 반도체 재료 또는 층 또는 다른 적절한 재료로 구성될 수 있다. 절연 층(106)은 기판(104) 위에 증착되거나 형성되며, 산화물, 질화물, 산질화물, 산탄화물, 탄화물, 탄질화물, 다이아몬드, 다이아몬드형 재료, 유리, 세라믹, 유리 세라믹 등과 같은 무기 유전성 재료 층으로 구성될 수 있다.
- [0026] 장치 웨이퍼(102)의 결합 표면(108)은, 절연층(106)에 매립되는, 예컨대 접촉 패드(110), 트레이스(112), 및 다른 상호 연결 구조물과 같은 전도성 피쳐(feature)를 포함할 수 있고, 이 피쳐는, 서로 대향하는 장치의 각각의 결합 표면(108)에 있는 전도성 피쳐(110)가 결합 중에 짝을 이루어 결합될 수 있도록 배치된다. 결합된 전도성 피쳐(110)는 적층된 장치 사이에서 (예컨대, 신호, 전력을 위한) 연속적인 전도성 상호 연결부를 형성할 수 있다.
- [0027] 상감(damascene) 공정(등)을 사용하여, 절연층(106)에 매립 전도성 피쳐(110)를 형성할 수 있다. 전도성 피쳐(110)는 금속(예컨대, 구리 등) 또는 다른 전도성 재료 또는 재료의 조합물로 구성될 수 있고, 구조물, 트레이스, 패드, 패턴 등을 포함할 수 있다. 어떤 예에서, 전도성 피쳐(110)의 재료가 증착되기 전에 배리어 층이 그 전도성 피쳐(110)를 위한 공동부에 증착될 수 있으며, 그래서, 그 배리어 층은 전도성 피쳐(110)와 절연층(106) 사이에 배치된다. 전도성 피쳐(110)의 재료가 절연층(106) 안으로 확산되는 것을 방지하거나 줄이기 위해 배리어 층은 예컨대 탄탈륨 또는 다른 전도성 재료로 구성될 수 있다. 전도성 피쳐(110)가 형성된 후에, 절연층(106)과 전도성 피쳐(110)를 포함하여, 장치 웨이퍼(102)의 노출 표면은 (예컨대, CMP를 통해) 평탄화되어 평평한 결합 표면(108)을 형성할 수 있다.
- [0028] 결합 표면(108)의 형성은, 직접 결합을 위한 표면(108)을 준비하기 위해 유전체 거칠기 사양 및 금속층(예컨대, 구리 등) 리세스(recess) 사양을 만족하도록 표면(108)을 마무리하는 것을 포함한다. 다시 말해, 결합 표면(108)은, 매우 최소한의 표면 형태 변동을 가지면서, 평평하고 가능한 한 매끄럽도록 형성된다. 화학 기계적 연마(CMP), 건식 또는 습식 에칭 등과 같은 다양한 통상적인 공정을 사용하여, 낮은 표면 거칠기를 얻을 수 있

다. 이들 공정에 의해, 신뢰성 있는 결합을 있게 하는 평평한 매끄러운 표면(108)이 제공된다

- [0029] 양면 다이(102)의 경우에, 준비된 결합 표면(108)을 갖는 패터화된 금속 및 절연 층(106)이 다이(102)의 양측에 제공될 수 있다. 절연 층(106)은 전형적으로(일반적으로 nm-수준의 거칠기까지) 아주 평탄하며, 금속 층(예컨대, 매립 전도성 피처(110))이 결합 표면(108) 바로 아래에 있거나 리세스된다. 절연 층(106)의 표면(108) 아래의 리세스의 양은 전형적으로 치수 공차, 사양 또는 물리적 제한에 의해 결정된다. 결합 표면(108)은 종종, 화학 기계적 연마(CMP) 단계 및/또는 다른 준비 단계를 사용하여, 다른 다이, 웨이퍼, 또는 다른 기판과의 직접 결합을 위해 준비된다.
- [0030] 어떤 매립 전도성 피처 또는 상호 연결 구조물은, 준비된 표면(108) 아래로 부분적으로 유전성 기판(106) 안으로 연장되어 있는 금속 패드(110) 또는 전도성 트레이스(112)를 포함할 수 있다. 예컨대, 어떤 패터화된 금속(예컨대, 구리) 피처(110 또는 112)는 약 0.5 ~ 2 미크론의 두께를 가질 수 있다. 이들 피처(110 또는 112)의 금속은 풀림(annealing) 동안에 가열됨에 따라 팽창될 수 있다. 다른 전도성 상호 연결 구조물은, 결합 표면(108)에 수직하게 부분적으로 또는 완전히 기판(102)을 통해 연장되어 있고 다량의 금속을 포함하는 금속(예컨대, 구리) 실리콘 관통 전극(TSV)(114) 등을 포함할 수 있다. 예컨대, TSV(114)는 기판(102)의 두께에 따라 약 50 미크론으로 연장되어 있을 수 있다. TSV(114)의 금속은 또한 가열시 팽창될 수 있다. 도 1a에 나타나 있는 바와 같이, 패드(110) 및/또는 트레이스(112)는 TSV(114)에 전기적으로 연결되거나 그렇지 않을 수 있다.
- [0031] 도 2를 참조하면, 다이(102)는, 금속 패드(110), 트레이스(112) 및/또는 TSV(114)를 갖는 다른 다이(102)에 예컨대 접착제 없이 직접 결합될 수 있다. 금속 패드(110)가 TSV(114) 위에 배치되면(TSV(114)와 겹치고 그에 물리적으로 또한전기적으로 연결되어), TSV(114) 금속의 팽창은 패드(110) 금속의 팽창에 기여할 수 있다. 어떤 경우에, 팽창하는 금속이 결합 표면(108) 위쪽으로 상승함에 따라, 조합된 금속 팽창에 의해 TSV(114)(또는 TSV(114)/패드(110) 조합)의 위치에서 결합 표면의 국부적인 층간 박리(202)가 생길 수 있다. 예컨대, 팽창된 금속은 적층된 다이(102)의 결합된 유전성 표면(108)을 분리시킬 수 있다.
- [0032] 예시적인 실시 형태
- [0033] 도 3a ~ 6을 참조하면, 다양한 실시 형태에서, 금속 팽창으로 인한 층간 박리의 가능성을 줄여주는 기술을 사용할 수 있다. 예컨대, 한 실시 형태에서, 도 3a 및 3b에 나타나 있는 바와 같이, TSV(114)가 다이(102)의 베이스 층(104) 및 하나 이상의 절연층(106)을 통해 적어도 하나의 결합 표면(108)까지 연장되어 있을 수 있다. TSV(114)의 한 단부(302)(또는 양 단부(302))는 다이(102)의 결합 표면(들)(108)에서 노출될 수 있고 직접 결합(예컨대, DBI)을 위한 접촉 표면으로 사용될 수 있다. 다시 말해, TSV의 접촉 표면(302)은 유전성 층(106)을 통해 결합 표면에서 노출될 수 있고, 준비되며(예컨대, 평탄화됨) 그리고 직접 결합 패드 대신에(접촉 패드(110) 대신에) 사용될 수 있다.
- [0034] 도 4를 참조하면, 다양한 실행예에서, 결합 표면으로서 TSV(114)의 단부 표면(302)을 사용하면, 다이(102)가 열 풀림(annealing)되고 TSV(114)의 금속과 접촉 패드(110)가 팽창할 때, 결합된 다이(102)들의 층간 박리를 줄이거나 없앨 수 있다. 실행예에서, TSV(114)의 금속 팽창은 TSV(114)의 부피에 근거하여 고려될 수 있다. 따라서, TSV(114)의 단부 표면(302)에 있는 미리 결정된 리세스("d")(예컨대, 도 5에 나타나 있는 바와 같음)은 TSV(114)의 금속 팽창을 가능하게 하기에 충분할 수 있다.
- [0035] 다양한 실시 형태에서, 직접 결합 접촉 구조물로서 사용되는 TSV(114)는, 다이(102) 내부의 다른 곳에 배치되는 다른 TSV(114) 보다 미리 선택된 양 만큼 더 크거나 작은 직경을 가질 수 있다. 일 실시 형태에서, TSV(114)의 크기는, TSV(114)의 재료의 부피 및 TSV(114)의 재료의 열팽창 계수(CTE)에 근거하여, TSV(114)의 재료가 미리 선택된 온도(~300°)로 가열될 때 팽창하게 될 양을 추정하고 또한 TSV(114)의 재료가 미리 선택된 온도로 가열될 때 팽창하게 될 양을 예측하여, 선택되거나 형성된다.
- [0036] 도 5를 참조하면, 일 실시 형태에서, 미리 결정된 온도에서의 TSV(114) 재료의 팽창에 근거하여, TSV(114)의 단부(302)를 결합 표면(108)에 대한 미리 결정된 리세스 깊이("d")를 갖도록 리세스하는 것을 포함하여, TSV(114)의 단부(302)는 유전성 층(106)의 결합 표면(108)과 함께 평탄화된다. 다시 말해, 리세스 깊이는 TSV(114)의 재료의 부피 및 TSV(114)의 재료의 열팽창 계수(CTE)에 근거하여 결정된다.
- [0037] 한 실시 형태에서, TSV(114)의 단부(302)는, (예측된 금속 팽창을 수용하기 위해) 요구되는 리세스 깊이("d")를 제공하도록 선택적으로 오팅될 수 있다(산성 오팅, 플라즈마 산화 등을 통해). 다른 예에서, 도 6에 나타나 있는 바와 같이, 대응하는 TSV(114)의 단부(302)는, 팽창 버퍼로서 비평탄한 정상 표면을 가지도록 선택되거나 형성되거나 또는 처리될 수 있다. 예컨대, 도 6을 참조하면, TSV(114)의 단부 표면(302)은, 재료 팽창을 위한 추

가 공간(602)이 생길 수 있도록 라운딩되거나 돔형이거나 볼록하거나 오목하거나 불규칙하거나 또는 다른 식으로 평평하지 않게 되도록 형성되거나 선택적으로 에칭될 수 있다.

- [0038] 추가 공간(602)은, TSV(114)의 재료가 가열될 때 팽창하게 될 양에 근거하여 결정되고 형성될 수 있다. 다양한 실행예에서, TSV(114)의 단부 표면(302)은 증착 동안에 비평탄하게 형성될 수 있고, 또는 TSV(114)의 형성 후에 에칭되거나 연삭되거나 연마되거나 또는 다른 식으로 비평탄하게 만들어질 수 있다. 어떤 경우에, TSV(114)의 단부 표면(302)은 결합 표면(108)의 CMP 동안에 비평탄하게 만들어질 수 있다.
- [0039] 추가로 또는 대안적으로, 결합 표면(108)에서 TSV(114) 주위에 있는 유전체(106)는 TSV(114)의 금속이 팽창될 수 있도록 형성 또는 성형될 수 있다. 한 예에서, CMP 공정을 사용하여, TSV(114) 주위에서 유전체(106)의 표면(108)을 성형할 수 있고, 또는 다른 실시예에서는 다른 공정이 사용될 수 있으며, 그래서 TSV(114) 주위의 유전체(106)는 금속 팽창을 허용하는 리세스 또는 다른 틈을 포함한다.
- [0040] 일 실시 형태에서, 유전체(106)는, 결합 표면(108)이 준비되고 있는 중에 (예컨대, CMP로) 리세싱될 수 있다. 그 실시 형태에서 TSV(114) 및 유전체(106)는 동시에 리세싱될 수 있다(하지만 상이한 속도로). 예컨대, 공정은 금속 TSV(114)를 리세싱하는 중에 TSV(114)의 가장자리 주위에서 유전체(106)에 침식부를 형성할 수 있다.
- [0041] 다양한 실시 형태에서, TSV(114)는 구리, 구리 합금 등으로 구성된다. 추가 실시 형태에서, TSV(114)의 재료는 금속 팽창 및 가능한 결과적인 층간 박리를 제어하도록 변화될 수 있다. 예컨대, 어떤 실시 형태에서, TSV(114)는 아마도 더 낮은 CTE를 갖는 상이한 전도성 재료로 구성될 수 있다. 어떤 실시 형태에서, TSV(114)는 접촉 패드(110)와는 다른 전도성 재료(더 낮은 CTE를 가짐)로 구성될 수 있다. 예컨대, TSV(114)는 텅스텐, 합금 등으로 구성될 수 있다.
- [0042] 다른 실시 형태에서, TSV(114)의 재료의 부피는 금속 팽창 및 결과적인 층간 박리에 대한 가능성을 제어하도록 변화될 수 있다. 예컨대, 어떤 실시 형태에서는, 층간 박리가 설계 사양 내에서 허용 가능한 경우에, 미리 선택된 재료 부피(예컨대, 더 작은 재료 부피)를 갖는 TSV(114)가 사용될 수 있다. TSV(114)의 부피를 미리 선택하는 것은, TSV(114)의 예상되는 재료 팽창에 근거할 수 있다.
- [0043] 다시 도 4를 참조하면, (예컨대, CMP에 의한) 결합 표면(108)의 준비 후에, 다이(102)는, 금속 패드(110), 트레이스(112) 및/또는 TSV(114)를 갖는 다른 다이(102)에 예컨대 접촉제 없이 직접 결합될 수 있다. 서로 대향하는 다이(102)들의 짝이름 TSV(114)들이 결합하여 단일 전도성 상호 연결부를 형성함에 따라, TSV(114)의 재료는 가열 풀림 동안에 팽창한다. 그러나, TSV(114)의 팽창하는 금속이 TSV(114)의 단부 표면(302)에서 리세스에 의해 제공되는 공간을 초과하지 않기 때문에, 논의된 바와 같이 적절한 미리 결정된 리세스가 제공되면 금속 팽창은 결합 표면의 층간 박리를 야기하지 않는다.
- [0044] 예컨대, TSV(114)의 단부 표면(302)이 충분히 리세싱되어 있으면, TSV(114)의 팽창하는 금속은 적층된 다이(102)의 결합된 유전성 표면(108)을 분리시키지 않고 리세스(들)를 채운다. CMP와 같은 표면 처리 공정을 사용하여 다이(102)의 결합 표면(108)을 준비할 때, TSV(114)(예컨대, 구리를 포함할 수 있음)가 유전체(106)(예컨대, 산화물을 포함할 수 있음)에 비해 연결이기 때문에, CMP와 같은 표면 준비 공정을 사용하여 다이(102)의 결합 표면(108)을 준비할 때, 결합 표면(108)에서 노출된 TSV(114)는 유전체(106)에 대해 리세싱될 수 있다(의도적으로 또는 비의도적으로).
- [0045] 다양한 실시 형태에서, TSV(114)의 리세싱의 양은, 사용되는 표면 준비 기술(예컨대, 사용되는 화학적 조합, 연마 장비의 속도 등), 유전성 층(106) 및 TSV(114)의 재료, TSV(114)(및 금속 패드(110))의 간격 또는 밀도, 및 TSV(114)의 크기(예컨대, 면적 또는 직경)에 근거하여 예측 가능하다. 그 실시 형태에서, 결합된 다이(102)의 층간 박리를 피하기 위해, TSV(114)의 면적 또는 직경은 TSV(114)의 요구되는 리세스 및 예상되는 금속 팽창에 근거하여 선택될 수 있다(예컨대, 특정한 재료에 대해). 예컨대, 어떤 경우에, 증가된 리세싱이 요구될 때 더 큰 직경의 TSV(114)가 선택될 수 있다. 이러한 기술에 의해, 층간 박리가 줄어들거나 없어질 수 있고, 또한 결합 표면(108)에서 유전체(106)와 금속 구조물(예컨대, TSV(114))의 신뢰할 수 있는 기계적 연결, 및 결합된 금속 구조물의 신뢰할 수 있는 전기적 연속성이 얻어질 수 있다.
- [0046] 추가 실시 형태
- [0047] 도 7 ~ 13은 다양한 실시 형태에 따른 후방측 다이(102) 처리의 예를 도시한다. 다이(102)가 적층되고 접촉제 없이 직접 결합되는 어떤 실행예에서, 후방측(702)이 직접 결합을 위해 준비될 때, 다이(102)의 후방측(702)은 정상측 결합 표면(108)과는 다른 준비를 받을 수 있다. 다이(102)의 후방측(702)에 유전성 층(106)을 형성하는 것 대신에, 후방측(702)은 공정 단계를 줄이고, 제조 비용을 줄이거나 또는 다른 이유로 다르게 준비될 수

있다.

- [0048] 한 실행예에서, 후방측(702)은 TSV(114)가 노출되도록 준비되어, 전도성 패드, 상호 연결부 또는 다른 전도성 결합 표면에의 결합을 위한 접촉 표면(302)으로서 사용된다. 준비는, 얇은 절연 재료 층을 증착하고 또한 TSV(114)가 노출되도록 (예컨대, CMP를 통해) 후방측(702)을 평탄하게 하는 것(절연 재료 및/또는 베이스 기판(104)을 평탄화하는 것을 포함할 수 있음)을 포함할 수 있다. 그러나, 어떤 경우에, 가열 풀림 동안에 TSV(114)의 재료의 팽창에 의해, 절연 재료 및/또는 기판(104)이 손상될 수 있다.
- [0049] 일 실시 형태에서, 도 7 ~ 13에 나타나 있는 바와 같이, 기판(104) 및 다이(102)에 대한 손상을 방지하거나 없애기 위한 응력 완화부로서 하나 이상의 재료 층이 후방측(702)에 증착될 수 있다. 재료 층은 다이(102)의 후방측(702) 상의 결합 표면으로서 평탄화되거나 다른 식으로 준비될 수 있다.
- [0050] 도 7에 나타나 있는 바와 같이, TSV(114)는 다이(102)의 결합 표면(108)에 대해 횡방향으로 다이(102) 내부에 배치된다. TSV(114)는 처음에 다이(102)의 후방측(702)의 표면을 넘어 연장되어 있을 수 있다. 확산 배리어 및 산화물 라이너(704)가 TSV(114)를 둘러싸고 있어, TSV(114)의 금속(예컨대, 구리)이 베이스 기판(104)의 재료(예컨대, 규소) 안으로 확산되는 것을 방지한다. 일 실시 형태에서, 도 7에 나타나 있는 바와 같이, 다른 확산 배리어(706)가 다이(102)의 후방측(702)의 표면에 증착된다. 일 예에서, 확산 배리어(706)는 질화물 등과 같은 유전체를 포함한다.
- [0051] 다양한 실시 형태에서, TSV(114)의 재료가 팽창할 때 다이(102)에 대한 손상을 방지하기 위해 하나 이상의 절연 층이 다이(102)의 후방측(702) 상에 증착된다. 예컨대, 산화물과 같은 제1 저온 유전체를 포함하는 제1 층(708)이 확산 층(706) 위를 포함하여 후방측(702) 위에 증착될 수 있다. 제1 산화물 층(708)은 저온 산화물 결합 층을 포함할 수 있다. 예컨대, 도 7은 이 경우를 나타내며, TSV(114) 위에서 전방측 결합 표면(108) 상에 형성되는 접촉 패드(110)를 포함한다.
- [0052] 도 8에 나타나 있는 바와 같이, 하나 이상의 절연층(708)을 포함하여 후방측(702)은 (예컨대, CMP를 통해) 평탄화되어, 직접 결합을 위한 평평하고 매끄러운 결합 표면을 형성하게 된다. 나머지 유전성 층(708)은, 다이(102)의 전방측과 균형을 이루면서, 뒤틀림 제어에 도움을 줄 수 있다. TSV(114)의 노출된 접촉 표면(302)을 포함하여, TSV(114)는 평탄화로 노출된다.
- [0053] 특히, 어떤 종류의 저온 산화물(예컨대, 실록스(silox) 등)이 사용될 때, 그 산화물은 덜 강성적일 수 있고 TSV(114)는 평탄화 동안에 더 잘 부서질 수 있다. 일단 평탄화되면, 산화물은 더 안정적이다. 다른 종류의 저온 산화물(예컨대, TEOS 등)이 사용될 때, 산화물은 TSV(114)에 더 양호한 지지를 줄 수 있지만, 산화물은 또한 이완될 수 있어, 결합 표면 보다 더 높은(~1 - 10nm) 영역을 TSV(114) 주위에 남길 수 있는데, 이는 직접 결합(예컨대, DBI)에 문제를 야기할 수 있다. 이 문제에 대한 해결 방안으로서, 도 7에 나타나 있는 바와 같이, DBI 결합 층(예컨대, 층(708))이 TSV(114) 위에 추가된다.
- [0054] 다이(102)와 유사하거나 동일한 제2 다이(802)가 또한 도 8에서 대시선으로 나타나 있다. 도 8의 도시는 (접착제가 없는) 전면-배면 대향 직접 결합 배치의 일 예를 나타내는데, 여기서 제2 다이(802)는 제2 다이(802)의 전방측(108)에서 제1 다이(102)의 후방측(702)에 결합된다(유전체-유전체). 나타나 있는 바와 같이, 이러한 배치에서, 제1 다이(102)의 후방측(702)에 있는 노출된 TSV(114)의 표면(302)은 제2 다이(802)에 있는 전도성 패드(110)에 결합된다(금속-금속). 대안적인 실시 형태에서, 다이(102, 802)는 전면-전면 대향 또는 배면-배면 대향 방식으로 결합될 수 있다.
- [0055] 일 실시 형태에서, 도 9 및 10에 나타나 있는 바와 같이, 복수의 층이 후방측(702)에 추가되어, TSV(114)에서 금속 팽창 응력을 줄일 수 있고 또한 다이(102)를 위한 후방측(702) 결합 표면을 형성할 수 있다. 도 9에 나타나 있는 바와 같이, 제1 저온 산화물 층(708)(어떤 실행예에서는 결합 층을 또한 포함할 수 있음)의 증착 후에, 제2 유전성 층(902)(저온 산화물을 포함할 수 있음)이 제1 층(708) 위에 증착될 수 있다. 두 산화물 층(708, 902) 사이에는 배리어 또는 접착 층이 필요 없다. 다양한 실행예에서, 제1 층(708) 및 제2 층(902)은 유사하거나 동일한 재료로 구성된다(다른 두께로). 다른 실행예에서, 제1 층(708) 및 제2 층(902)은 다른 재료로 구성된다. 제2 산화물 층(902)은 제1 층(708)과 유사하거나 다른 잔류 응력 특성을 가질 수 있다(예컨대, 제1 층(708)은 압축적일 수 있고 제2 층(902)은 인장적일 수 있으며 또는 그 반대도 가능하고, 또는 양 층(708, 902)이 유사하거나 다른 값을 가지면서 압축적이거나 인장적일 수 있음). 다양한 실행예에서, 추가적인 절연층이 또한 제1 층(708)과 제2 층(902) 위에 증착될 수 있다.
- [0056] 도 10에 나타나 있는 바와 같이, 층(708, 902)은 평탄화되어(예컨대, CMP), TSV(114) 및 단부 표면(302)이 노

출되며, 이는 결합 패드의 기능을 대신할 수 있다. 일 실행예에서, 제2 층(902)의 일부분이 뒤틀림 제어를 위해 다이(102)에 남아 있을 수 있다.

- [0057] 어떤 실시 형태에서, 도 11에 나타나 있는 바와 같이, 후방측(702)의 단부 표면(302)은 비평탄한 또는 평평하지 않은 표면 형태를 갖도록 형성될 수 있다. 예컨대, 단부 표면(302)은 팽창 버퍼로서 비평탄한 표면 형태를 갖도록 선택되거나 형성되거나 또는 처리될 수 있다. 예컨대, 도 11을 참조하면, TSV(114)의 단부 표면(302)은, 재료 팽창을 위한 추가 공간(1102)이 생길 수 있도록 라운딩되거나 돔형이거나 볼록하거나 오목하거나 불규칙하거나 또는 다른 식으로 평평하지 않게 되도록 형성되거나 선택적으로 에칭될 수 있다.
- [0058] 추가 공간(1102)은, TSV(114)의 재료가 가열될 때 팽창하게 될 양의 예측에 근거하여 결정되고 형성될 수 있다. 다양한 실행예에서, TSV(114)의 단부 표면(302)은 증착 동안에 비평탄하게 형성될 수 있고, 또는 TSV(114)의 형성 후에 에칭되거나 연삭되거나 연마되거나 또는 다른 식으로 비평탄하게 만들어질 수 있다. 어떤 경우에, TSV(114)의 단부 표면(302)은 후방측(702) 결합 표면의 CMP 동안에 비평탄하게 만들어질 수 있다.
- [0059] 도 12 및 13은, 다양한 실시 형태에 따른, 오프셋된 접촉 패드(110)가 전방측(108)에 배치될 때 다이(102)의 후방측(702)을 처리하는 예를 도시한다. 도 12 및 13에 나타나 있는 바와 같이, 오프셋된 접촉 패드(110)는 하나 이상의 트레이스(112) 등을 사용하여 TSV(114)에 연결될 수 있다. 위에서 논의한 바와 같이, 확산 배리어 층(706)을 후방측(702) 위에 증착한 후에, 하나 이상의 산화물 응력 층(예컨대, 층(708))이 후방측(702)에 증착될 수 있다. 응력 층(708)은 후방측(702)에 있는 최종 층인 경우에 직접 결합 층을 또한 포함할 수 있다.
- [0060] 도 13에 나타나 있는 바와 같이, 층(708)이 평탄화되어, 결합 표면이 형성되고 또한 매끄러운 접촉 표면(302)을 갖는 TSV(114)가 노출된다. 대안적인 실시 형태에서, 직접 결합을 준비하기 위해 복수의 응력 층이 후방측(702)에 증착되고 평탄화될 수 있다.
- [0061] 다른 실시 형태에서, 대안적인 기술을 사용하여, 금속 피처의 팽창으로 인한 층간 박리를 줄이거나 없앨 수 있고 또한 본 개시의 범위 내에 유지시킬 수 있다.
- [0062] 다양한 실시 형태에서, 도 14에 도시되어 있는 바와 같이, 일 세트의 적층된 다이(102)의 TSV(114) 중의 하나 이상을 사용하여, 전기 신호에 추가로 또는 그 대신에 열을 전달할 수 있다. 예컨대, 어떤 경우에는, 다이(102)에 의해 발생된 열을 줄이기 위해 열싱크(또는 다른 열전달 장치)를 일 세트의 적층된 다이(102)의 다이(102)에 부착하는 것은 실용적이거나 가능하지 않을 수 있다. 이러한 경우에, 요구에 따라 열을 전달하기 위해 다른 기술을 찾을 수 있다.
- [0063] 실시 형태에서, 도 14에 나타나 있는 바와 같이, 부분적으로 또는 완전히 다이(102)를 통해 연장되어 있는 TSV(114)를 포함하여 TSV(114)의 다양한 구성을 사용하여, 열을 다이(102)로부터 멀어지게(또는 다이(102)의 열 발생 부분으로부터 멀어지게) 전달할 수 있다. 한 다이(102)의 TSV(114)는 제2 다이(102)의 TSV(114), 접촉 패드(110), 트레이스(112) 등과 함께 사용되어, 한 다이(102)로부터 다른 다이(102)로의 열전달 등을 완성할 수 있다. 제1 다이(102)의 TSV(114)는 고성능 열전도성을 위해 제2 다이(102)의 TSV(114), 접촉 패드(110), 트레이스(112) 등에 직접 결합될 수 있다(예컨대, DBI).
- [0064] 일 실행예에서, TSV(114), 접촉 패드(110), 트레이스(112) 등 중의 일부는 전기적으로 부유(floating) 또는 "더미(dummy)"인 구조이며, 이 구조는 열전달에 사용될 수 있다. 이 구조는 요구에 따라 열을 고전력 다이(102)로부터 멀어지게 다른 다이(102) 또는 기관에 전달할 수 있다. 더미 접촉 패드(110)는 열전도를 위해 비아 마지막 또는 비아 중간 열 TSV(114)에 연결될 수 있다.
- [0065] 실시 형태에서, 확산 배리어 층(704)(TSV(114)를 둘러싸고 열적으로 제한적이거나 열 배리어일 수 있음)은, 어느 정도의 열전도성을 갖는 다른 재료의 확산 배리어(예컨대, 금속 또는 합금 배리어 등)로 대체될 수 있다.
- [0066] 공정의 예
- [0067] 도 15는, 결합 표면에 있는 매립된 구조물의 금속 팽창으로 인한 층간 박리의 가능성을 줄이거나 없애면서, 접착제가 없는 직접 결합과 같은 결합을 위해 다양한 마이크로 전자 부품(예컨대, 다이(102))을 준비하기 위한 대표적인 공정(1500)을 도시한다. 예컨대, TSV와 접촉 패드의 재료가 가열 풀림 동안에 팽창함에 따라, 결합 표면에 있는 실리콘 관통 전극(TSV)은 특히 접촉 패드에 연결될 때 층간 박리를 야기할 수 있다. 본 공정은 도 1 ~ 14를 참조한다.
- [0068] 공정이 설명되는 순서는 한정적인 것으로 해석되어서는 안되고, 공정 내의 설명된 공정 블록의 수는 공정 또는 대안적인 공정을 실행하기 위해 어떤 순서로도 조합될 수 있다. 추가로, 개별 블록은, 여기서 설명되는 본 주

제의 요지 및 범위에서 벗어남이 없이 공정에서 삭제될 수 있다. 또한, 본 공정은, 여기서 설명되는 본 주제의 요지 및 범위에서 벗어남이 없이, 어떤 적절한 하드웨어, 소프트웨어, 펌웨어 또는 이것들의 조합으로도 실행될 수 있다. 대안적인 실행예에서, 다른 기술들이 다양한 조합으로 본 공정에 포함될 수 있고 본 개시의 범위 내에 유지될 수 있다.

[0069] 다양한 실행예에서, 다이, 웨이퍼 또는 다른 기판("기판")은, 베이스 기판 및 하나 이상의 유전성 층을 포함하도록 다양한 기술을 사용해 형성된다. 일 실행예에서, 블럭(1502)에서, 공정(1500)은, 제1 결합 표면(예컨대, 결합 표면(108))을 갖는 제1 기판을 통해 전도성 비아(예컨대, TSV(114))를 제공하는 것을 포함하고, 그 전도성 비아는 제1 결합 표면으로부터 적어도 부분적으로 제1 기판을 통해 연장된다. 일 실행예에서, 제1 비아는 제1 결합 표면에 수직하게 적어도 부분적으로 제1 기판을 통해 연장된다. 한 예에서, 제1 비아는 제1 기판을 통해 제1 기판의 한 표면 또는 양 표면까지 연장된다.

[0070] 블럭(1504)에서, 공정은 제1 결합 표면의 반대편에 있는 표면에서 전도성 비아를 노출시키는 것을 포함한다. 일 실행예에서, 그 공정은 제2 결합 표면 아래로 미리 결정된 깊이로 연장되어 있는 리세스를 전도성 비아의 노출된 단부에 형성하는 것을 포함한다. 예컨대, 리세스는 결합 공정 동안에 전도성 비아의 팽창을 보상한다.

[0071] 한 예에서, 공정은 전도성 비아와 제2 결합 표면 사이에 경사 틈이 있도록 전도성 비아의 노출된 단부를 형성하는 것을 포함한다. 다양한 예에서, 비평탄한 형태에 의해, 가열 풀림 동안에 비아 금속의 팽창을 위한 공간이 형성된다.

[0072] 블럭(1506)에서, 공정은 제2 결합 표면을 형성하는 것을 포함하고, 전도성 비아가 그 제2 결합 표면에 있거나 그에 대해 리세스되어 있다.

[0073] 일 실행예에서, 공정은 제2 기판을 제공하고 제1 기판의 제2 결합 표면을 개재되는 접착제 없이 제2 기판에 직접 결합시키는 것을 포함한다. 일 실행예에서, 공정은, 제1 기판의 결합 표면에서 직접적인 유전체-유전체 비접착 결합 기술을 사용하여 제1 기판을 제2 기판에 직접 결합하는 것을 포함한다.

[0074] 일 실행예에서, 제2 기판은 적어도 부분적으로 그 기판을 통해 연장되어 있는 전도성 비아를 더 포함한다. 다른 실행예에서, 제2 기판은 제2 기판의 전도성 비아 위에 있는 패드를 더 포함하고, 이 패드는 제1 기판의 전도성 비아와 접촉한다. 일 실행예에서, 제1 기판의 전도성 비아는 제2 기판의 전도성 비아와 실질적으로 정렬된다.

[0075] 대안적인 실행예에서, 전도성 비아는 제1 기판으로부터 열을 제거하도록 구성되어 있다.

[0076] 다양한 실시 형태에서, 어떤 공정 단계는 여기서 설명된 공정 단계와 비교하여 수정되거나 제거될 수 있다.

[0077] 여기서 설명된 기술, 부품 및 장치는 도 1 ~ 15의 도시에 한정되지 않고, 본 개시의 범위에서 벗어남이 없이 다른 전기 부품을 포함하는 다른 설계, 종류, 배치 및 구성에도 적용될 수 있다. 어떤 경우에, 추가적인 또는 대안적인 부품, 기술, 순서 또는 공정을 사용하여 여기서 설명된 기술을 실행할 수 있다. 또한, 부품 및/또는 기술은 유사하거나 대략 동일한 결과를 얻으면서 다양한 조합으로 배치 및/또는 조합될 수 있다.

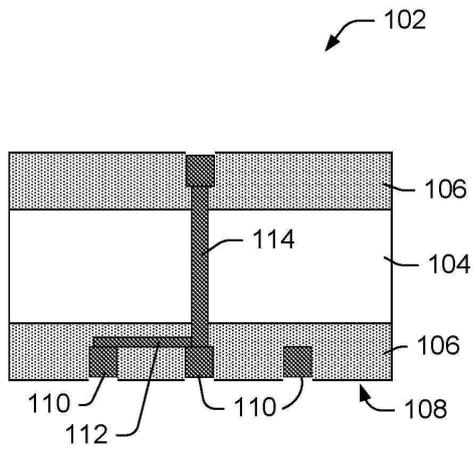
[0078] 결론

[0079] 본 개시의 실행이 구조적 특징 및/또는 방법론적 행위에 특징적인 언어로 설명되었지만, 그 실행은 설명된 특정한 특징 또는 행위에 반드시 한정되는 것은 아님을 이해할 것이다. 오히려, 그 특정한 특징 및 행위는 예시적인 장치 및 기술을 실행하는 대표적인 형태로서 개시된 것이다.

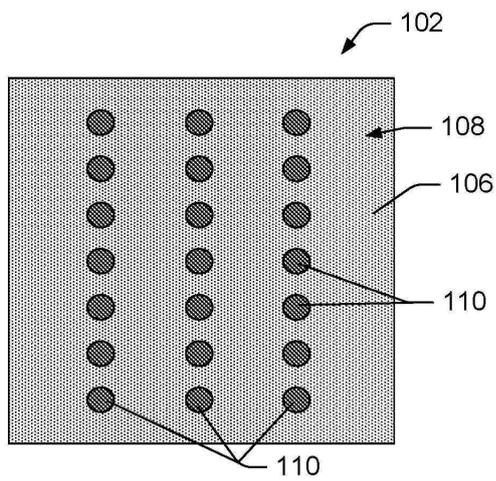
[0080]

도면

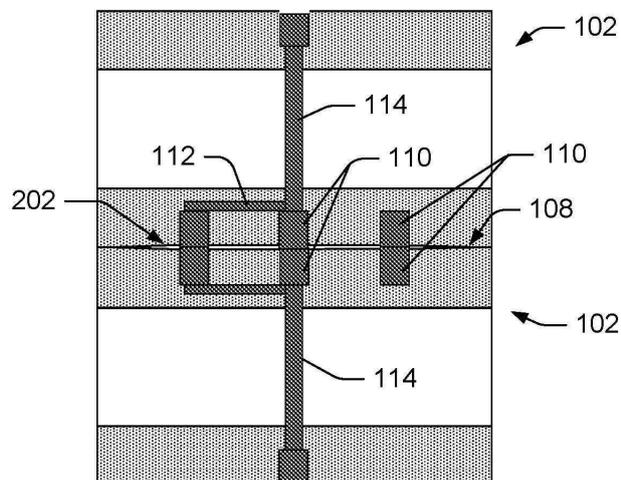
도면1a



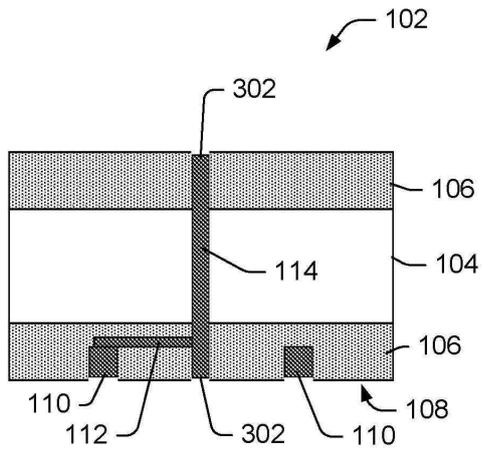
도면1b



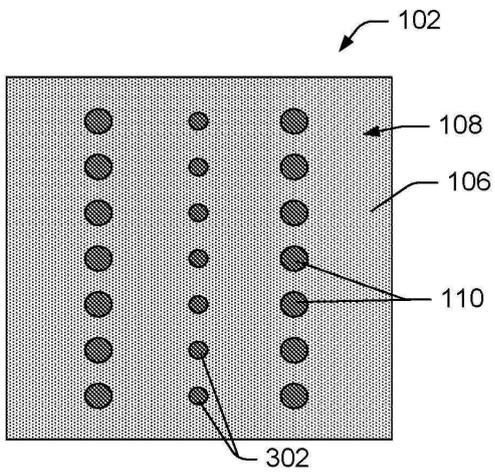
도면2



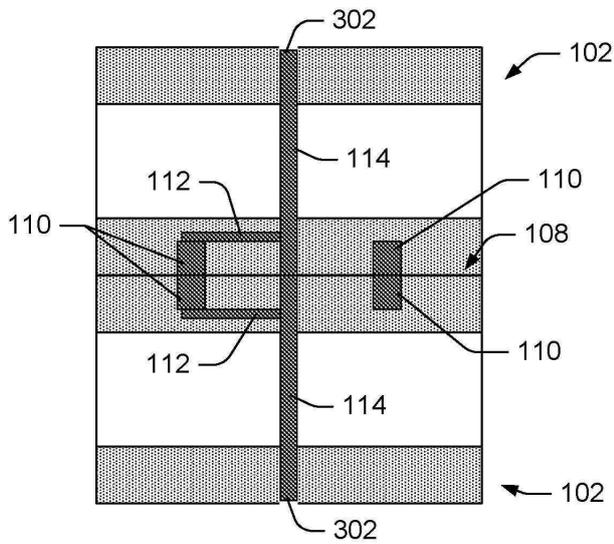
도면3a



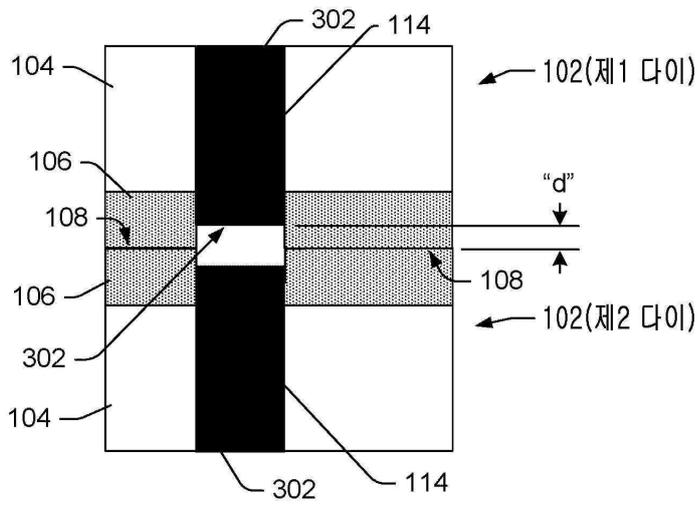
도면3b



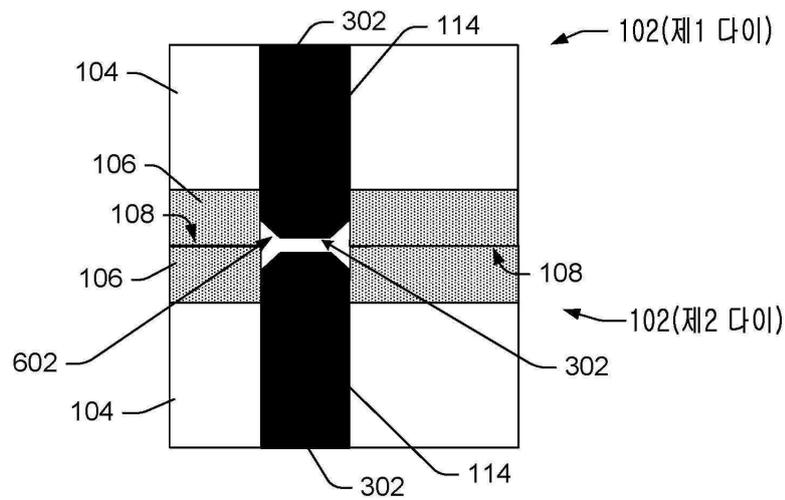
도면4



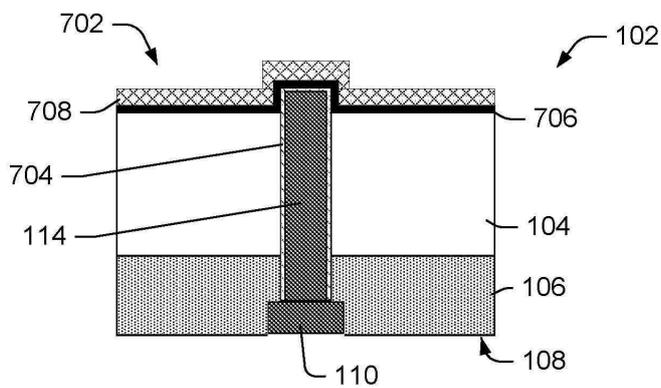
도면5



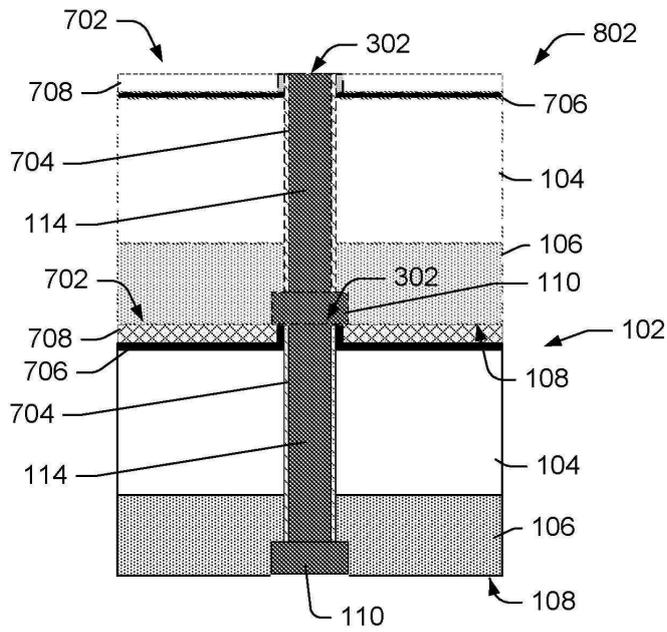
도면6



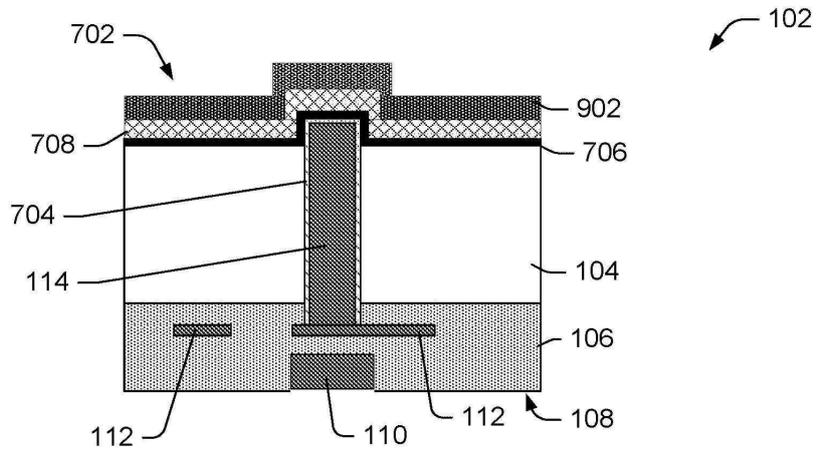
도면7



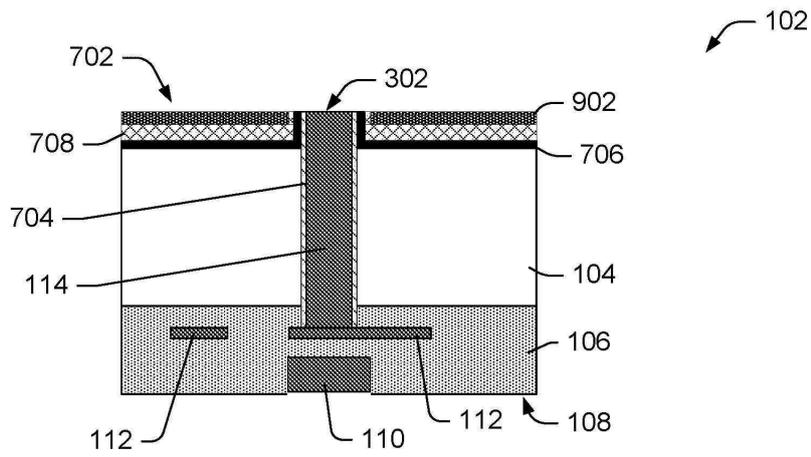
도면8



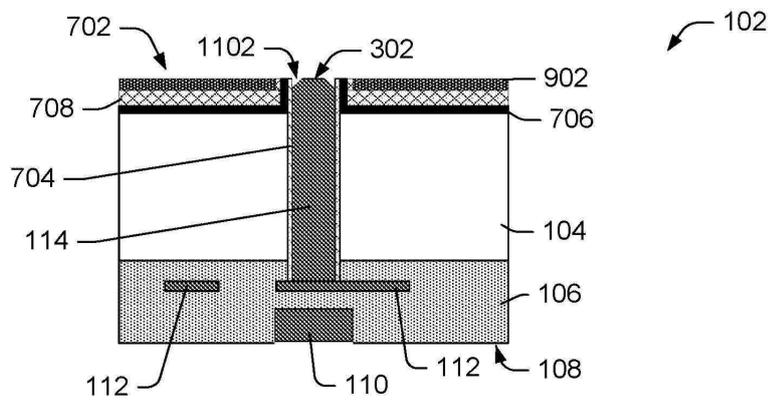
도면9



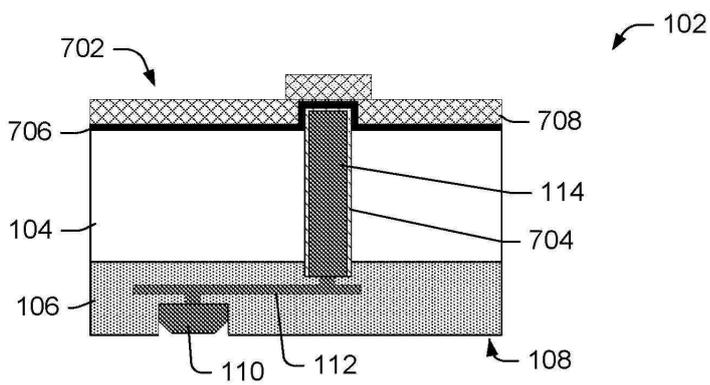
도면10



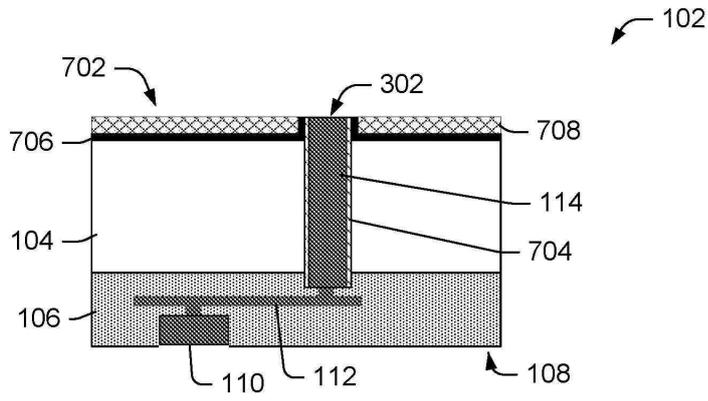
도면11



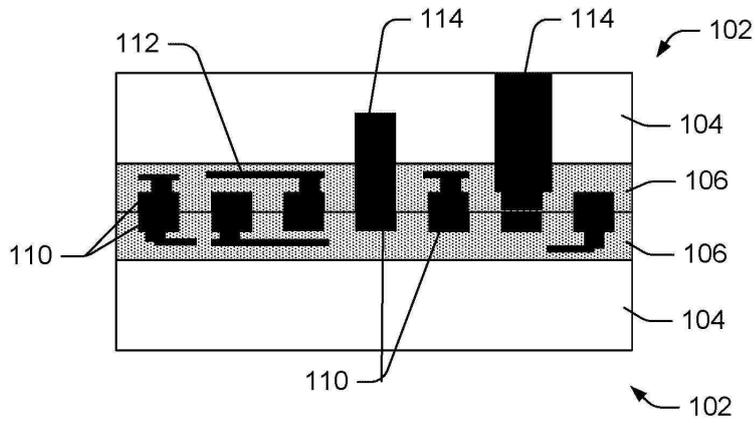
도면12



도면13



도면14



도면15

↖ 1500

