

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2007年5月3日 (03.05.2007)

PCT

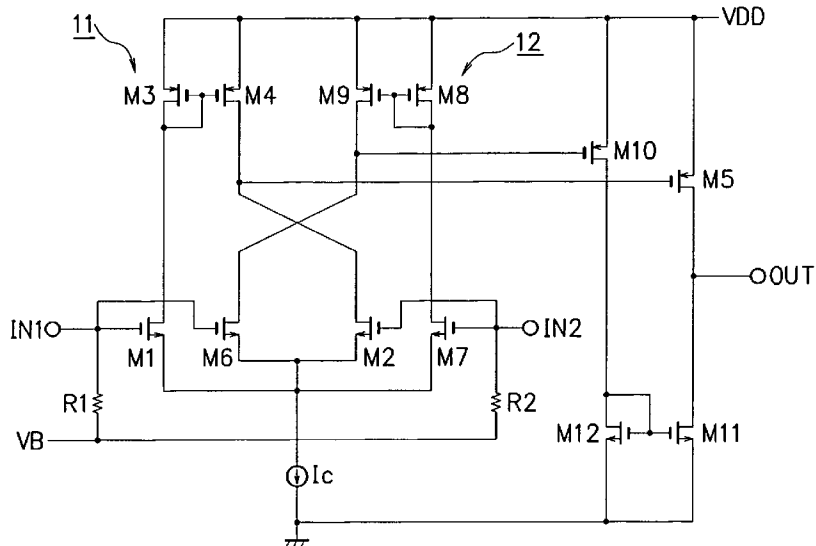
(10) 国際公開番号
WO 2007/049390 A1

- (51) 国際特許分類: *H03F 3/45* (2006.01) *H03F 1/32* (2006.01) 千9430834 新潟県上越市西城町2丁目5番13号 Niigata (JP).
- (21) 国際出願番号: PCT/JP2006/315696 (72) 発明者; および (75) 発明者/出願人 (米国についてのみ): 石黒和久 (ISHIGURO, Kazuhisa) [JP/JP]; 千3700321 群馬県太田市新田木崎町183-42 Gunma (JP). 高橋義昭 (TAKAHASHI, Yoshiaki) [JP/JP]; 千3700603 群馬県邑楽郡邑楽町中野2855-6 Gunma (JP).
- (22) 国際出願日: 2006年8月2日 (02.08.2006)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語 (74) 代理人: 橘和之 (TACHIBANA, Kazuyuki); 千1020083 東京都千代田区麹町1丁目4番地 半蔵門ファーストビル1階 Tokyo (JP).
- (30) 優先権データ: 特願2005-308015 2005年10月24日 (24.10.2005) JP (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HN,
- (71) 出願人 (米国を除く全ての指定国について): 新潟精密株式会社 (NIIGATA SEIMITSU CO., LTD.) [JP/JP];

[続葉有]

(54) Title: DIFFERENTIAL AMPLIFIER

(54) 発明の名称: 差動増幅器



(57) Abstract: A differential amplifier circuit at the input stage is configured with a twin differential type having a first differential amplifier circuit (11) and a second differential amplifier circuit (12), respective outputs of which are received by a first and a second source-grounded amplifier (M5, M10). The second source-grounded amplifier (M10) is connected to a current mirror circuit (M11, M12), which is driven by the drain current of the second source-grounded amplifier (M10). With this configuration, the dynamic range for the upper half portion of an alternating signal output from an output terminal (OUT) is determined by the current supply capability of the first source-grounded amplifier (M5) and the dynamic range for the lower half portion is determined by the current supply capability of the second source-grounded amplifier (M10). This eliminates the need of a constant current circuit of a large current for generating a signal having lower half portion in which the waveform distortion is improved.

(57) 要約: 入力段の差動増幅回路を第1の差動増幅回路11と第2の差動増幅回路12とのツイン差動形式にて構成し、それぞれの差動出力を第1および第2のソース接地アンプM5, M10により取り出す。第2のソース接地アンプM10には電流ミラー回路M11, M12を接続し、

[続葉有]



WO 2007/049390 A1



HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

これを第2のソース接地アンプM10のドレイン電流によって駆動する。これにより、出力端子OUTより出力される交流信号の上半分のダイナミックレンジが第1のソース接地アンプM5の電流供給能力で決まり、下半分のダイナミックレンジが第2のソース接地アンプM10の電流供給能力で決まるようにし、波形歪みの改善された下半分の信号を作るのに大電流の定電流回路を設ける必要をなくす。

明 細 書

差動増幅器

技術分野

本発明は差動増幅器に関し、特に、入力段における差動増幅回路の出力を後段のソース接地アンプで取り出す形式の差動増幅器に用いて好適なものである。

背景技術

パワーアンプには、動作点の違いによりA級、AB級、B級、C級、D級などのアンプがある。このうちA級、AB級アンプはオーディオ用としてよく使用され、低消費電流を実現するために交流信号の上半分（正の半周期）と下半分（負の半周期）とを別々のトランジスタで動作させる「AB級プッシュプル方式」を採用する場合が多い。AB級プッシュプル方式では、プッシュプル接続された出力トランジスタで上半分と下半分を駆動することにより出力信号を作っている。

図1は、従来のA級動作によるオペアンプの構成例を示す図である。図1において、11は差動増幅回路であり、2つのトランジスタM1、M2から成る差動対と、差動増幅回路11の出力をダブルエンドで取り出すための電流ミラー回路M3、M4と、差動対に接続された定電流回路Icとから構成されている。差動対を構成する一対のトランジスタM1、M2は、そのゲートが2つの入力端子IN1、IN2に接続されている。

また、2つのトランジスタM1、M2のソースどうしが互いに共通に接続され、これらの共通ソースに定電流回路Icの一端が接続されている

。定電流回路 I_c の他端は接地されている。また、これら 2 つのトランジスタ M_1 , M_2 のドレインは、それぞれトランジスタ M_3 , M_4 を介して電源 V_{DD} に接続されている。トランジスタ M_3 , M_4 どうしは電流ミラーにて接続されている。

R_1 , R_2 はバイアス抵抗であり、トランジスタ M_1 , M_2 に対してバイアス電圧 V_B を与える。また、 M_5 は差動増幅回路 11 の出力信号がゲートに供給されるソース接地型のトランジスタであり、ソース接地アンプとして機能する。このソース接地アンプ M_5 は、そのドレインが定電流回路 I_o に接続されるとともに、出力端子 OUT に接続されている。また、ソース接地アンプ M_5 のソースは電源 V_{DD} に接続されている。このように、従来の A 級アンプは、差動増幅回路 11 の出力をソース接地アンプ M_5 で取り出す形式となっている。

図 2 は、出力端子 OUT から出力される交流信号の波形を示す図である。上述のように構成された A 級アンプでは、出力端子 OUT から出力される交流信号の上半分（正の半周期） U のダイナミックレンジは、ソース接地アンプ M_5 からの電流供給能力で決まる。ソース接地アンプ M_5 は電源 V_{DD} により十分に駆動することができるため、大きな電流供給能力を有する。そのため、交流信号の正の半周期 U に関しては、図 2 (a) のように十分に大きな振幅を確保することが可能である。

一方、交流信号の下半分（負の半周期） D のダイナミックレンジは、定電流回路 I_o の電流値で決まる。そのため、定電流回路 I_o の電流値が十分に大きい場合には、図 2 (a) のように負の半周期 D でも大きな振幅を得ることができる。これに対して、定電流回路 I_o の電流値が小さいと、図 2 (b) のように負の半周期 D で大きな振幅を得ることができず、交流信号の波形が歪んでしまう。

したがって、交流信号の歪みを抑制するためには、定電流回路 I_o の電

流値を大きくせざるを得ず、その分、消費電流が増大してしまうという問題があった。特に、出力端子OUTに接続される負荷が重くなる（負荷抵抗が小さくなる）に従い、定電流回路I_oの電流値を大きくしないと信号に歪みが生じる。したがって、図1の回路で出力端子OUTに接続される負荷が重くなった場合には、低消費電流化を図ることは極めて困難である。

なお、差動増幅回路の出力を電流ミラー回路に通すことによって同相および逆相の2つの出力信号を取り出すようにした技術が提案されている（例えば、特許文献1参照）。

特許文献1 特開平11-308057号公報

発明の開示

しかしながら、上記特許文献1に記載の技術では、電流ミラー回路を多用しているため、チャンネル変調効果の影響が出て、出力オフセット電流が増大するという問題があった。また、高周波領域では同相、逆相の2つの出力信号間に位相差が生じるため、歪みの発生が避けられない。そのため、特許文献1に記載の増幅器は高周波領域では使用できないという問題があった。

本発明は、このような問題を解決するために成されたものであり、高周波領域でも使用が可能であり、チャンネル変調効果に起因する出力オフセット電流や信号の歪みを改善し消費電流を低減することが可能な差動増幅器を提供することを目的とする。

上記した課題を解決するために、本発明の差動増幅器は、入力段の差動増幅回路を第1の差動増幅回路と第2の差動増幅回路とのツイン差動形式にて構成し、それぞれの差動出力を第1および第2のソース接地アンプにより取り出す。第1および第2のソース接地アンプは電流ミラー

回路を介してダブルエンドで出力を取り出す。

本発明の他の態様では、第1の差動増幅回路を構成するトランジスタおよび第2の差動増幅回路を構成するトランジスタの極性、サイズを同じとし、第1のソース接地アンプを構成するトランジスタおよび第2のソース接地アンプを構成するトランジスタの極性、サイズを同じとしている。

上記のように構成した本発明によれば、出力端子より出力される交流信号の上半分（正の半周期）のダイナミックレンジは第1のソース接地アンプの電流供給能力で決まり、下半分（負の半周期）のダイナミックレンジは電流ミラー回路を構成する一方のトランジスタの電流供給能力で決まる。一方のトランジスタの電流供給能力は、電流ミラー回路に接続された第2のソース接地アンプの電流供給能力で決まる。つまり、交流信号の下半分は、第2のソース接地アンプの電流供給能力で決まることになる。

ここで、第1のソース接地アンプも第2のソース接地アンプも十分に大きな電流供給能力を実現できる。したがって、本発明によれば、定電流回路の電流値を増やすことなく、交流信号の下半分においても十分に大きな振幅を得ることができ、波形の歪みを抑止することができる。また、本発明によれば、電流ミラー回路を多用していないため、出力オフセット電流の発生も抑止することができる。また、本発明の他の特徴によれば、第1のソース接地アンプのドレインと第2のソース接地アンプのドレインまでは、入力信号のパスにあるデバイスの極性、サイズ等が同一のため、高周波領域でも交流信号の上半分と下半分との間の位相差は生じにくい。これにより、交流信号の歪みの発生を抑止することができる。

図面の簡単な説明

図 1 は、従来の差動増幅器の構成例を示す図である。

図 2 は、差動増幅器の出力端子から出力される交流信号の波形を示す図である。

図 3 は、第 1 の実施形態による差動増幅器の構成例を示す図である。

図 4 は、ドレイン電流とドレインソース間電圧との関係を示す図である。

図 5 は、第 2 の実施形態による差動増幅器の構成例を示す図である。

図 6 は、第 3 の実施形態による差動増幅器の構成例を示す図である。

図 7 は、チャンネル変調効果を考慮した場合におけるトランジスタのドレイン電流を示す図である。

発明を実施するための最良の形態

(第 1 の実施形態)

以下、本発明による第 1 の実施形態を図面に基づいて説明する。図 3 は、第 1 の実施形態による差動増幅器の構成例を示す図である。なお、この図 3 において、図 1 に示した構成要素と同一の機能を有する構成要素には同一の符号を付している。

図 3 に示すように、本実施形態では、入力段の差動アンプをツイン差動形式にて構成している。すなわち、入力段の差動アンプとして、第 1 の差動増幅回路 1 1 と第 2 の差動増幅回路 1 2 とを備えている。これら 2 つの差動増幅回路 1 1, 1 2 は、共に同じ入力端子 I N 1, I N 2 から入力される信号をもとに増幅動作を行い、増幅された信号を出力する。

第 1 の差動増幅回路 1 1 は、図 1 の回路と同様に、2 つのトランジスタ M 1, M 2 から成る差動対と、差動増幅回路 1 1 の出力をダブルエン

ドで取り出すための電流ミラー回路M3, M4と、差動対に接続された定電流回路Icとから構成されている。差動対を構成する一対のトランジスタM1, M2は、そのゲートが2つの入力端子IN1, IN2に接続されている。

また、第1の差動増幅回路11の差動対は、2つのトランジスタM1, M2のソースどうしが互いに共通に接続され、これらの共通ソースに定電流回路Icの一端が接続されている。定電流回路Icの他端は接地されている。また、これら2つのトランジスタM1, M2のドレインは、それぞれトランジスタM3, M4を介して電源VDDに接続されている。トランジスタM3, M4どうしは電流ミラーにて接続されている。

また、第2の差動増幅回路12は、2つのトランジスタM6, M7から成る差動対と、差動増幅回路11の出力をダブルエンドで取り出すための電流ミラー回路M8, M9と、差動対に接続された定電流回路Icとから構成されている。定電流回路Icは、2つの差動増幅回路11, 12で共用されている。また、第2の差動増幅回路12の差動対を構成する一対のトランジスタM6, M7のゲートには、第1の差動増幅回路11と同じ2つの入力端子IN1, IN2が接続されている。

第2の差動増幅回路12の差動対は、2つのトランジスタM6, M7のソースどうしが互いに共通に接続され、これらの共通ソースに定電流回路Icの一端が接続されている。定電流回路Icの他端は接地されている。また、これら2つのトランジスタM6, M7のドレインは、それぞれトランジスタM8, M9を介して電源VDDに接続されている。トランジスタM8, M9どうしは電流ミラーにて接続されている。

第1の差動増幅回路11の出力は、第1のソース接地アンプM5のゲートに接続されている。第1のソース接地アンプM5のドレインは、電流ミラー回路を構成する一方のトランジスタM11のドレインに接続さ

れるとともに、出力端子OUTに接続されている。また、第1のソース接地アンプM5のソースは電源VDDに接続されている。このように、本実施形態では、第1の差動増幅回路11の出力を第1のソース接地アンプM5で取り出す形式となっている。

これと同様に、第2の差動増幅回路12の出力は、第2のソース接地アンプM10のゲートに接続されている。第2のソース接地アンプM10のドレインは、電流ミラー回路を構成する他方のトランジスタM12に接続されている。また、第2のソース接地アンプM10のソースは電源VDDに接続されている。このように、本実施形態では、第2の差動増幅回路12の出力を第2のソース接地アンプM10で取り出す形式となっている。

第1のソース接地アンプM5に接続されたトランジスタM11（本発明による一方のトランジスタに相当）と、第2のソース接地アンプM10に接続されたトランジスタM12とは電流ミラー接続されている。トランジスタM12は、第2のソース接地アンプM10のドレイン電流によって駆動される。ここで、電流ミラー接続された2つのトランジスタM11、M12のサイズが同じであれば、トランジスタM11もトランジスタM12と同じ駆動能力を有することになる。

以上のような構成において、トランジスタM1、M2、M6、M7の極性、サイズは全て同一とする。また、トランジスタM3、M4、M8、M9の極性、サイズは全て同一とする。また、トランジスタM5、M10の極性、サイズは共に同一とする。ここで、トランジスタM3、M4とトランジスタM5との極性、サイズが同一である必要はない。また、トランジスタM8、M9とトランジスタM10との極性、サイズが同一である必要はない。また、トランジスタM11、M12の極性、サイズは共に同一とする。

次に、第2のソース接地アンプM10を流れるドレイン電流について説明する。入力端子IN1, IN2に対して信号の入力が無いときにおける第2のソース接地アンプM10を流れるドレイン電流（これをアイドリング電流と言う）は、以下の理由から $I_{com}/4 + \Delta I$ となる。なお、 I_{com} は定電流回路Icのコモン電流値、 ΔI はチャネル変調効果による電流増加分である。

トランジスタM8, M9の動作点は飽和領域にあるため、チャネル変調効果を考慮した場合におけるトランジスタM8, M9のドレイン電流 I_d は、図7に示す（式1）で与えられる。なお、この（式1）において、 W はトランジスタM8, M9のゲート幅、 L はトランジスタM8, M9のゲート長、 μ_0 はキャリアの移動度、 C_{ox} は単位面積当たりのゲート酸化膜容量、 λ はドレイン-ソース間電圧 V_{ds} が増大したときのチャネル長変化の相対値を表すパラメータである。

この（式1）を図式化したのが図4である。図4において、初期状態ではトランジスタM8, M9の動作バランスが崩れており、トランジスタM8の動作点がA点（ドレイン電流が I_{d1} 、ドレイン-ソース間電圧が V_{ds1} ）にあり、トランジスタM9の動作点がB点（ドレイン電流が I_{d2} 、ドレイン-ソース間電圧が V_{ds2} ）にあると仮定する。しかし、トランジスタM6, M7のドレイン電流が同一であるため、トランジスタM8, M9の負帰還動作によりトランジスタM9の動作点はB点からA点に変化せざるを得ない。つまり、トランジスタM9の安定点は、ドレイン-ソース間電圧が V_{ds1} のA点となる。

通常、チャネル変調効果の無い理想トランジスタの飽和領域では、ドレイン-ソース間電圧 V_{ds} の変化に対してドレイン電流 I_d が変化しないため、A点のような安定点は存在しない。これに対して本実施形態では、本来なら回路設計において悪影響を及ぼすチャネル変調効果を利用

して、トランジスタM9の安定点を作り出している。一方、トランジスタM8はゲートとドレインとを接続してあるダイオードのため、トランジスタM9のゲートソース間電圧は、トランジスタM8のゲートソース間電圧 V_{gs1} に等しくなる。

ここで、トランジスタM8、M9のゲートソース間電圧 V_{gs} およびドレイン電流 I_d が等しいことから、トランジスタM9のドレインソース間電圧はトランジスタM8のゲートソース間電圧 V_{gs1} と等しくなる。その結果、第2のソース接地アンプM10のゲートソース間電圧も V_{gs1} となる。しかし、第2のソース接地アンプM10のドレインソース間電圧は、トランジスタM8、M9のドレインソース間電圧 V_{gs1} よりも大きい。そこで、第2のソース接地アンプM10のアイドル電流は、チャンネル変調効果による増加分 ΔI を付加した $I_{com}/4 + \Delta I$ となる。

無信号時における第2のソース接地アンプM10のアイドル電流を大きくすることにより、信号入力時における第2のソース接地アンプM10のドレイン電流も大きくすることができる。これは、第1のソース接地アンプM5も同様である。第1のソース接地アンプM5のアイドル電流も、上述したのと同様の理由で $I_{com}/4 + \Delta I$ となる。このアイドル電流を大きくすることにより、信号入力時における第1のソース接地アンプM5のドレイン電流も大きくすることができる。

例えば、出力端子OUTに接続されている負荷（図示せず）が重く、かつ、差動増幅回路11、12で使用している定電流回路 I_c のコモン電流値 I_{com} を増加させずにソース接地アンプM5、M10のドレイン電流を増加させたい場合は、ソース接地アンプM5、M10のゲート長 L を小さくするか、ゲート幅 W を大きくすることで実現できる。半導体の製造プロセスを考慮すると、ゲート幅 W を大きくする方が容易である。

上記のように構成した本実施形態の差動増幅器では、出力端子OUTから出力される交流信号の上半分（正の半周期）のダイナミックレンジは、第1のソース接地アンプM5のドレイン電流供給能力で決まる。第1のソース接地アンプM5は、電源VDDにより十分に大きな電流供給能力を実現することが可能である。一方、交流信号の下半分（負の半周期）のダイナミックレンジは、トランジスタM11のドレイン電流供給能力で決まる。

上述したように、トランジスタM11に対してトランジスタM12が電流ミラー接続され、トランジスタM12は第2のソース接地アンプM10のドレイン電流によって駆動される。ここで、電流ミラー接続された2つのトランジスタM11、M12のサイズを同一としているので、トランジスタM11はトランジスタM12と同じ駆動能力を有する。したがって、交流信号の下半分Dのダイナミックレンジは、第2のソース接地アンプM10のドレイン電流供給能力で決まると言える。第2のソース接地アンプM10も、電源VDDにより十分に大きな電流供給能力を実現することが可能である。

以上のように、本実施形態によれば、交流信号の下半分を作るために、従来のように定電流回路を用いる代わりに、第2のソース接地アンプM10およびこれに接続された電流ミラー回路M11、M12を用いている。これにより、交流信号の下半分に関しても、定電流回路の電流値を増やすことなく十分に大きなダイナミックレンジを得ることができ、交流信号の下半分における波形の歪みを抑止することができる。

また、本実施形態では、電流ミラー回路を多用することがないため、出力オフセット電流の発生も抑止することができる。また、本実施形態によれば、第1のソース接地アンプM5のドレインと第2のソース接地アンプM10のドレインまでは、入力信号のパスにあるデバイスの極性

、サイズ等が同一のため、高周波領域でも交流信号の上半分と下半分との間に位相差を生じる要因が少ない。これにより、交流信号の歪みの発生を抑止することができる。また、トランジスタM12がダイオード接続されているためにインピーダンスが小さく、電流ミラー比が1:1であるため利得が0dBである。そのため、高周波領域でも周波数特性は良好である。したがって、本実施形態の差動増幅器は、高周波領域でも使用が可能であり、出力オフセット電流や信号の歪みを改善し低消費電流化を図ることが可能である。

(第2の実施形態)

次に、本発明の第2の実施形態を図面に基づいて説明する。図5は、第2の実施形態による差動増幅器の構成例を示す図である。なお、この図5において、図3に示した符号と同一の符号を付したものは同一の機能を有するものであるので、ここでは重複する説明を省略する。

図3に示した第1の実施形態では、ソース接地アンプM5、M10の入力抵抗が高くなる場合があり、オペアンプの開放利得が大きくなる。オペアンプを適用する応用回路の種類や用途によっては、オペアンプの開放利得を下げたい場合がある。その場合は、図5のような回路構成にすると良い。

すなわち、第1のソース接地アンプM5のゲートに第1のバイアス抵抗Rb1を接続し、第2のソース接地アンプM10のゲートに第2のバイアス抵抗Rb2を接続する。また、電源VDDとグランドとの間にトランジスタM13と定電流回路Ioとを直列に接続する。トランジスタM13はバイアス回路として機能するものであり、そのゲートとドレインは接続してある。トランジスタM13のゲートには第2のバイアス抵抗Rb2を接続し、ドレインには第1のバイアス抵抗Rb1を接続する。

このように、第2の実施形態では、ソース接地アンプM5、M10のゲートバイアスは、ゲートとドレインとを接続したトランジスタM13（バイアス回路）からバイアス抵抗Rb1、Rb2を介して供給する。このように構成すると、ソース接地アンプM5、M10の入力抵抗（差動増幅回路11、12の負荷抵抗）はバイアス抵抗Rb1、Rb2により決まる。また、ソース接地アンプM5、M10のドレイン電流はトランジスタM13のドレイン電流により決定される。これにより、トランジスタM5、M10、M13のサイズが同一ならば、これらに流れるドレイン電流は全て同一になる。

トランジスタM13は電源VDDによって駆動され、十分に大きなドレイン電流を得ることができるので、ソース接地アンプM5、M10も十分に大きなドレイン電流を得ることができる。これにより、上述した第1の実施形態と同様に、出力端子OUTから出力される交流信号の上半分も下半分も大きなダイナミックレンジを確保することができ、信号の歪みを抑止することができる。また、バイアス抵抗Rb1、Rb2を適当な値とすることにより、ソース接地アンプM5、M10の入力抵抗を小さくすることができ、オペアンプの開放利得を下げるることができる。

（第3の実施形態）

次に、本発明の第3の実施形態を図面に基づいて説明する。図6は、第3の実施形態による差動増幅器の構成例を示す図である。なお、この図6において、図3に示した符号と同一の符号を付したものは同一の機能を有するものであるので、ここでは重複する説明を省略する。

第3の実施形態は、差動増幅器の出力を2組の電流ミラー回路で取り出すことにより、同相および逆相の2つの出力信号を第1および第2の出力端子OUT1、OUT2から取り出すことを可能としたものである。

。すなわち、第3の実施形態では、図3に示した構成要素に加えて、第3および第4のソース接地アンプM14、M15と電流ミラー回路M16、M17とを更に備えている。

第1の差動増幅回路11の出力は、第1のソース接地アンプM5のゲートの他に、第4のソース接地アンプM15のゲートにも接続されている。第4のソース接地アンプM15のドレインは、電流ミラー回路を構成する他方のトランジスタM17のドレインに接続されている。また、第4のソース接地アンプM15のソースは電源VDDに接続されている。

また、第2の差動増幅回路12の出力は、第2のソース接地アンプM10のゲートの他に、第3のソース接地アンプM14のゲートにも接続されている。第3のソース接地アンプM14のドレインは、電流ミラー回路を構成する一方のトランジスタM16のドレインに接続されるとともに、第2の出力端子OUT2に接続されている。また、第3のソース接地アンプM14のソースは電源VDDに接続されている。

以上のような構成において、トランジスタM3、M4、M8、M9の極性、サイズは全て同一とする。また、トランジスタM5、M10の極性、サイズは共に同一とする。また、トランジスタM14、M15の極性、サイズは共に同一とする。ここで、トランジスタM3、M4とトランジスタM5、M15とのサイズが全て同一である必要はない。また、トランジスタM8、M9とトランジスタM10、M14とのサイズが全て同一である必要はない。また、トランジスタM11、M12の極性、サイズは共に同一とする。また、トランジスタM16、M17の極性、サイズは共に同一とする。

このように、同相および逆相の2つの出力信号を得るようにした場合も、第3のソース接地アンプM14のドレインと第4のソース接地アンプ

プM15のドレインまでは、入力信号のパスにあるデバイスの極性、サイズ等が同一のため、高周波領域でも交流信号の上半分と下半分との間に位相差を生じる要因が少ない。また、トランジスタM17がダイオード接続されているためにインピーダンスが小さく、電流ミラー比が1:1であるため利得が0dBである。そのため、高周波領域でも位相差による歪みが生じることがなく、周波数特性も良好である。

なお、上記第1～第3の実施形態では、差動増幅回路11, 12とソース接地アンプM5, M10, M14, M15との間をダイレクトに接続する例について説明したが、容量を介して接続するようにしても良い。

その他、上記第1～第3の実施形態は、何れも本発明を実施するにあたっての具体化の一例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその精神、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

産業上の利用可能性

本発明は、入力段における差動増幅回路の出力を後段のソース接地アンプで取り出す形式の差動増幅器に有用である。

請求の範囲

1. 2つの入力端子より入力される信号の差分に基づいて差動増幅動作を行う第1の差動増幅回路と、

上記第1の差動増幅回路と同じ上記2つの入力端子より入力される信号の差分に基づいて差動増幅動作を行う第2の差動増幅回路と、

上記第1の差動増幅回路の出力に接続された第1のソース接地アンプと、

上記第2の差動増幅回路の出力に接続された第2のソース接地アンプと、

上記第2のソース接地アンプに接続され、上記第2のソース接地アンプのドレイン電流によって駆動される電流ミラー回路とを備え、

上記電流ミラー回路を構成する一方のトランジスタと上記第1のソース接地アンプとの間に出力端子が接続されて成る差動増幅器。

2. 上記第1のソース接地アンプおよび上記第2のソース接地アンプのゲートに接続されたバイアス抵抗と、

上記バイアス抵抗に接続されたバイアス回路とを備え、

上記第1のソース接地アンプおよび上記第2のソース接地アンプのゲートバイアスを、上記バイアス回路から上記バイアス抵抗を介して供給するように成されている差動増幅器。

3. 上記第1の差動増幅回路を構成するトランジスタおよび上記第2の差動増幅回路を構成するトランジスタの極性、サイズが同じであり、上記第1のソース接地アンプを構成するトランジスタおよび上記第2のソース接地アンプを構成するトランジスタの極性、サイズが同じであることを特徴とする請求の範囲第1項に記載の差動増幅器。

図 1

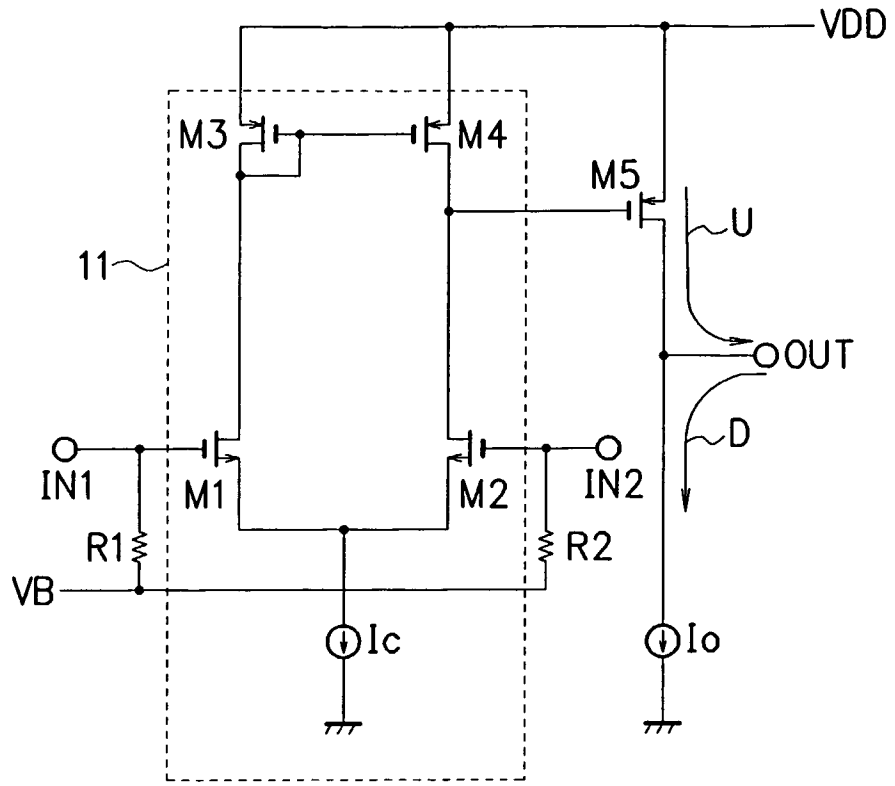


図 2

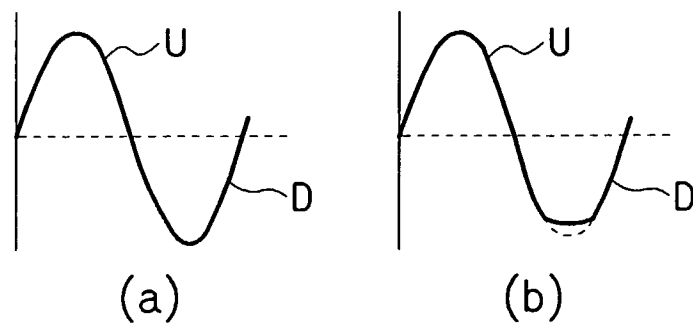


図 3

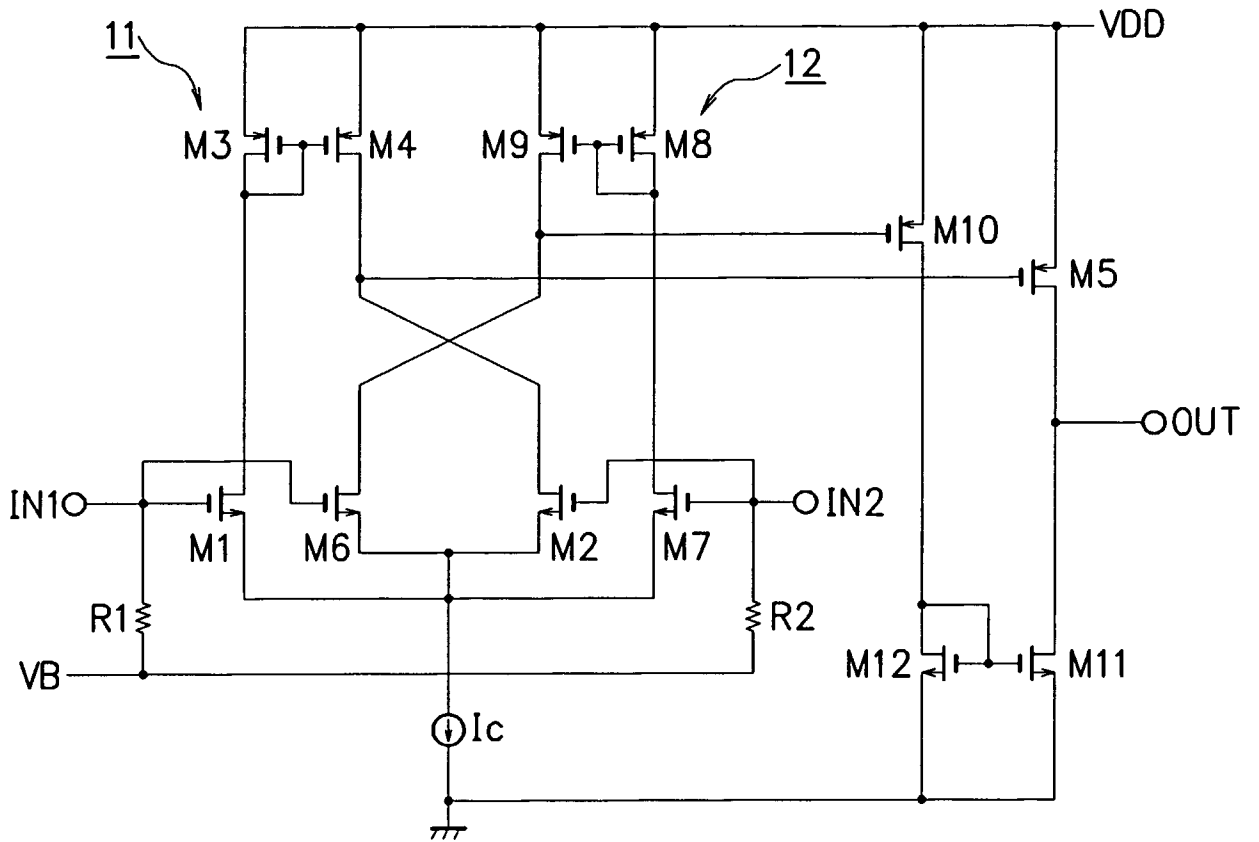


図 4

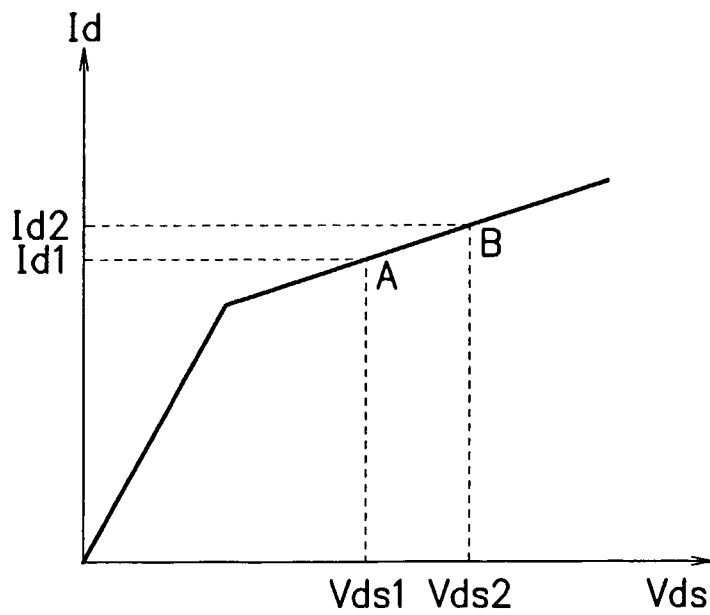


図 5

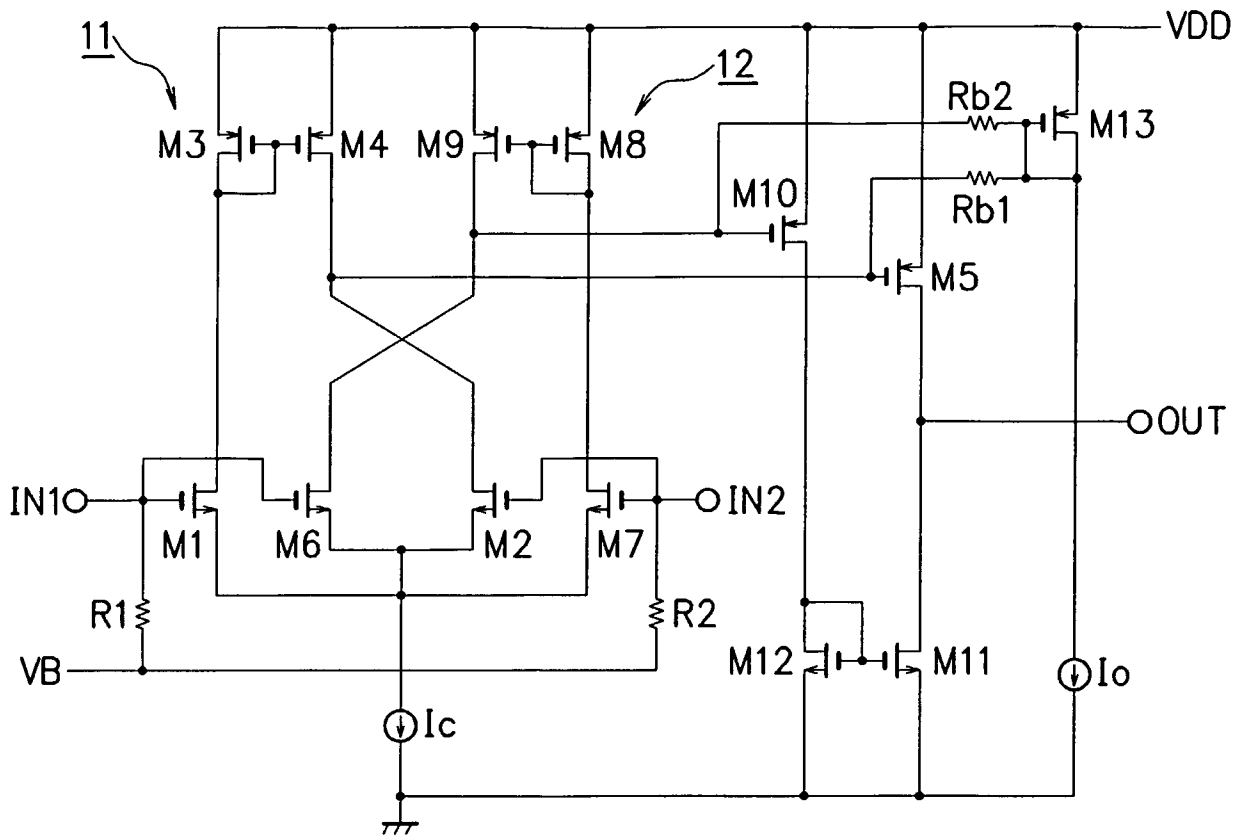


図 6

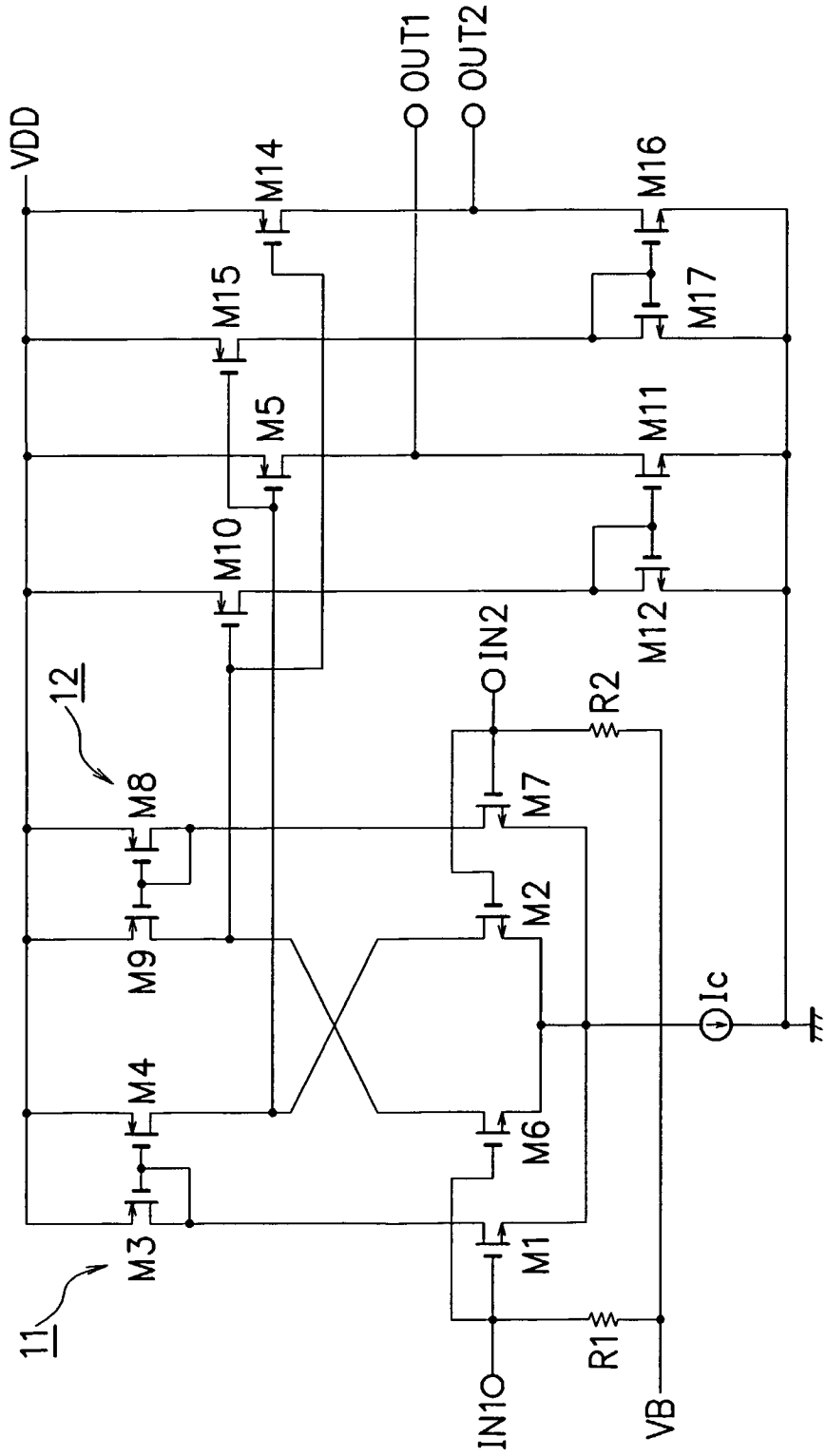


図 7

$$I_d = \frac{1}{2} K' \frac{W}{L} (V_{gs} - V_{th})^2 (1 + \lambda V_{ds}) \text{ ----- (式 1)}$$

$$K' = \mu_o C_{ox}$$

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/315696

A. CLASSIFICATION OF SUBJECT MATTER
H03F3/45(2006.01) i, H03F1/32(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03F3/45, H03F1/32

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2002-290172 A (Sharp Corp.), 04 October, 2002 (04.10.02), Full text; all drawings (Family: none)	1, 3 2
X A	JP 61-078212 A (Sanyo Electric Co., Ltd.), 21 April, 1986 (21.04.86), Full text; all drawings (Family: none)	1, 3 2

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
06 November, 2006 (06.11.06)

Date of mailing of the international search report
14 November, 2006 (14.11.06)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H03F3/45(2006.01)i, H03F1/32(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H03F3/45, H03F1/32			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2006年 日本国実用新案登録公報 1996-2006年 日本国登録実用新案公報 1994-2006年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
X A	JP 2002-290172 A (シャープ株式会社) 2002.10.04, 全文、全図 (ファミリーなし)	1,3 2	
X A	JP 61-078212 A (三洋電機株式会社) 1986.04.21, 全文、全図 (ファミリーなし)	1,3 2	
<input type="checkbox"/> C欄の続きにも文献が列挙されている。		<input type="checkbox"/> パテントファミリーに関する別紙を参照。	
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献	
国際調査を完了した日 06.11.2006		国際調査報告の発送日 14.11.2006	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 野元 久道	5W 9184 電話番号 03-3581-1101 内線 3576