

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
H01L 21/8247

(11) 공개번호 10-2005-0059926
(43) 공개일자 2005년06월21일

(21) 출원번호 10-2003-0091651
(22) 출원일자 2003년12월15일

(71) 출원인 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 홍영옥
경기도이천시부발읍응암리주은다솜아파트101-1504호

(74) 대리인 신영무

심사청구 : 없음

(54) 플래쉬 메모리소자의 콘택 플러그 형성방법

요약

본 발명은 플래쉬 메모리소자의 콘택 플러그 형성방법에 관한 것으로, 본 발명의 사상은 반도체 기판에 터널 산화막, 플로팅 게이트 전극용 제1 폴리 실리콘막, ONO막, 콘트롤 게이트 전극용 제2 폴리 실리콘막 및 금속 실리사이드막을 순차적으로 형성하는 단계, 상기 결과물 상에 제1 포토레지스트 패턴을 형성하여 이를 식각 마스크로 식각하여 플로팅 게이트 전극 패턴, 콘트롤 게이트 전극 패턴 및 상기 제1 폴리 실리콘막을 노출하는 제1 콘택홀을 형성하는 단계, 상기 결과물에 질화막 및 층간 절연막을 순차적으로 형성하는 단계, 상기 결과물 상에 제2 포토레지스트 패턴을 형성하고 이를 식각 마스크로 상기 층간 절연막, 질화막, 금속 실리사이드막의 소정 영역을 식각하여 상기 금속 실리사이드막을 노출하는 제2 콘택홀을 형성하는 단계 및 상기 형성된 제1 콘택홀 및 제2 콘택홀을 매립하여 상기 제1, 제2 폴리 실리콘막 및 금속실리사이드막을 동시에 노출하는 콘택 플러그를 형성하는 단계를 포함한다.

대표도

도 4

색인어

콘택 플러그

명세서

도면의 간단한 설명

도 1 내지 도 3은 종래 기술에 따른 플래쉬 메모리소자의 콘택 플러그 형성방법을 설명하기 위한 단면도들이고,

도 4 내지 도 7은 본 발명에 따른 플래쉬 메모리소자의 콘택 플러그 형성방법을 설명하기 위한 단면도들이다.

도면의 주요부분에 대한 부호의 설명

30: 반도체 기판 32: 터널 산화막

34: 제1 폴리 실리콘막 36: ONO막

38: 제2 폴리 실리콘막 40: 텅스텐 실리사이드막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 콘택 플러그 형성방법에 관한 것으로, 더욱 상세하게는 플래쉬 메모리소자의 콘택 플러그 형성방법에 관한 것이다.

도 1 내지 도 3은 종래 기술에 따른 플래쉬 메모리 소자의 콘택 플러그 형성방법을 설명하기 위한 단면도들이고, 이를 참조하여 설명하면 다음과 같다.

도 1을 참조하면, 반도체 기판(10) 상에 터널 산화막(12), 플로팅 게이트 전극용 제1 폴리 실리콘막(14), ONO막(16), 콘트롤 게이트 전극용 제2 폴리 실리콘막(18) 및 텅스텐 실리사이드막(20)을 순차적으로 형성한다. 이 결과물을 패터닝하여 플로팅 게이트 전극 패턴, 콘트롤 게이트 전극 패턴을 각각 형성한다. 상기 형성된 상기 게이트 전극 패턴 상에 제1 포토레지스트 패턴(미도시)을 형성한 후 이를 식각 마스크로 텅스텐 실리사이드막(20), 제2 폴리 실리콘막(18) 및 ONO막(16)을 식각하여 제1 폴리 실리콘막(14)을 노출하는 제1 콘택홀(CH1)을 형성한다. 상기 형성된 제1 포토레지스트 패턴(미도시)을 제거한다.

도 2를 참조하면, 상기 결과물의 게이트 전극 패턴의 측벽에 각각에 스페이서(22)를 형성하고, 상기 결과물 전면에 인접한 도전물질과의 절연층인 질화막(24)을 형성한다.

도 3을 참조하면, 상기 결과물 전면에 층간 절연막(26)을 형성하고, 상기 층간 절연막(26)의 소정 영역에 제2 포토레지스트 패턴(미도시)을 형성하고, 이를 식각마스크로 층간 절연막(26), 질화막(24) 및 텅스텐 실리사이드막(20)의 소정 두께를 식각하여, 제2 콘택홀(미도시)을 형성한다. 이 제2 콘택홀(미도시)에 텅스텐과 같은 도전물질을 매립하여 콘택 플러그(28)를 형성한다.

이 콘택 플러그(28)는 제1 및 제2 텅스텐 실리사이드막과 동시에 접촉되도록 형성된다.

이 콘택 플러그(28)를 정의하는 콘택홀은, 제1 콘택홀을 정의하는 제1 포토레지스트 패턴 형성, 이 패턴을 통한 식각 공정, 제2 콘택홀을 정의하는 제2 포토레지스트 패턴 형성, 이 패턴을 통한 식각 공정등 4번의 공정을 통해서 형성된다.

그러나 상기와 같은 다수의 공정단계의 추가로 인해, 콘택 플러그 형성에 대한 공정시간이 증가하게 되어, 원가 상승의 원인이 되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

상술한 문제점을 해결하기 위한 본 발명의 목적은 플래쉬 메모리소자의 콘택 플러그를 형성함에 있어서, 공정 단계 수를 줄여 콘택 플러그 형성에 대한 공정시간을 감소시키는 플래쉬 메모리소자의 콘택 플러그 형성 방법을 제공함에 있다.

발명의 구성 및 작용

상술한 목적을 달성하기 위한 본 발명의 사상은 반도체 기판에 터널 산화막, 플로팅 게이트 전극용 제1 폴리 실리콘막, ONO막, 콘트롤 게이트 전극용 제2 폴리 실리콘막 및 금속 실리사이드막을 순차적으로 형성하는 단계, 상기 결과물 상에 제1 포토레지스트 패턴을 형성하여 이를 식각 마스크로 식각하여 플로팅 게이트 전극 패턴, 콘트롤 게이트 전극 패턴 및 상기 제1 폴리 실리콘막을 노출하는 제1 콘택홀을 형성하는 단계, 상기 결과물에 질화막 및 층간 절연막을 순차적으로 형성하는 단계, 상기 결과물 상에 제2 포토레지스트 패턴을 형성하고 이를 식각 마스크로 상기 층간 절연막, 질화막, 금속 실리사이드막의 소정 영역을 식각하여 상기 금속 실리사이드막을 노출하는 제2 콘택홀을 형성하는 단계 및 상기 형성된 제1 콘택홀 및 제2 콘택홀을 매립하여 상기 제1, 제2 폴리 실리콘막 및 금속실리사이드막을 동시에 노출하는 콘택 플러그를 형성하는 단계를 포함한다.

상기 금속 실리사이드막은 텅스텐 실리사이드막인 것이 바람직하다.

이하, 첨부 도면을 참조하여 본 발명의 실시 예를 상세히 설명한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있지만 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안 된다. 본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해 제공되어지는 것이다. 또한 어떤 막이 다른 막 또는 반도체 기판의 '상'에 있다 또는 접촉하고 있다 라고 기재되는 경우에, 상기 어떤 막은 상기 다른 막 또는 반도체 기판에 직접 접촉하여 존재할 수 있고, 또는 그 사이에 제 3의 막이 개재되어질 수도 있다.

도 4 내지 도 7은 본 발명에 따른 플래쉬 메모리소자의 콘택 플러그 형성방법을 설명하기 위한 단면도들이다.

도 4를 참조하면, 반도체 기판(30) 상에 터널 산화막(32), 플로팅 게이트 전극용 제1 폴리 실리콘막(34), ONO막(36), 콘트롤 게이트 전극용 제2 폴리 실리콘막(38) 및 텅스텐 실리사이드막(40)을 순차적으로 형성한다.

상기 텅스텐 실리사이드막(40)의 소정 영역에 제3 포토레지스트 패턴(미도시)을 형성한 후 이를 식각 마스크로 플로팅 게이트 전극 패턴, 콘트롤 게이트 전극 패턴, 제1 콘택홀(CH2)을 각각 형성한다.

상기 제3 포토레지스트 패턴(미도시)은 게이트 전극 패턴 정의뿐만 아니라 하부에 형성된 제1 및 제2 폴리 실리콘막(34, 38)을 노출하는 콘택홀 정의를 위해 형성한다.

즉, 제3 포토레지스트 패턴은 게이트 전극 패턴용 포토레지스트 패턴을 형성한 후 이 패턴에 콘택홀용 포토레지스트 패턴이 형성되도록 함으로써 형성된다.

따라서 상기 형성된 제3 포토레지스트 패턴을 식각마스크로 텅스텐 실리사이드막(40), 제2 폴리 실리콘막(38), ONO막(36), 제1 폴리 실리콘막(34), 터널 산화막(32)을 순차적으로 식각하여, 게이트 전극 패턴 및 제1 콘택홀(CH2)을 형성한다. 이어서, 상기 제3 포토레지스트 패턴(미도시)을 제거한다.

도 5를 참조하면, 상기 형성된 게이트 전극 패턴의 측벽에 스페이서(42)를 형성하고, 상기 결과물의 벽면을 따라, 인접한 도전물질과의 절연층인 질화막(44)을 형성하고, 상기 질화막(44)이 형성된 결과물 전면에 층간 절연막(46)을 형성한다.

도 6을 참조하면, 상기 형성된 층간 절연막(40)상에 텅스텐 실리사이드막을 노출하기 위한 제2 콘택홀을 정의하는 제4 포토레지스트 패턴(미도시)을 형성한다. 이어서, 상기 패턴을 식각 마스크로 층간 절연막(46), 질화막(44) 및 텅스텐 실리사이드막(40)의 소정 깊이를 식각하여 텅스텐 실리사이드막(40)을 노출하는 제4 콘택홀(CH3)을 형성한다. 상기 제4 콘택홀(CH3)을 정의하는 식각 공정은 텅스텐 실리사이드막 상부에 형성된 층간 절연막(46) 및 질화막(44)의 식각뿐만 아니라 제4 콘택홀 내부에 형성된 층간 절연막(46) 및 질화막(44)의 식각도 수행된다.

이때, 상기 제4 콘택홀의 저면 및 측벽 일부에는 상기 질화막(44)이 잔존하게 되는 데, 이는 H_3PO_4 와 NH_4OH 를 이용한 식각액을 통한 식각공정을 수행하여 제거하게 된다. 또한, 상기 잔존한 질화막의 제거공정시 제4 포토레지스트 패턴(미도시)도 함께 제거된다.

도 7을 참조하면, 상기 형성된 제4 콘택홀(CH3)에 텅스텐과 같은 도전물질을 형성하여 콘택 플러그(48)의 형성을 완료한다.

본 발명에 의하면, 플래쉬 메모리소자의 게이트 전극 형성방법에 있어서, 상기 게이트 전극 식각공정시 제1 콘택홀 형성공정을 동시에 수행함으로써, 제1 콘택홀 정의를 위한 포토레지스트 패턴 형성 및 이 패턴을 통한 식각공정은 생략되므로, 공정단계가 축소된다.

발명의 효과

이상에서 살펴본 바와 같이 본 발명에 의하면, 본 발명에 의하면, 플래쉬 메모리소자의 게이트 전극 형성방법에 있어서, 상기 게이트 전극 식각공정시 제1 콘택홀 형성공정을 동시에 수행함으로써, 제1 콘택홀 정의를 위한 포토레지스트 패턴 형성 및 이 패턴을 통한 식각공정은 생략되므로, 공정단계가 축소되어, 콘택 플러그 형성에 대한 공정시간을 감소되는 효과가 있다.

본 발명은 구체적인 실시 예에 대해서만 상세히 설명하였지만 본 발명의 기술적 사상의 범위 내에서 변형이나 변경할 수 있음은 본 발명이 속하는 분야의 당업자에게는 명백한 것이며, 그러한 변형이나 변경은 본 발명의 특허청구범위에 속한다 할 것이다.

(57) 청구의 범위

청구항 1.

반도체 기판에 터널 산화막, 플로팅 게이트 전극용 제1 폴리 실리콘막, ONO막, 콘트롤 게이트 전극용 제2 폴리 실리콘막 및 금속 실리사이드막을 순차적으로 형성하는 단계;

상기 결과물 상에 제1 포토레지스트 패턴을 형성하여 이를 식각 마스크로 식각하여 플로팅 게이트전극 패턴, 콘트롤 게이트 전극 패턴 및 상기 제1 폴리 실리콘막을 노출하는 제1 콘택홀을 형성하는 단계;

상기 결과물에 질화막 및 층간 절연막을 순차적으로 형성하는 단계;

상기 결과물 상에 제2 포토레지스트 패턴을 형성하고 이를 식각 마스크로 상기 층간 절연막, 질화막, 금속 실리사이드막의 소정 영역을 식각하여 상기 금속 실리사이드막을 노출하는 제2 콘택홀을 형성하는 단계; 및

상기 형성된 제1 콘택홀 및 제2 콘택홀을 매립하여 상기 제1, 제2 폴리 실리콘막 및 금속실리사이드막을 동시에 노출하는 콘택 플러그를 형성하는 단계를 포함하는 플래쉬 메모리소자의 콘택 플러그 형성방법.

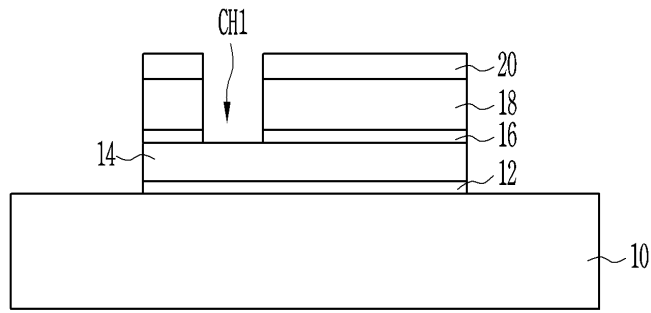
청구항 2.

제1 항에 있어서, 상기 금속 실리사이드막은

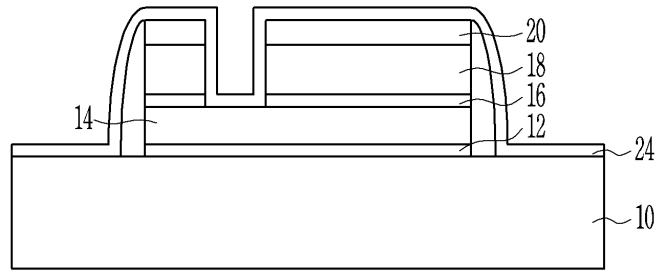
텅스텐 실리사이드막인 것을 특징으로 하는 플래쉬 메모리소자의 콘택 플러그 형성방법.

도면

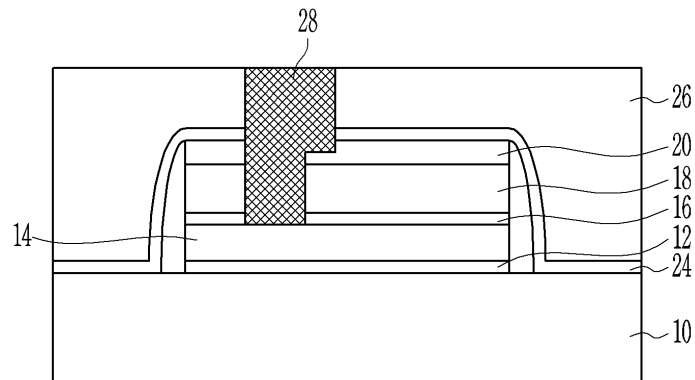
도면1



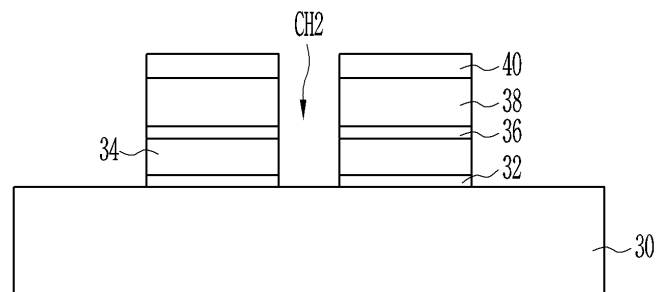
도면2



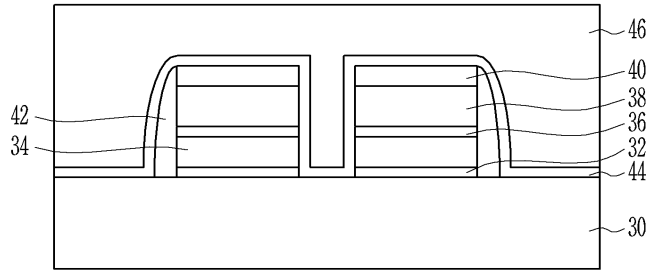
도면3



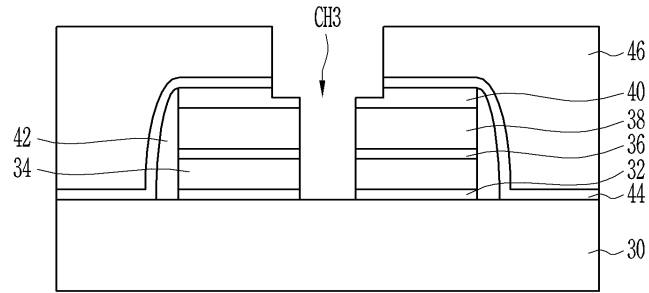
도면4



도면5



도면6



도면7

