



(12)发明专利

(10)授权公告号 CN 103730422 B

(45)授权公告日 2017.09.26

(21)申请号 201210393777.X

(22)申请日 2012.10.16

(65)同一申请的已公布的文献号

申请公布号 CN 103730422 A

(43)申请公布日 2014.04.16

(73)专利权人 中国科学院微电子研究所

地址 100029 北京市朝阳区北土城西路3#

(72)发明人 秦长亮 尹海洲 殷华湘

(74)专利代理机构 北京蓝智辉煌知识产权代理

事务所(普通合伙) 11345

代理人 陈红

(51)Int.Cl.

H01L 21/8238(2006.01)

H01L 21/28(2006.01)

(56)对比文件

CN 102543872 A,2012.07.04,

CN 102543739 A,2012.07.04,

CN 1349247 A,2002.05.15,

US 2012080755 A1,2012.04.05,

审查员 亢心洁

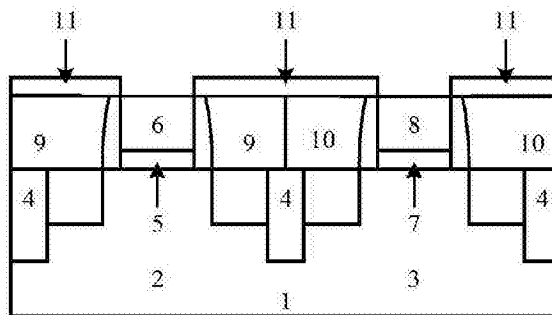
权利要求书1页 说明书4页 附图3页

(54)发明名称

半导体器件制造方法

(57)摘要

本发明提供了一种应力半导体制造方法。本发明中,首先在NMOS区域形成张应力层以在PMOS区域形成压应力层,沉积TEOS并进行平坦化处理,接着全面沉积保护层;采用栅极线条掩模版对保护层进行光刻和刻蚀,打开虚设栅极,由于在张应力层和压应力层之上完全覆盖了保护层,并且保护层在湿法腐蚀液中的腐蚀速率很小,因此张应力层和压应力层不会受到任何损伤,克服了现有技术中的缺陷;接着,形成栅极凹槽后,完成高K栅绝缘层和金属栅极制造,实现了后栅工艺与双应变应力层的工艺集成。



1. 一种半导体器件制造方法,其特征在于包括如下步骤:

提供半导体衬底,在该半导体衬底上形成STI结构,并进行阱区注入,形成NMOS区域和PMOS区域;

形成NMOS晶体管和PMOS晶体管,所述NMOS晶体管和所述PMOS晶体管包括虚设栅极和虚设栅极绝缘层,所述虚设栅极由栅极线条光刻版图案化;

在所述NMOS晶体管之上形成张应力层,在所述PMOS晶体管之上形成压应力层;

进行CMP工艺,暴露所述虚设栅极的上表面,并使所述虚设栅极、所述张应力层、所述压应力层的上表面处于同一平面内;

全面性沉积保护层;

以栅极线条光刻版对所述保护层进行光刻和刻蚀,去除位于所述虚设栅极上表面的所述保护层,暴露出所述虚设栅极上表面;

依次去除所述虚设栅极和所述虚设栅极绝缘层,形成栅极凹槽,由于所述保护层的保护,所述张应力层和所述压应力层都将不会有任何损失,因而可以向沟道提供足够的应力;

在所述栅极凹槽中,分别形成所述NMOS晶体管和所述PMOS晶体管的高K栅绝缘层和金属栅极。

2. 根据权利要求1所述的方法,其特征在于,形成NMOS晶体管和PMOS晶体管具体包括:

形成所述虚设栅极和所述虚设栅极绝缘层;

形成栅极间隙壁;

形成晶体管的源漏区域。

3. 根据权利要求1所述的方法,其特征在于,在所述NMOS晶体管之上形成张应力层具体包括:

全面沉积张应力氮化硅膜,用图案化的光刻胶层保护位于所述NMOS晶体管的所述张应力氮化硅膜,去除位于所述PMOS晶体管的所述张应力氮化硅膜,然后去除光刻胶层,形成所述张应力层。

4. 根据权利要求1所述的方法,其特征在于,在所述PMOS晶体管之上形成压应力层具体包括:

全面沉积压应力氮化硅膜,用图案化的光刻胶层保护位于所述PMOS晶体管的所述压应力氮化硅膜,去除位于所述NMOS晶体管的所述压应力氮化硅膜,然后去除光刻胶层,形成所述压应力层。

5. 根据权利要求1所述的方法,其特征在于,所述保护层为氧化硅、压应力氮化硅或无应力氮化硅,厚度为100埃。

6. 根据权利要求1所述的方法,其特征在于,在CMP工艺之前,全面性沉积TEOS层。

半导体器件制造方法

技术领域

[0001] 本发明涉及半导体器件制造方法领域,特别地,涉及一种应用于CMOS后栅工艺的双应变应力层的集成方法。

背景技术

[0002] 半导体集成电路技术在进入到90nm特征尺寸的技术节点后,维持或提高晶体管性能越来越具有挑战性。在90nm节点后,应力技术逐渐被采用以提高器件的性能。与之同时,在制造工艺方面,后栅工艺(gate last)中的高K金属栅技术也逐渐被采用以应对随着器件不断减小而带来的挑战。在应力技术中,双应变应力层(DSL,dual stress liner)技术与常规工艺兼容性高、成本较低,因此,被各大半导体厂商所采用。

[0003] DSL技术,指的是在不同类型的MOSFET区域,形成分别具有张应力和压应力的应力层,通常,在NMOS区域形成张应力层,在PMOS区域形成压应力层。参见附图1,图为采用了DSL技术的CMOS制造工艺中的一个步骤。其中,在衬底1上,形成有NMOS 2和PMOS3,不同MOS晶体管被STI结构4隔离开。NMOS 2包括NMOS虚设栅极6及其虚设栅极绝缘层5,PMOS 3包括PMOS虚设栅极8及其虚设栅极绝缘层7,虚设栅极(dummy gate)及其虚设栅极绝缘层被用于后栅工艺,虚设栅极通常为多晶硅或非晶硅栅极,虚设栅极绝缘层通常为氧化硅层,在完成晶体管其他部件之后,去除虚设栅极及其虚设栅极绝缘层,形成栅极凹槽,然后在栅极凹槽中形成高K栅绝缘层和金属栅极。NMOS 2之上覆盖有张应力层9,PMOS 3之上覆盖有压应力层10,应力层材料通常为氮化硅。这两种应力层分别向NMOS和PMOS的沟道区域提供应力,以增加沟道区域载流子的迁移率,保证晶体管在深亚微米领域的性能。接着,在此后的步骤中,需要打开虚设栅极。目前方法是,在形成应力层之后,沉积TEOS层20,然后再进行CMP,打开虚设栅极,参见附图2,然后去除虚设栅极和虚设栅极绝缘层,然而,采用这一方法所面临的问题就是:虚设栅极绝缘层通常为氧化硅,去除方式是DHF湿法腐蚀,具体而言,在室温下(23摄氏度),1:100的DHF腐蚀氧化硅的速率为 30 ± 1 埃/分钟,但是,与此同时,张应力氮化硅在此条件的DHF中腐蚀速率为498埃/分钟,远大于氧化硅在DHF中的腐蚀速率,由于CMP后会有一部分张应力层9暴露出来而未被TEOS层20覆盖,参见图2中虚线圈所示位置,这样,在去除虚设栅极绝缘层的时候,暴露出的张应力层9被腐蚀从而形成孔洞,参见附图3,如果不解决这个问题就会导致在后续的高K金属栅工艺中导致高K材料和金属栅材料填充到孔洞里而造成器件性能的劣化,同时,由于应力层损失,导致了DSL集成失败。

[0004] 因此,需要提供一种新的应用于CMOS后栅工艺的双应变应力层的集成方法,能够克服上述缺陷。

发明内容

[0005] 本发明提供一种晶体管的制造方法,利用额外形成的材料层作为保护层,并采用栅极光刻版进行光刻,避免了现有技术中张应力层损失的缺陷。

[0006] 根据本发明的一个方面,本发明提供一种半导体器件制造方法,用于在后栅工艺

的双应变应力层的集成,其包括如下步骤:

[0007] 提供半导体衬底,在该半导体衬底上形成STI结构,并进行阱区注入,形成NMOS区域和PMOS区域;

[0008] 形成NMOS晶体管和PMOS晶体管,所述NMOS晶体管和所述PMOS晶体管包括虚设栅极和虚设栅极绝缘层,所述虚设栅极由栅极线条光刻版图案化;

[0009] 在所述NMOS晶体管之上形成张应力层,在所述PMOS晶体管之上形成压应力层;

[0010] 进行CMP工艺,暴露所述虚设栅极的上表面,并使所述虚设栅极、所述张应力层、所述压应力层的上表面处于同一平面内;

[0011] 全面性沉积保护层;

[0012] 以栅极线条光刻版对所述保护层进行光刻和刻蚀,去除位于所述虚设栅极上表面的所述保护层,暴露出所述虚设栅极上表面;

[0013] 依次去除所述虚设栅极和所述虚设栅极绝缘层,形成栅极凹槽;

[0014] 在所述栅极凹槽中,分别形成所述NMOS晶体管和所述PMOS晶体管的高K栅绝缘层和金属栅极。

[0015] 根据本发明的一个方面,形成NMOS晶体管和PMOS晶体管具体包括:

[0016] 形成所述虚设栅极和所述虚设栅极绝缘层;

[0017] 形成栅极间隙壁;

[0018] 形成晶体管的源漏区域。

[0019] 根据本发明的一个方面,在所述NMOS晶体管之上形成张应力层具体包括:

[0020] 全面沉积张应力氮化硅膜,用图案化的光刻胶层保护位于所述NMOS晶体管的所述张应力氮化硅膜,去除位于所述PMOS晶体管的所述张应力氮化硅膜,然后去除光刻胶层,形成所述张应力层。

[0021] 根据本发明的一个方面,在所述PMOS晶体管之上形成压应力层具体包括:

[0022] 全面沉积压应力氮化硅膜,用图案化的光刻胶层保护位于所述PMOS晶体管的所述压应力氮化硅膜,去除位于所述NMOS晶体管的所述压应力氮化硅膜,然后去除光刻胶层,形成所述压应力层。

[0023] 根据本发明的一个方面,所述保护层为氧化硅、压应力氮化硅或无应力氮化硅,厚度为100埃。

[0024] 根据本发明的一个方面,在CMP工艺之前,全面性沉积TEOS层。

[0025] 本发明的优点在于:首先在NMOS区域形成张应力层以及在PMOS区域形成压应力层,沉积TEOS并进行平坦化处理,接着全面沉积保护层;采用栅极线条掩模版对保护层进行光刻和刻蚀,打开虚设栅极,由于在张应力层和压应力层之上完全覆盖了保护层,并且保护层在湿法腐蚀液中的腐蚀速率很小,因此张应力层和压应力层不会受到任何损伤,克服了现有技术中的缺陷;接着,形成栅极凹槽后,完成高K栅绝缘层和金属栅极制造,实现了后栅工艺与双应变应力层的工艺集成。

附图说明

[0026] 图1-3现有的后栅工艺双应变应力层的集成方法;

[0027] 图4-9本发明的后栅工艺双应变应力层的集成方法。

具体实施方式

[0028] 以下,通过附图中示出的具体实施例来描述本发明。但是应该理解,这些描述只是示例性的,而并非要限制本发明的范围。此外,在以下说明中,省略了对公知结构和技术的描述,以避免不必要地混淆本发明的概念。

[0029] 本发明提供一种半导体器件制造方法,特别地涉及一种利用间隙壁技术的晶体管制造方法,下面参见附图4-9,将要详细描述本发明提供的半导体器件制造方法。

[0030] 首先,参见附图4,在半导体衬底1上,形成有NMOS 2和PMOS 3,不同MOS晶体管被STI结构4隔离开。其中,本实施例中采用了单晶硅衬底,可选地,也可采用锗衬底或者其他合适的半导体衬底。在半导体衬底1上形成STI结构4的方法具体包括,首先在半导体衬底1上涂布光刻胶,接着光刻出STI结构4图形,并对半导体衬底1进行各向异性的刻蚀获得浅沟槽,在该浅沟槽中填充介电材料,如 SiO_2 ,从而形成STI结构。在形成STI结构4之后,进行阱区注入(未在图中示出),形成NMOS区域和PMOS区域。PMOS的阱区注入杂质为N型杂质,而NMOS的阱区注入杂质为P型杂质。

[0031] 接着,形成NMOS虚设栅极6及其虚设栅极绝缘层5,PMOS虚设栅极8及其虚设栅极绝缘层7。具体包括:先在衬底1表面沉积一层虚设栅极绝缘层材料,例如是 SiO_2 ,其厚度优选为0.5-10nm,沉积工艺例如为CVD。之后,沉积虚设栅极材料,在本发明后栅工艺中,虚设栅极材料例如是多晶硅或非晶硅。另外,虚设栅极材料层之上还形成有硬掩模层(未图示)。然后,进行光刻胶涂布,以栅极线条光刻版进行光刻,定义出虚设栅极图形,对虚设栅极材料以及虚设栅极绝缘层材料顺序刻蚀,从而同时形成NMOS和PMOS的虚设栅极及其虚设栅极绝缘层。虚设栅极(dummy gate)及其虚设栅极绝缘层被用于后栅工艺,在完成晶体管其他部件之后,去除虚设栅极及其虚设栅极绝缘层,形成栅极凹槽,然后在栅极凹槽中形成高K栅绝缘层和金属栅极。

[0032] 形成虚设栅极线条后,形成栅极间隙壁,采用沉积和回刻蚀的方式。之后,分别形成NMOS和PMOS的源漏区域,可以采用离子注入的方式,也可以首先以虚设栅极为掩模进行自对准的源漏区域刻蚀,形成源漏区域沟槽,然后进行源漏区域外延生长,从而形成晶体管的源漏区域。

[0033] 之后,在NMOS 2之上形成张应力层9。具体包括:首先全面沉积张应力氮化硅膜,然后用图案化的光刻胶层保护NMOS 2区域的张应力氮化硅膜,去除PMOS 3区域的张应力氮化硅膜,然后去除光刻胶层,形成张应力层9。张应力层9的厚度为 h_1 。

[0034] 之后,在PMOS 3之上形成压应力层10。具体包括:首先全面沉积压应力氮化硅膜,然后用图案化的光刻胶层保护PMOS 3区域的压应力氮化硅膜,去除NMOS 2区域的压应力氮化硅膜,然后去除光刻胶层,形成压应力层10。压应力层10的厚度为 h_2 ,其中, h_2 与 h_1 优选地相等,也可以不相等,但差别不超过50nm。

[0035] 以上两种应力层的形成先后顺序可以调换,它们分别向NMOS和PMOS的沟道区域提供应力,以增加沟道区域载流子的迁移率,保证晶体管在深亚微米领域的性能。

[0036] 接着,全面性沉积TEOS层(未图示),进行CMP工艺,平坦化器件结构,打开虚设栅极上表面,参见附图5。并且,在此步CMP工艺中,要使虚设栅极、张应力层9、压应力层10的上表面处于同一平面内。此步骤之后,虚设栅极6和8的上表面被暴露出。

[0037] 接着,参见附图6,全面性沉积保护层11,保护层11的材料可以是在DHF中腐蚀速率相对于张应力层9较低的材料,具体为氧化硅、压应力氮化硅、无应力氮化硅等,厚度例如是100nm。保护层11同时覆盖整个器件区域之上。

[0038] 接着,参见附图7,以栅极线条光刻版对保护层11进行光刻和刻蚀,去除位于虚设栅极上表面的保护层11。此步骤的目的是打开虚设栅极上表面,由于此图形对应于栅极线条,因此可以采用栅极线条光刻版进行光刻,恰好可以暴露出虚设栅极上表面。

[0039] 接着,参见附图8,依次去除虚设栅极和虚设栅极绝缘层,形成栅极凹槽12。具体包括:先去除虚设栅极6和8;接着,去除虚设栅极绝缘层5和7,去除方式是DHF湿法腐蚀。由于保护层11覆盖了全部的张应力层9和压应力层10,由于与张应力层9和虚设栅极绝缘层5、7相比,DHF对保护层11的腐蚀速率并不大,同时考虑到保护层11所具有的厚度,在去除虚设栅极绝缘层5和7的过程中,保护层11不会被完全去除,因此,由于保护层11的保护,DHF对张应力氮化硅无法进行腐蚀,张应力层9和压应力层10都将不会有任何损失,因而可以向沟道提供足够的应力。

[0040] 然后,参见附图9,在栅极凹槽12中分别形成NMOS 2的高K栅绝缘层13和金属栅极14,PMOS 3的高K栅绝缘层15和金属栅极16。高K栅绝缘层13和高K栅绝缘层15选自以下材料之一或其组合构成的一层或多层: Al_2O_3 , HfO_2 ,包括 HfSiO_x 、 HfSiON 、 HfAlO_x 、 HfTaO_x 、 HfLaO_x 、 HfAlSiO_x 以及 HfLaSiO_x 至少之一在内的铅基高K介质材料,包括 ZrO_2 、 La_2O_3 、 LaAlO_3 、 TiO_2 、或 Y_2O_3 至少之一在内的稀土基高K介质材料。高K栅绝缘层13和高K栅绝缘层15的厚度为0.5-100nm,优选为1-10nm,沉积工艺例如为CVD。金属栅极14和金属栅极16的材料为金属或金属化合物,例如TiN,TaN,W。NMOS和PMOS的栅极以及高K栅极绝缘层形成顺序可以根据需求调换。

[0041] 这样,高K金属栅极制造完成,实现了本发明的后栅工艺和双应变应力层集成工艺,之后可以进行层间介质层以及互连线的制备。

[0042] 至此,本发明提出并详细描述了后栅工艺和双应变应力层集成的半导体器件制造方法。在本发明的方法中,首先在NMOS区域形成张应力层以及在PMOS区域形成压应力层,沉积TEOS并进行平坦化处理,接着全面沉积保护层;采用栅极线条掩模版对保护层进行光刻和刻蚀,打开虚设栅极,由于在张应力层和压应力层之上完全覆盖了保护层,并且保护层在湿法腐蚀液中的腐蚀速率很小,因此张应力层和压应力层不会受到任何损伤,克服了现有技术中的缺陷;接着,形成栅极凹槽后,完成高K栅绝缘层和金属栅极制造,实现了后栅工艺与双应变应力层的工艺集成。

[0043] 以上参照本发明的实施例对本发明予以了说明。但是,这些实施例仅仅是为了说明的目的,而并非为了限制本发明的范围。本发明的范围由所附权利要求及其等价物限定。不脱离本发明的范围,本领域技术人员可以做出多种替换和修改,这些替换和修改都应落在本发明的范围之内。

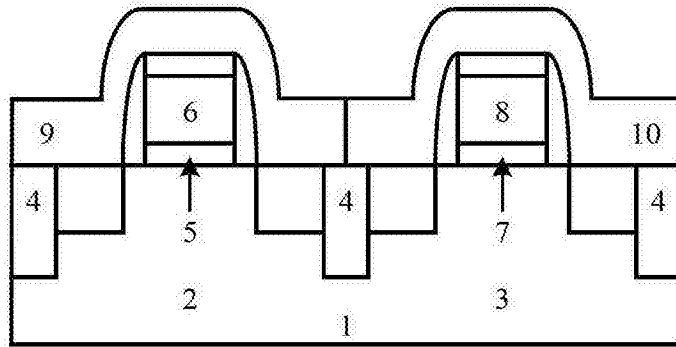


图1

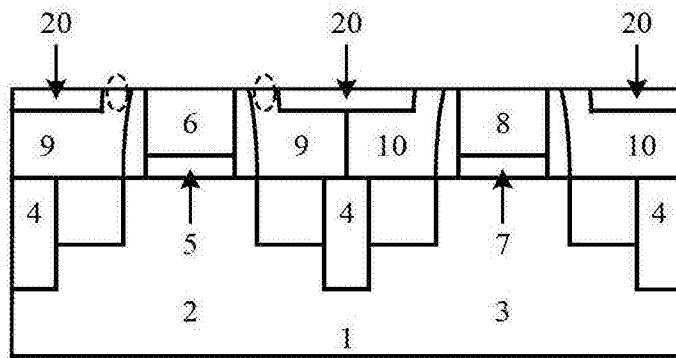


图2

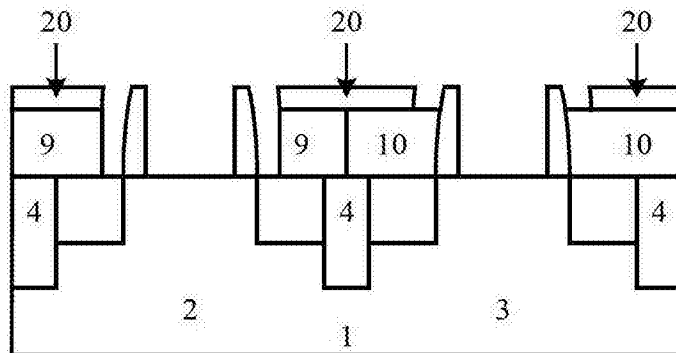


图3

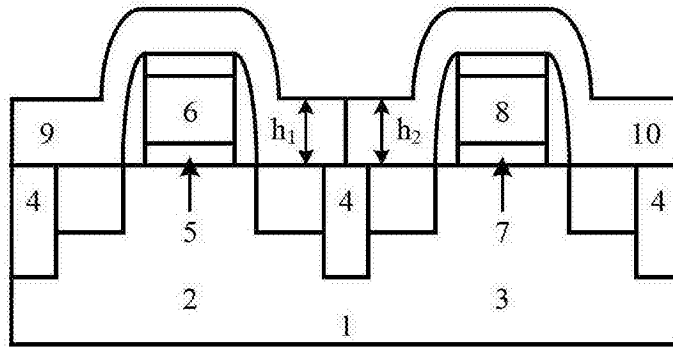


图4

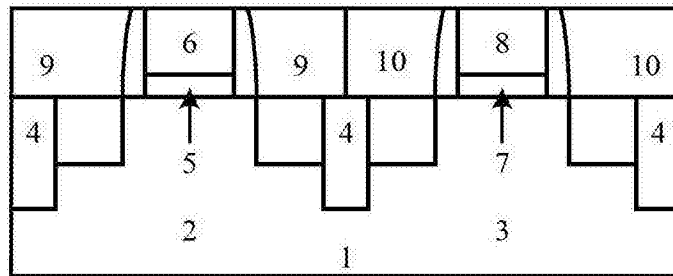


图5

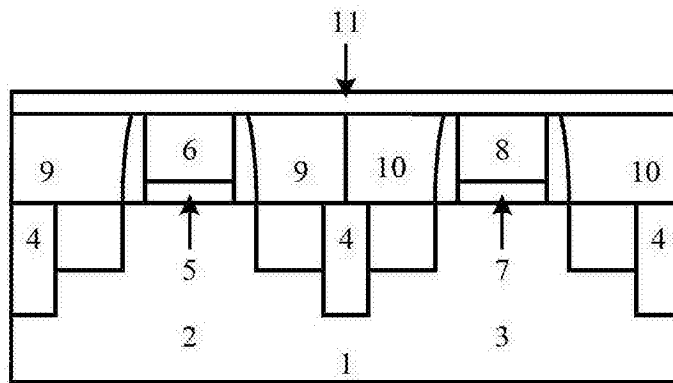


图6

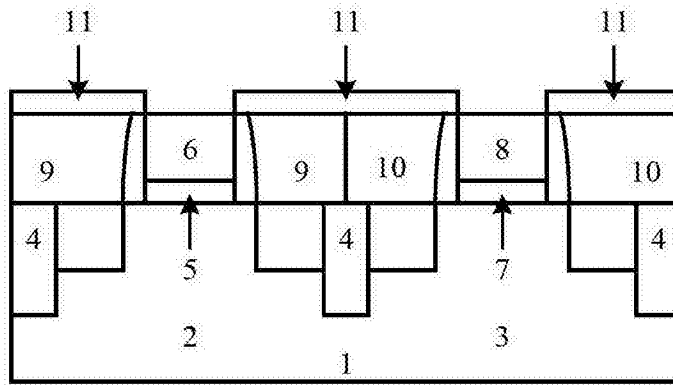


图7

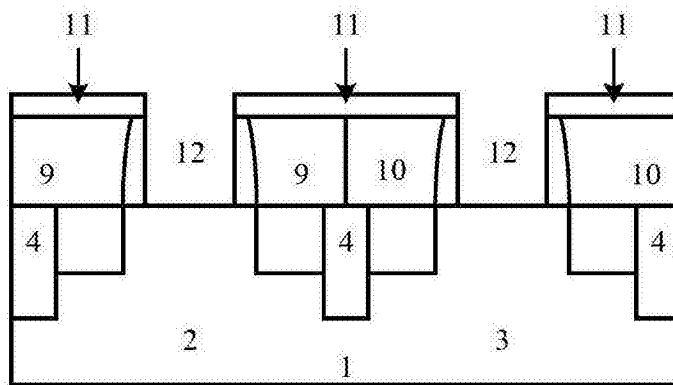


图8

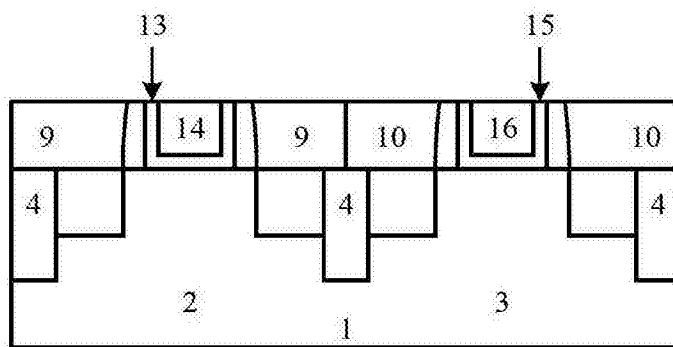


图9