

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4055358号
(P4055358)

(45) 発行日 平成20年3月5日(2008.3.5)

(24) 登録日 平成19年12月21日(2007.12.21)

(51) Int.Cl. F I
H O 1 L 29/866 (2006.01) H O 1 L 29/90 D

請求項の数 10 (全 25 頁)

(21) 出願番号	特願2000-377483 (P2000-377483)	(73) 特許権者	000106276
(22) 出願日	平成12年12月12日 (2000.12.12)		サンケン電気株式会社
(65) 公開番号	特開2002-185019 (P2002-185019A)		埼玉県新座市北野3丁目6番3号
(43) 公開日	平成14年6月28日 (2002.6.28)	(74) 代理人	100083806
審査請求日	平成17年3月22日 (2005.3.22)		弁理士 三好 秀和
		(74) 代理人	100100712
			弁理士 岩▲崎▼ 幸邦
		(74) 代理人	100100929
			弁理士 川又 澄雄
		(74) 代理人	100095500
			弁理士 伊藤 正和
		(74) 代理人	100101247
			弁理士 高橋 俊一
		(74) 代理人	100098327
			弁理士 高松 俊雄

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

第1端面及び該第1端面に対向した第2端面、更に前記第1及び第2端面を接続する第1外周面を有した第1導電型の第1半導体領域と、

第3端面及び該第3端面に対向した第4端面、更に前記第3及び第4端面を接続する第2外周面を有し、前記第4端面が前記第1端面と接合した第1導電型の第2半導体領域と、

チップ外周面の一部として機能する第3外周面と前記第2端面より広い上面を有し、該上面の一部が前記第2端面を介して前記第1半導体領域に接合した第1導電型とは反対導電型となる第2導電型の第3半導体領域と、

前記チップ外周面の他の一部として機能し、前記第3外周面に連続した第4外周面、並びに前記第1及び第2外周面に接合した内周面、更に前記第3半導体領域と接合する下面を有し、前記第1半導体領域よりも低不純物密度で第1導電型の第4半導体領域

とを備え、前記第3半導体領域と前記第4半導体領域とのなすpn接合界面が、前記チップ外周面に露出していることを特徴とする半導体装置。

【請求項2】

第1端面及び該第1端面に対向した第2端面、更に前記第1及び第2端面を接続する第1外周面を有した第1導電型の第1半導体領域と、

第3端面及び該第3端面に対向した第4端面、更に前記第3及び第4端面を接続する第2外周面を有し、前記第4端面が前記第1端面と接合した第1導電型の第2半導体領域と

チップ外周面の一部として機能する第3外周面と前記第2端面より広い上面を有し、該上面の一部が前記第2端面を介して前記第1半導体領域に接合した第1導電型とは反対導電型となる第2導電型の第3半導体領域と、

前記チップ外周面の他の一部として機能し、前記第3外周面に連続した第4外周面、並びに前記第1及び第2外周面に接合した内周面、更に前記第3半導体領域と接合する下面を有し、真性半導体からなる第4半導体領域

とを備え、前記第3半導体領域と前記第4半導体領域とのなすip接合界面又はin接合界面が、前記チップ外周面に露出していることを特徴とする半導体装置。

【請求項3】

前記該チップ外周面が前記第1半導体領域の第2端面に対して、実質的に垂直であることを特徴とする請求項1又は2に記載の半導体装置。

【請求項4】

前記第4半導体領域は、バルク結晶から切り出したウェハからなる半導体基板であることを特徴とする請求項1～3のいずれか1項に記載の半導体装置。

【請求項5】

前記第3半導体領域の底面には第1主電極層が、前記第2半導体領域の表面には第2主電極層が形成されていることを特徴とする請求項1～4のいずれか1項に記載の半導体装置。

【請求項6】

第1導電型の半導体基板の一方の主面から、前記半導体基板よりも高不純物密度で第1導電型の不純物元素を所定深さまで選択的に導入して第1半導体領域を形成する工程と、前記半導体基板の他方の主面から、前記半導体基板よりも高不純物密度で第1導電型の不純物元素を所定深さまで選択的に導入して前記第1半導体領域に接合する第2半導体領域を形成する工程と、

前記半導体基板の前記一方の主面全体から第1導電型とは反対導電型となる第2導電型の不純物元素を導入して第3半導体領域を形成し、前記第3半導体領域の一部と前記第1半導体領域とで第1のpn接合界面を、前記第3半導体領域の他の一部と前記半導体基板とで第2のpn接合界面を形成する工程

とを含み、前記一方の主面から見た平面パターンにおいて、前記第1のpn接合界面を囲む外側の領域に、前記第2のpn接合界面が前記第1のpn接合界面と平坦な面となるように連続して位置することを特徴とする半導体装置の製造方法。

【請求項7】

第1導電型の半導体基板の一方の主面から、前記半導体基板よりも高不純物密度で第1導電型の不純物元素を所定深さまで選択的に導入して第1半導体領域を形成する工程と、前記半導体基板の他方の主面から、前記半導体基板よりも高不純物密度で第1導電型の不純物元素を所定深さまで選択的に導入して第2半導体領域を形成する工程と、

前記半導体基板の前記一方の主面全体から第1導電型とは反対導電型となる第2導電型の不純物元素を熱処理により導入して第3半導体領域を形成し、前記第3半導体領域の一部と前記第1半導体領域とで第1のpn接合界面を、前記第3半導体領域の他の一部と前記半導体基板とで第2のpn接合界面を形成させ、同時に、前記熱処理により前記第1半導体領域及び前記第2半導体領域の導入深さを更に深く押し込み、前記第1半導体領域と前記第2半導体領域とを接合させる工程

とを含み、前記一方の主面から見た平面パターンにおいて、前記第1のpn接合界面を囲む外側の領域に、前記第2のpn接合界面が前記第1のpn接合界面と平坦な面となるように連続して位置することを特徴とする半導体装置の製造方法。

【請求項8】

真性半導体からなる半導体基板の一方の主面から第1導電型の不純物元素を所定深さまで選択的に導入して第1半導体領域を形成する工程と、

前記半導体基板の他方の主面から第1導電型の不純物元素を所定深さまで選択的に導入

10

20

30

40

50

して前記第 1 半導体領域に接合する第 2 半導体領域を形成する工程と、

前記半導体基板の前記一方の主面全体から第 1 導電型とは反対導電型となる第 2 導電型の不純物元素を導入して第 3 半導体領域を形成し、前記第 3 半導体領域の一部と前記第 1 半導体領域とで p n 接合界面を、前記第 3 半導体領域の他の一部と前記半導体基板とで p i 接合界面又は n i 接合界面を形成する工程

とを含み、前記一方の主面から見た平面パターンにおいて、前記 p n 接合界面を囲む外側の領域に、前記 p i 接合界面又は n i 接合界面が、前記 p n 接合界面と平坦な面となるように連続して位置することを特徴とする半導体装置の製造方法。

【請求項 9】

真性半導体からなる半導体基板の一方の主面から第 1 導電型の不純物元素を所定深さまで選択的に導入して第 1 半導体領域を形成する工程と、

前記半導体基板の他方の主面から第 1 導電型の不純物元素を所定深さまで選択的に導入して第 2 半導体領域を形成する工程と、

前記半導体基板の前記一方の主面全体から第 1 導電型とは反対導電型となる第 2 導電型の不純物元素を熱処理により導入して第 3 半導体領域を形成し、前記第 3 半導体領域の一部と前記第 1 半導体領域とで p n 接合界面を、前記第 3 半導体領域の他の一部と前記半導体基板とで p i 接合界面又は n i 接合界面を形成させ、同時に、前記熱処理により前記第 1 半導体領域及び前記第 2 半導体領域の導入深さを更に深く押し込み、前記第 1 半導体領域と前記第 2 半導体領域とを接合させる工程

とを含み、前記一方の主面から見た平面パターンにおいて、前記 p n 接合界面を囲む外側の領域に、前記 p i 接合界面又は n i 接合界面が、前記第 1 の p n 接合界面と平坦な面となるように連続して位置することを特徴とする半導体装置の製造方法。

【請求項 10】

前記半導体基板を、前記一方の主面に対して実質的に直角をなす面で切断することにより複数の半導体チップを切り出し、前記半導体基板と前記第 3 の半導体領域とのなす接合界面を、前記切断面に露出させ、前記複数の半導体チップのそれぞれにより複数の半導体装置を実現する工程を更に含むことを特徴とする請求項 6 ~ 9 のいずれか 1 項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えば定電圧ダイオード（ツェナーダイオード）などのような逆耐圧電圧の低い半導体整流素子として用いられる半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

従来、図 14 に示すような定電圧ダイオードなどの半導体ダイオード 1 が知られている。この半導体ダイオード 1 は、例えばシリコン基板に、順次、高不純物密度の n 型半導体層 2 と、所定の不純物密度に設定された n 型半導体層 3 と、高不純物密度の p 型半導体層 4 とが接合するように形成された単純 3 層構造を有している。又、n 型半導体層 2 の表面と p 型半導体層 4 の表面には、それぞれ電極を構成する金属被膜 5、6 が形成されている。

【0003】

通常、このような接合構造を有する半導体ダイオードでは、逆方向電圧を印加された p n 接合の空乏層には強い電界が存在するが、p n 接合の終端部が露呈するチップ側面では表面に付着した不純物元素やイオンなどの影響を受けて局所的に電界が一層強まって降伏（ブレイクダウン）が起こり易くなっている。このため、半導体ダイオードでは、理論的に期待される逆耐圧を得ることが困難となることが多い。そこで、チップ側面での電界を緩和するため、図 14 に示す半導体ダイオード 1 のように、p n 接合の終端部が露呈するチップ側面 7 を、p n 接合面 9 に対して適切な角度だけ斜めに加工して電界が緩和されるようにしたベベル構造が採用されている。このようなベベル構造を採用することにより、

10

20

30

40

50

チップ側面7での電界が緩和され、降伏が接合全面で起こるようにして、降伏電圧の設定の安定化を図っている。なお、定電圧ダイオードよりも高耐圧の半導体デバイスにおいてもベベル構造を採用することにより、耐圧を向上出来ることは周知の通りである。

【0004】

【発明が解決しようとする課題】

しかしながら、図14に示した半導体ダイオード1では、以下に説明するような問題点がある。

【0005】

(1) 図14に示した半導体ダイオード1では、製品組立(アSEMBル)工程において、チップ側面7を外部環境から保護するために酸又はアルカリ系薬液による湿式洗浄を施した後、チップ側面7を絶縁膜8で被覆している。しかし、このようにして製造された半導体ダイオード1では、製品評価試験の結果、製品の特性や品質が安定していない点が指摘されている。このように特性などが安定しない理由としては、湿式洗浄又は絶縁膜8の被覆による影響によりチップ側面7に表面状態の変化や表面破損が引き起こされていることが挙げられる。現実の半導体チップの表面状態は極めて活性であるため、その表面状態を精密且つ再現性を制御するのは、極めて困難である。

10

【0006】

(2) 図14に示した半導体ダイオード1では、n型半導体層3とp型半導体層4とのpn接合部のn型半導体層3の不純物密度により耐圧が決定されるが、この耐圧を決定するために、製造に使用する半導体(シリコン)ウェハの比抵抗(抵抗率)を高精度に制御する必要があった。このため、厳密な比抵抗(抵抗率)を規定した半導体ウェハを半導体メーカーに特注として依頼し、納品後もその検査をする必要が生じる。このため、半導体ウェハにコストがかかるという問題点があった。因に、従来ではシリコンウェハの比抵抗が $0.01 \sim 0.03 \cdot \text{cm}$ (n型のシリコンでは、不純物密度 $5 \times 10^{18} / \text{cm}^3 \sim 7 \times 10^{17} / \text{cm}^3$ 程度の範囲に相当)の狭い範囲のものを、注文仕様として用いている。

20

【0007】

(3) 図14に示した半導体ダイオード1の製造に際しては、チップ側面7がpn接合面に対して斜めに形成されたベベル構造を有しているため、ベベル構造を実現するためのサンドブラスト、或いは研削、研磨、エッチング等の工程が加わるため、製造工程数が多くなるという問題点がある。

30

【0008】

(4) 図14に示した半導体ダイオード1では、半導体ウェハから切断されたチップは袋詰めの状態になり、加えてチップ側面がチップ表裏面に対して斜めに傾いているため、製品組立(アSEMBル)工程において、コレット等の治具へチップを装着するのに手間がかかるものであった。

【0009】

本発明は上記課題を解決するためになされたものである。そこで、本発明の目的は、pn接合が露呈するチップ側面で局所的な降伏が発生するのを防止して、安定した所望の降伏電圧を有する半導体装置を提供することを目的としている。

40

【0010】

又、本発明の他の目的は、使用する半導体ウェハの比抵抗の範囲を広げることが出来、半導体ウェハにかかるコストを低減することの出来る半導体装置及びその製造方法を提供することを目的としている。

【0011】

更に、本発明の他の目的は、チップ表面処理を簡略化又は省略することが出来る半導体装置の製造方法を提供することにある。

【0012】

又、本発明の他の目的は、製造工程を簡略化出来る半導体装置及びその製造方法を提供することにある。

50

【0013】

更に、本発明の他の目的は、製品組付工程において、コレット等の治具へのチップ装着性、並びに取扱性の良好な半導体装置を提供することにある。

【0014】

【課題を解決するための手段】

上記課題を解決するために、本発明の第1の特徴は、(イ)第1端面及びこの第1端面に対向した第2端面、更に第1及び第2端面を接続する第1外周面を有した第1導電型の第1半導体領域と、(ロ)第3端面及びこの第3端面に対向した第4端面、更に第3及び第4端面を接続する第2外周面を有し、第4端面が第1端面と接合した第1導電型の第2半導体領域と、(ハ)第2端面において第1半導体領域に接合した第2導電型の第3半導体領域と、(ニ)第1及び第2外周面に接合した内周面を有し、且つ第3半導体領域に接合した第4半導体領域とからなる半導体装置としたことである。ここで、第2導電型は、第1導電型とは反対導電型である。即ち、第1導電型がn型であれば、第2導電型はp型であり、第1導電型がp型であれば、第2導電型はn型である。又、第4半導体領域は、第1半導体領域よりも低不純物密度であれば、第1導電型でも第2導電型でも、更には真性半導体でもかまわない。例えば、p型の第3半導体領域に対して、高不純物密度でn型の第1半導体領域と、比較的低不純物密度でn型の第4半導体領域とがともに接合するようにして2種類のpn接合界面を構成する。或いは、この逆にして、n型の第3半導体領域に対して、高不純物密度でp型の第1半導体領域と、比較的低不純物密度でp型の第4半導体領域とがともに接合するようにして2種類のpn接合界面を構成するようにしても良い。第4半導体領域が第2導電型の場合は、外側のpn接合界面は第2半導体領域と第4半導体領域との界面に形成される。又、第1及び第2外周面はそれぞれ1又2以上の曲率半径を有した湾曲面で良い。

10

20

【0015】

本発明の第1の特徴に係る半導体装置では、半導体装置(半導体チップ)の周縁側に位置する第4半導体領域と第3半導体領域とのpn接合よりも、第1半導体領域と第3半導体領域とのpn接合の方が降伏を起こし易くなっている。このため、半導体装置の側面(チップ側面)での電界を緩和し、降伏が半導体装置内部の接合部分で起こるようにして、降伏電圧の設定の安定化を図ることが出来る。このように降伏電圧の安定化を図ることは、例えば定電圧ダイオードよりも高耐圧の電力用半導体装置においても有効となる。

30

【0016】

本発明の第1の特徴に係る半導体装置において、第4半導体領域は、バルク結晶から切り出したウェハからなる半導体基板であることが好ましい。第1半導体領域の不純物密度を調整することにより、半導体装置の電気的特性を制御出来、第4半導体領域の不純物密度は、半導体装置の電気的特性に影響を与えないように出来る。このため、第4半導体領域をバルク結晶から切り出したウェハ(半導体基板)の購入時の不純物密度仕様のままで用いることが出来る。即ち、半導体基板の不純物密度仕様を厳密に設定する必要がなくなり、使用する半導体基板(ウェハ)の選択範囲を広げることが出来る。

【0017】

本発明の第1の特徴に係る半導体装置において、第4半導体領域の外周面が、半導体装置のチップ外周面として機能し、このチップ外周面が第1半導体領域の第2端面に対して、実質的に垂直であることが好ましい。第4半導体領域が第1導電型の場合は、外側のpn接合界面はチップ外周面に露出する。しかし、pn接合における降伏が周縁部分より中央部分で先に起こるため、半導体装置のチップ外周面が多少の表面状態の変化や表面破損を起こしても、半導体装置での降伏電圧の変動が起こりにくく出来る。特に、チップの周縁部分(チップ外周面)に露出したpn接合の降伏は、チップ外周面のパッシベーション技術に依存し、チップの周縁部分での降伏電圧の「ばらつき」は大きい。しかし、本発明の第1の特徴に係る半導体装置では、チップ外周面よりも、中央部分で先に電界降伏が起こるため、半導体装置(チップ)の周縁部分が多少の表面状態の変化や表面破損を起こしても、半導体装置としての降伏電圧の変動が起こりにくく出来る。したがって、製品のばら

40

50

つきが少なくなり、製造歩留まりが向上する。

【0018】

第4半導体領域が第2導電型の場合は、外側のpn接合界面は第2半導体領域と第4半導体領域との界面に形成され、外側のpn接合界面はチップ外周面に露出しない。即ち、この場合は、外側のpn接合界面はチップの表面側に形成されるので、チップ外周面の表面状態の変化や表面破損の影響を受けない。特に、チップの周縁部分(チップ外周面)にpn接合が露出していないので、精密且つ複雑なチップ外周面のパッシベーション技術を必要としない。

【0019】

更に、チップ外周面が第1半導体領域の第1端面に対して、実質的に垂直としているので、半導体装置の側面を通常の切断工程(ダイシング工程)で形成することが出来る。「実質的に垂直」とは、通常の切断工程(ダイシング工程)で発生する角度のばらつきの範囲内の意であり、意図的にベベリングをしていないという意味である。例えば80°~100°程度であれば、実質的に垂直(=90°)とみなすことが出来る。好ましくは87°~93°程度にすれば良い。チップ外周面が実質的に垂直であれば、コレット等の治具による組立(アSEMBル)工程時の、半導体装置(チップ)の取扱性を向上にすることが出来る。

【0020】

本発明の第1の特徴において、第3半導体領域の底面には第1主電極層が、第2半導体領域の表面には第2主電極層が、形成されていることが好ましい。第1主電極層と第2主電極層とで、半導体素子の主電流の通路となる動作領域(本体部分)が形成される。「第1主電極層」とは、半導体ダイオードやサイリスタにおいてアノード電極層又はカソード電極層のいずれか一方を意味する。サイリスタには、GTOサイリスタや静電誘導サイリスタ(SIサイリスタ)を含むことが可能である。第3半導体領域がn型ならば、第1主電極層は、カソード電極層である。「第2主電極層」とは、半導体ダイオードやサイリスタにおいて上記第1主電極層とはならないカソード電極層又はアノード電極層のいずれか一方を意味する。第2半導体領域がp型ならば、第2主電極層は、アノード電極層である。この結果、第3半導体領域は、第1主電極層に対応した「第1主電極領域」として機能し、第2半導体領域は、第2主電極層に対応した「第2主電極領域」として機能する。

【0021】

更に、「第1主電極層」とは、バイポーラトランジスタやIGBTにおいては、エミッタ電極層又はコレクタ電極層のいずれか一方でも良い。バイポーラトランジスタにはヘテロ接合バイポーラトランジスタ(HBT)等のマイクロ波帯、ミリ波帯或いはサブミリ波帯で動作する超高周波用トランジスタも含まれる。更に、本発明はMOSFET、MOS SIT、或いは高電子移動度トランジスタ(HEMT)等のIGFETにも適用可能である。このIGFETにおいては、「第1主電極層」とは、ソース電極層又はドレイン電極層のいずれか一方を意味する。そして、「第2主電極層」とは、バイポーラトランジスタやIGBTにおいては上記第1主電極層とはならないエミッタ電極層又はコレクタ電極層のいずれか一方、IGFETにおいては上記第1主電極層とはならないソース電極層又はドレイン電極層のいずれか一方を意味する。なお、バイポーラトランジスタ、IGBT及びIGFET等においては、ベース電極層若しくはゲート電極層等の制御電極層が更に加わることは勿論である。

【0022】

本発明の第2の特徴は、(イ)半導体基板の一方の主面から第1導電型の不純物元素を所定深さまで選択的に導入して第1半導体領域を形成する工程と、(ロ)半導体基板の他方の主面から第1導電型の不純物元素を所定深さまで選択的に導入して第1半導体領域に接合する第2半導体領域を形成する工程と、(ハ)半導体基板の一方の主面全体から第1導電型とは反対導電型となる第2導電型の不純物元素を導入して第3半導体領域を形成し、第1半導体領域とでpn接合を形成する工程とからなる半導体装置の製造方法としたことである。ここで、第1半導体領域を形成する工程と第2半導体領域を形成する工程をど

10

20

30

40

50

ちらを先に行ってもかまわない。又、選択拡散用の拡散窓を、半導体基板の一方の主面と他方の主面に開口し、両方の主面から同時に拡散しても良い。更に、プレデポジションやイオン注入工程は、時系列的に半導体基板の一方の主面若しくは他方の主面側を先に行うが、その後のドライブイン（熱処理）工程を同時に行うようにして、第1及び第2半導体領域を実質的に同時に形成しても良い。第1半導体領域と第2半導体領域を囲む、母材として残存する半導体基板が第1の特徴で述べた第4半導体領域に相当する。半導体基板は、第1及び第2半導体領域よりも低不純物密度であれば、第1導電型でも第2導電型でも、更には真性半導体でもかまわない。

【0023】

本発明の第2の特徴に係る半導体装置の製造方法によれば、半導体基板の一方の主面から第1導電型の不純物元素を選択的に導入することにより、半導体基板の内部に第1半導体領域を形成することが出来る。この第1半導体領域は、この第1半導体領域及び第2半導体領域を取り囲む第4半導体領域より高不純物密度に形成される。

10

【0024】

半導体基板が第1導電型の場合、例えば、p型の第3半導体領域に対して、高不純物密度でn型の第1半導体領域と、比較的low不純物密度でn型の半導体基板（第4半導体領域）とがともに接合するようにして2種類のpn接合界面を構成する。このため、第1半導体領域の形成後に、半導体基板の一方の主面から全面に第2導電型の不純物元素を導入して形成された第3半導体領域と第1半導体領域とのpn接合が、第4半導体領域と第3半導体領域とのpn接合よりも、先に降伏を起こすことが出来る。このため、半導体装置の側面（チップ側面）での電界を緩和し、降伏が半導体装置内部の接合部分で起こるようにして、降伏電圧の設定の安定化を図ることが出来る。

20

【0025】

半導体基板が第2導電型の場合は、外側のpn接合界面は第2半導体領域と半導体基板（第4半導体領域）との界面に形成され、外側のpn接合界面は半導体基板（チップ）の外周面に露出しない。即ち、この場合は、外側のpn接合界面は半導体基板の他方の主面に形成される。即ち、この場合は、外側のpn接合界面は半導体基板の他方の主面側に形成されるので、チップ外周面の表面状態の変化や表面破損の影響を受けない。特に、チップの周縁部分（チップ外周面）にpn接合が露出していないので、精密且つ複雑なチップ外周面のパッシベーション技術を必要としない。更に、第1半導体領域と第3半導体領域との界面のpn接合が、半導体基板の他方の主面側に露出したpn接合よりも、先に降伏を起こすことが出来る。このため、半導体基板の他方の主面側での電界を緩和し、降伏が半導体装置内部の接合部分で起こるようにして、降伏電圧の設定の安定化を図ることが出来る。

30

【0026】

又、第1半導体領域の不純物密度の調整により、半導体装置の電気的特性を決定することが出来、第4半導体領域の不純物密度は、半導体装置の電気的特性に影響を与えないように出来る。このため、半導体基板は購入仕様の不純物密度のままでも用いることが出来、その不純物密度を厳密に設定する必要がなくなる。つまり、使用する半導体基板の選択範囲を広げることが出来る。

40

【0027】

又、本発明の第2の特徴に係る半導体装置の製造方法においては、第2半導体領域と形成するための第1導電型の不純物元素の熱拡散（ドライブイン）工程と、第3半導体領域を形成するための第2導電型の不純物元素の熱拡散（ドライブイン）工程とを、同時に行うようにすることで、半導体装置の製造効率を向上することが出来る。

【0028】

本発明の第2の特徴に係る半導体装置の製造方法において、半導体基板を、第3半導体領域と第1半導体領域とのなすpn接合の界面に対して実質的に直角をなす面で切断することにより複数の半導体チップを切り出し、この複数の半導体チップのそれぞれにより複数の半導体装置を実現する工程を更に有することが好ましい。この場合、半導体基板のい

50

ずれかの主面側に合成樹脂シートを貼着して合成樹脂シートを切断しないようにチップを切断することにより、各チップが合成樹脂シートに貼り付けられた状態で保管、搬送することが出来る。このため、製品組込を行う際に、合成樹脂シートに貼り付けられた半導体装置を例えばコレット等の治具に装着する際にも容易に取り扱うことが出来る。

【0029】

本発明の第3の特徴は、(イ)半導体基板の一方の主面から第1導電型の不純物元素を所定深さまで選択的に導入して第1半導体領域を形成する工程と、(ロ)半導体基板の他方の主面から第1導電型の不純物元素を所定深さまで選択的に導入して第1半導体領域に接合する第2半導体領域を形成する工程と、(ハ)半導体基板の他方の主面全体から第1導電型とは反対導電型となる第2導電型の不純物元素を導入して第3半導体領域を形成し、第2半導体領域とてpn接合を形成する工程とからなる半導体装置の製造方法としたことである。即ち、本発明の第2の特徴に係る半導体装置の製造方法とは、第3半導体領域を形成する主面が反対である。但し、第1半導体領域を形成する工程と第2半導体領域を形成する工程をどちらを先に行ってもかまわない。又、選択拡散用の拡散窓を、半導体基板の一方の主面と他方の主面に開口し、両方の主面から同時に拡散しても良い。更に、プレデポジションやイオン注入工程は、時系列的に半導体基板の一方の主面若しくは他方の主面側を先に行うが、その後のドライブイン(熱処理)工程を同時に行うようにして、第1及び第2半導体領域を実質的に同時に形成しても良い。したがって、半導体基板の「一方の主面」と「他方の主面」をどちら側に定義するかの問題となり、本発明の第2の特徴と第3の特徴とは、実質的に均等である。第1半導体領域と第2半導体領域を囲む、母材として残存する半導体基板が第1の特徴で述べた第4半導体領域に相当する。半導体基板は、第1及び第2半導体領域よりも低不純物密度であれば、第1導電型でも第2導電型でも、更には真性半導体でもかまわない。

【0030】

本発明の第3の特徴に係る半導体装置の製造方法も、第2の特徴に係る半導体装置の製造方法と同様に、半導体基板の他方の主面から第1導電型の不純物元素を選択的に導入することにより、半導体基板の内部に第2半導体領域を形成することが出来る。この第2半導体領域は、第1半導体領域及び第2半導体領域を取り囲む第4半導体領域より高不純物密度に形成される。

【0031】

半導体基板が第1導電型の場合、第2半導体領域の形成後に、半導体基板の他方の主面から全面に第2導電型の不純物元素を導入して形成された第3半導体領域と第2半導体領域とのpn接合が、第4半導体領域と第3半導体領域とのpn接合よりも、先に降伏を起こすことが出来る。このため、半導体装置の側面(チップ側面)での電界を緩和し、降伏が半導体装置内部の接合部分で起こるようにして、降伏電圧の設定の安定化を図ることが出来る。

【0032】

半導体基板が第2導電型の場合は、外側のpn接合界面は第2半導体領域と半導体基板(第4半導体領域)との界面に形成され、外側のpn接合界面は半導体基板(チップ)の外周面に露出しない。即ち、この場合は、外側のpn接合界面は半導体基板の他方の主面に形成される。即ち、この場合は、外側のpn接合界面は半導体基板の一方の主面側に形成されるので、チップ外周面の表面状態の変化や表面破損の影響を受けることはない。特に、チップの周縁部分(チップ外周面)にpn接合が露出していないので、精密且つ複雑なチップ外周面のパッシベーション技術を必要としない。更に、第1半導体領域と第3半導体領域との界面のpn接合が、半導体基板の一方の主面側に露出したpn接合よりも、先に降伏を起こすことが出来る。このため、半導体基板の他方の主面側での電界を緩和し、降伏が半導体装置内部の接合部分で起こるようにして、降伏電圧の設定の安定化を図ることが出来る。

【0033】

又、第2半導体領域の不純物密度の調整により、半導体装置の電気的特性を決定するこ

10

20

30

40

50

とが出来、第4半導体領域の不純物密度は、半導体装置の電気的特性に影響を与えないように出来る。このため、半導体基板は購入仕様の不純物密度のままに用いることが出来、その不純物密度を厳密に設定する必要がなくなる。つまり、使用する半導体基板の選択範囲を広げることが出来る。

【0034】

本発明の第3の特徴に係る半導体装置の製造方法において、第2の特徴に係る半導体装置の製造方法と同様に、半導体基板を、第3半導体領域と第2半導体領域とのなすpn接合の界面に対して実質的に直角をなす面で切断することにより複数の半導体チップを切り出し、この複数の半導体チップのそれぞれにより複数の半導体装置を実現する工程を更に有することが好ましい。この場合、半導体基板のいずれかの主面側に合成樹脂シートを貼着して合成樹脂シートを切断しないようにチップを切断することにより、各チップが合成樹脂シートに貼り付けられた状態で保管、搬送することが出来る。このため、製品組込を行う際に、合成樹脂シートに貼り付けられた半導体装置を例えばコレット等の治具に装着する際も容易に取り扱うことが出来る。

10

【0035】

【発明の実施の形態】

次に、図面を参照して、本発明の第1及び第2の実施の形態に係る半導体装置及びその製造方法について説明する。但し、図面は模式的なものであり、各層の厚みや厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。又、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

20

【0036】

(第1の実施の形態)

図1は、本発明の第1の実施の形態に係る半導体装置として、定電圧ダイオードなどの半導体ダイオードに適用した場合の断面図である。本発明の第1の実施の形態に係る半導体ダイオード10は、第1導電型の第1半導体領域13と、第1導電型の第2半導体領域14と、第2導電型の第3半導体領域12と、第1導電型の第4半導体領域15とから構成されている。第1半導体領域13は、第1端面及びこの第1端面に対向した第2端面、更に第1及び第2端面を接続する第1外周面を有する。第1外周面は、図1に示すように、上に凸となる曲率半径を有した湾曲面である。第2半導体領域14は、第3端面及びこの第3端面に対向した第4端面、更に第3及び第4端面を接続する第2外周面を有し、第4端面が第1半導体領域13の第1端面と接合している。第2外周面は、図1に示すように、下に凸となる曲率半径を有した湾曲面である。そして、第3半導体領域12は、第1半導体領域13の第2端面において第1半導体領域13に接合している。更に、第4半導体領域15は、第1及び第2外周面に接合した内周面を有し、且つ第3半導体領域12に接合している。したがって、第4半導体領域15の内周面は、2以上の曲率半径からなる臼型類似の湾曲面である。ここで、第2導電型は、第1導電型とは反対導電型である。

30

【0037】

図1に示す本発明の第1の実施の形態に係る半導体装置では、第1導電型はn型であり、第2導電型はp型である。しかし、第1導電型をp型、第2導電型をn型としても良いことは勿論である。図1に示すように、第4半導体領域15は、第1半導体領域13よりも低不純物密度である。図1では、p型の第3半導体領域12に対して、高不純物密度でn型の第1半導体領域13と、比較的低不純物密度でn型の第4半導体領域15とがともに接合するようにして2種類のpn接合界面を構成している場合を例示している。或いは、この逆にして、n型の第3半導体領域12に対して、高不純物密度でp型の第1半導体領域13と、比較的低不純物密度でp型の第4半導体領域15とがともに接合するようにして2種類のpn接合界面を構成するようにしても良いことは勿論である。

40

【0038】

即ち、図1においては、第1導電型(n型)のシリコン基板11の一方の主面11A側にp型の第3半導体領域12が、他方の主面11B側にn型の第2半導体領域14が形成

50

されている。シリコン基板 11 の内部では、p 型の第 3 半導体領域 12 に、pn 接合面 18 で局所的に接合するように n 型の第 1 半導体領域 13 が形成されている。更に、n 型の第 1 半導体領域 13 と n 型の第 2 半導体領域 14 とは、シリコン基板 11 の内部で局所的に接合している。そして、n 型の第 1 半導体領域 13 及び第 2 半導体領域 14 を取り囲んで、n 型の第 4 半導体領域 15 が形成されている。

【0039】

本発明の第 1 の実施の形態においては、図 1 に示すように、第 3 半導体領域 12 の底面には第 1 主電極層 16 が、第 2 半導体領域 14 の表面には第 2 主電極層 17 が形成されている。第 2 主電極層 17 は、n 型の第 2 半導体領域 14 と n 型の第 4 半導体領域 15 とを短絡するように、シリコン基板 11 の他方の主面 11B の上に全面に形成されている。同様に、第 1 主電極層 16 は、第 3 半導体領域 12 の底面の全面、即ち、シリコン基板 11 の一方の主面 11A の上に全面に形成されている。第 1 主電極層 16 と第 2 主電極層 17 とで、半導体素子の主電流の通路となる動作領域が形成される。「第 1 主電極層 16」とは、図 1 に示す半導体ダイオードにおいてアノード電極層又はカソード電極層のいずれか一方を意味する。図 1 では、第 3 半導体領域 12 が p 型なので、第 1 主電極層 16 は、アノード電極層である。「第 2 主電極層 17」とは、半導体ダイオードの上記第 1 主電極層 16 とはならないカソード電極層又はアノード電極層のいずれか一方を意味する。図 1 では、第 2 半導体領域 14 が n 型なので、第 2 主電極層 17 は、カソード電極層である。この結果、第 3 半導体領域 12 は、第 1 主電極層 16 に対応した「第 1 主電極領域（アノード領域）」として機能し、第 2 半導体領域 14 は、第 2 主電極層 17 に対応した「第 2 主電極領域（カソード領域）」として機能する。

【0040】

p 型の第 3 半導体領域 12 は、シリコン基板 11 の一方の主面 11A 側から、第 2 導電型の不純物元素として例えばボロン (B) が高不純物密度にドーピングされて形成されている。又、p 型の第 3 半導体領域 12 に接合された n 型の第 1 半導体領域 13 は、第 1 導電型の不純物元素として、例えばリン (P)、ヒ素 (As) などが高不純物密度にドーピングされている。更に、n 型の第 2 半導体領域 14 には、例えばリン (P)、ヒ素 (As) などが高不純物密度にドーピングされている。そして、これら n 型の第 1 半導体領域 13 及び第 2 半導体領域 14 の周囲をとともに取り囲むように形成された n 型の第 4 半導体領域 15 は、シリコン基板 11 に固有の比較的低い不純物密度に設定されている。即ち、n 型の第 1 半導体領域 13 及び第 2 半導体領域 14 は、それを取り囲む n 型の第 4 半導体領域 15 の不純物密度より高不純物密度に設定されている。

【0041】

本発明の第 1 の実施の形態に係る半導体装置 10 において、第 4 半導体領域 15 は、FZ 法、CZ 法、或いは MCZ 法等で成長したバルク結晶から切り出したウェハからなる n 型の半導体基板 11 である。第 1 半導体領域 13 の不純物密度を調整することにより、半導体装置 10 の電気的特性（耐圧）を制御出来、第 4 半導体領域 15 の不純物密度は、半導体装置 10 の電気的特性（耐圧）に影響を与えないように出来る。このため、第 4 半導体領域 15 をバルク結晶から切り出したウェハ（半導体基板）11 の購入時の不純物密度仕様のままで用いることが出来る。即ち、半導体基板 11 の不純物密度仕様を厳密に設定する必要がなくなり、使用する半導体基板（ウェハ）11 の選択範囲を広げることが出来る。

【0042】

本発明の第 1 の実施の形態に係る半導体装置 10 において、第 4 半導体領域 15 の外周面が、半導体装置 10 のチップ外周面（チップ側面）19 として機能し、このチップ外周面（チップ側面）19 が、第 1 半導体領域 13 の第 2 端面に対して、実質的に垂直である。このチップ側面 19 には、図 1 に示すように、pn 接合面 18 の終端部が露呈している。そして、p 型の第 3 半導体領域 12 は pn 接合面 18 に沿う方向に均一な不純物密度になっている。しかし、この p 型の第 3 半導体領域 12 に接合する n 型の第 1 半導体領域 13 は、この n 型の第 1 半導体領域 13 を取り囲む n 型の第 4 半導体領域 15 より不純物密

10

20

30

40

50

度が高く設定されているため、pn接合に逆方向電圧を印加したときに、pn接合における降伏が周縁部分より中央部分で先に起こる。このため、半導体装置10のチップ外周面が多少の表面状態の変化や表面破損を起こしても、半導体装置10での降伏電圧の変動が起こりにくく出来る。即ち、本発明の第1の実施の形態では、外部にpn接合面(p型の第3半導体領域12とn型の第4半導体領域15とのpn接合面)が露出する部分があっても、pn接合の降伏は内部領域で発生して、外部露出部分のpn接合には表面電界強度の負担がかからない構造となっている。即ち、半導体装置10の側面(チップ側面)での電界を緩和し、降伏が半導体装置10内部の接合部分で起こるようにして、降伏電圧の設定の安定化を図ることが出来る。特に、チップの周縁部分(チップ外周面)19に露出したpn接合の降伏は、チップ外周面(チップ側面)19のパッシベーション技術に依存し、チップの周縁部分(チップ側面)19での降伏電圧の「ばらつき」は大きい。しかし、本発明の第1の実施の形態に係る半導体装置10では、チップ外周面19よりも、中央部分で先に電界降伏が起こるため、半導体装置10(チップ)の周縁部分(チップ側面)19が多少の表面状態の変化や表面破損を起こしても、半導体装置10としての降伏電圧の変動が起こりにくく出来る。この結果、本発明の第1の実施の形態に係る半導体ダイオード10では、チップ側面19を外部環境から保護する目的での酸又はアルカリ系薬液による湿式洗浄などの表面処理や絶縁膜による被覆処理を削減することが可能となる。又、チップ側面19では、多少の表面状態の変化や表面破損が生じることを許容することが出来るため、チップの取扱性が容易となる。したがって、製品のばらつきが少なくなり、製造歩留まりが向上する。このように降伏電圧の安定化を図ることは、例えば定電圧ダイオードよりも高耐压の電力用半導体装置においても、同様に有効となる。

【0043】

更に、チップ外周面が第1半導体領域13の第1端面に対して、実質的に垂直としているので、半導体装置10の側面を通常の切断工程(ダイシング工程)で形成することが出来る。例えば、表裏の主面(即ちpn接合面18)に対して、80°~100°程度、好ましくは87°~93°程度であれば、実質的に垂直(=90°)とみなすことが出来る。チップ外周面が、表裏の主面に対して実質的に垂直であれば、コレット等の治具へチップを装着する手間を軽減し、組立(アSEMBル)工程時の、半導体装置10(チップ)の取扱性を向上にすることが出来る。

【0044】

又、本発明の第1の実施の形態に係る半導体ダイオード10では、中央のn型の第1半導体領域13とp型の第3半導体領域12とのpn接合の耐压は、n型の第1半導体領域13の不純物密度 N_B により決定される。p型の第3半導体領域13とn型の第1半導体領域13とのpn接合面18が片側階段接合を構成していると仮定すれば、雪崩(アバランシェ)降伏による耐压 V_B は、

$$V_B = \sqrt{\epsilon_s E_m^2 / (2 q N_B)} \quad \dots \dots (1)$$

で与えられる。ここで、 ϵ_s は半導体基板の比誘電率、 E_m は半導体基板に固有の雪崩降伏が開始される電界強度(最大電界強度)、 q は電子の素電荷量、 N_B は第1半導体領域13の不純物密度である。即ち、第1半導体領域13の不純物密度 N_B が、シリコンウェハの不純物密度、即ち、第4半導体領域15の不純物密度より十分に高ければ、半導体ダイオード10の耐压は第1半導体領域13の不純物密度 N_B にのみ依存し、製造に用いる母材(シリコンウェハ)の不純物密度には依存しない。このため、第1半導体領域13の不純物密度 N_B を式(1)にしたがい適宜設計し、この不純物密度 N_B を管理すれば、所望の耐压が得られるので、シリコンウェハの比抵抗(抵抗率)を高精度に制御する必要はない。したがって、第1半導体領域13の不純物密度 N_B より比較的高抵抗の基板であれば、任意の市販のシリコンウェハを利用して、所望の耐压を有した定電圧ダイオード10の製造を行うことが出来る。

【0045】

因に、本発明の第1の実施の形態では、シリコンウェハとしては、比抵抗が1~250
 $\cdot \text{cm}$ (n型のシリコンでは、不純物密度 $5.5 \times 10^{15} / \text{cm}^3 \sim 1.8 \times 10^{13} /$

10

20

30

40

50

c m³程度の範囲に相当)の広い範囲のものを用いることが可能となる。更に、高耐圧の電力用半導体装置であれば、比抵抗が1000・cm以上(n型のシリコンでは、不純物密度5×10¹²/cm³程度以下の範囲に相当)の広い範囲のもの等を用いれば良い。

【0046】

次に、本発明の第1の実施の形態に係る半導体ダイオード10を製造する方法について図2～図13に示す工程断面図(その1～12)を用いて説明する。

【0047】

(イ)まず、図2に示すように、第1導電型(n型)のシリコン基板(シリコンウェハ)11を用意する。そして、このシリコン基板11の一方の主面11A及び他方の主面11Bの両方に熱酸化を行って、それぞれ、厚さ300nm～1.5μmの酸化膜21、22を形成する。その後、フォトリソグラフィ技術を用いて、一方の主面11A側に形成された酸化膜21の加工を行う。即ち、図2に示すように、酸化膜21の上に、例えばネガ型のフォトレジスト23をスピニングなどによって塗布する。次いで、図2に示すように、後述する開口部23Aを形成、加工する部分を覆うような(n型の第1半導体領域13を形成するための)パターンを有するフォトマスク24を配置して、露光光を照射する。

【0048】

(ロ)図3は、フォトレジスト23を露光後、現像した状態を示す。このようにパターンニングされたフォトレジスト23をマスクとして、ウェットエッチング又はドライエッチングを行って、フォトレジスト23の開口部23A内で露出する酸化膜21をエッチングしてシリコン基板11の表面の一部を露出させる。その後、フォトレジスト23を剥離すると図4に示すような状態となる。図4に示すように酸化膜21に、開口部21Aが形成される。

【0049】

(ハ)次に、図5に示すように、酸化膜21の開口部21Aで窓明されたシリコン基板11上へ、n型不純物元素であるリン(P)やヒ素(As)などを含む不純物添加薄膜(例えば不純物元素が高濃度でドーパされたリンガラス(PSG)膜やヒ素ガラス(AsSG)膜)25を例えばCVD法を用いて堆積させ、所定温度、所定時間での熱処理を施して選択拡散を行い、所定深さの高不純物密度のn型半導体領域(第1半導体領域)13を形成する。第1半導体領域13の拡散深さは、最終的にはシリコン基板11の厚さの半分程度の深い拡散になるため、n型不純物元素としては、拡散係数の大きなリン(P)が好ましい。特に、後述するp型の第3半導体領域12を形成する際のp型不純物の拡散係数よりも拡散係数が大きいn型不純物元素を選択することが好ましい。不純物添加薄膜を用いずに、オキシ塩化リン(POCl₃)等の液体ソースを用いた気相拡散法でも良い。又³¹P⁺等の不純物イオンをイオン注入法により、3×10¹⁵cm⁻²～5×10¹⁶cm⁻²等の所定のドーズ量を注入し、その後所望の深さまでドライイン(熱処理)しても良い。⁷⁵As⁺をイオン注入法にしても良いが、ヒ素(As)は拡散係数が小さいので、長時間要するので好ましくない。不純物添加薄膜25を用いた場合は、その後、図6に示すように、不純物添加薄膜25及び酸化膜21をウェットエッチング又はドライエッチングを行って除去する。不純物添加薄膜25を用いない場合でも、図6に示すように、ドライイン時に形成されるリンガラス等及び酸化膜21をウェットエッチング又はドライエッチングを行って除去する。

【0050】

(ニ)そして、このシリコン基板11の一方の主面11Aの全面に熱酸化を行って、厚さ300nm～500nm酸化膜(図示省略)を形成する。この際、このシリコン基板11の他方の主面11Bの酸化膜22も若干厚さを増す。続いて、図7に示すように、シリコン基板11の他方の主面11Bに形成された酸化膜22の上に、例えばネガ型のフォトレジスト26をスピニングなどによって塗布する。次いで、後述する開口部26Aを形成、加工する部分を覆うような(n型の第2半導体領域14を形成するための)パ

10

20

30

40

50

ターンを有するフォトマスク 27 を配置して、露光光を照射する。

【 0051 】

(ホ) 図 8 は、フォトレジスト 26 を露光後、現像した状態を示す。このようにパターニングされたフォトレジスト 26 をマスクとして、ウェットエッチング又はドライエッチングを行って、フォトレジスト 26 の開口部 26A 内で露出する酸化膜 22 をエッチングしてシリコン基板 11 の表面の一部を露出し、酸化膜 22 に開口部 22A を形成する。その後、フォトレジスト 26 を剥離する。

【 0052 】

(ヘ) 次に、図 9 に示すように、酸化膜 22 の開口部 22A で窓明されたシリコン基板 11 上へ、n 型不純物元素であるリン (P) やヒ素 (As) などを含む不純物添加薄膜 (例えば不純物元素が高濃度でドーパされたリンガラス (PSG) 膜やヒ素ガラス (AsSG) 膜) 28 を堆積させ、所定温度、所定時間でのドライブイン (熱処理) を施して選択拡散を行い、n 型の第 1 半導体領域 13 に接合するように、高不純物密度で n 型の第 2 半導体領域 14 を所定深さまで形成する。図 9 では、第 1 半導体領域 13 と n 型の第 2 半導体領域 14 とが完全に接合した状態を示しているが、現実には、この段階では、第 1 半導体領域 13 と n 型の第 2 半導体領域 14 との間に、シリコン基板 11 からなる層が介在していてもかまわない。但し、第 1 半導体領域 13 と n 型の第 2 半導体領域 14 との間に挟まれたシリコン基板 11 からなる層の厚さは、後述する p 型の第 3 半導体領域 12 を全面に形成工程 (図 11 参照) 時に押し込まれ、最終的に第 1 半導体領域 13 と n 型の第 2 半導体領域 14 とが完全に接合する厚さに選定しておく。いずれにせよ、第 2 半導体領域 14 の拡散深さは、最終的にはシリコン基板 11 の厚さの半分程度の深い拡散になるため、n 型不純物元素としては、拡散係数の大きなリン (P) が好ましい。その後、図 10 に示すように、不純物添加薄膜 28 及び酸化膜 22 をウェットエッチング又はドライエッチングを行って除去する。このとき、シリコン基板 11 において、n 型の第 1 半導体領域 13 及び第 2 半導体領域 14 を取り囲む領域は、シリコン基板 11 に固有の不純物密度を有したままの n 型の第 4 半導体領域 15 となっている。なお、n 型の第 2 半導体領域 14 の不純物密度は、例えば $2 \times 10^{19} / \text{cm}^3$ 程度に設定されている。又、n 型の第 2 半導体領域 14 の深さは、シリコン基板 11 の一方の主面側から選択拡散により形成されている n 型半導体層 13 と所定の接合面積を有するような深さ寸法に制御する。不純物添加薄膜を用いずに、オキシ塩化リン (POCl_3) 等の液体ソースを用いた気相拡散法でも良い。又 $^{31}\text{P}^+$ 等の不純物イオンをイオン注入法により、 $3 \times 10^{15} \text{cm}^{-2} \sim 5 \times 10^{16} \text{cm}^{-2}$ 等の所定のドーズ量を注入し、その後所望の深さまでドライブイン (熱処理) しても良い。

【 0053 】

(ト) 次に、このシリコン基板 11 の一方の主面 11A 及び他方の主面 11B の双方の全面に熱酸化を行って、厚さ $350 \text{nm} \sim 1.5 \mu\text{m}$ の酸化膜 (図示省略) を形成する。そして、シリコン基板 11 の他方の主面 11B にフォトレジストを塗布し、シリコン基板 11 の一方の主面 11A 側の酸化膜のみを除去する。こうして、図 11 に示すように、シリコン基板 11 の一方の主面 11A 側から、例えばボロン (B) などのアクセプタ不純物元素を全面拡散法により拡散させて、所定の時間ドライブイン (熱処理) することにより、所定の深さの高不純物密度の p 型の第 3 半導体領域 12 を全面に形成する。アクセプタ不純物元素の全面拡散は、ボロンガラス (BSG) 膜等の不純物添加薄膜を用いる方法でも、窒化ボロン (BN) 等の固体ソース、三臭化硼素 (BBr_3) 等の液体ソースを用いた気相拡散法でも良い。又 $^{11}\text{B}^+$ 、 $^{49}\text{BF}_2^+$ 等の不純物イオンをイオン注入法により、 $3 \times 10^{15} \text{cm}^{-2} \sim 5 \times 10^{16} \text{cm}^{-2}$ 等の所定のドーズ量を注入し、その後所望の深さまでドライブイン (熱処理) しても良い。ドライブイン (熱処理) 終了後、不純物添加薄膜若しくはドライブインにより、シリコン基板 11 の一方の主面 11A に生じたボロンガラス (BSG) 膜等を除去する。更に、シリコン基板 11 の他方の主面 11B の酸化膜 (図示省略) も除去する。この結果、図 11 に示すように、この p 型の第 3 半導体領域 12 と中央の n 型半導体層 13 とが接合して pn 接合面 18 を形成する。又、選択拡散されて

中央に形成された n 型半導体層 13 及び n 型の第 2 半導体領域 14 を取り囲む n 型半導体層 15 は、p 型の第 3 半導体領域 12 とともに pn 接合を形成する。前述したように、図 9 に示す段階では、第 1 半導体領域 13 と n 型の第 2 半導体領域 14 との間にシリコン基板 11 からなる層を残しておいた場合は、図 11 に示す第 3 半導体領域 12 の全面拡散工程時に、第 1 半導体領域 13 と n 型の第 2 半導体領域 14 とが更に押し込まれる。その結果、この段階で第 1 半導体領域 13 と n 型の第 2 半導体領域 14 とが完全に接合するようになる。即ち、第 2 半導体領域 14 と形成するための n 型の不純物元素の熱拡散（ドライブイン）工程と、第 3 半導体領域 12 を形成するための p 型の不純物元素の熱拡散（ドライブイン）工程とを、同時に行うようにすることで、半導体装置の製造効率を向上することが出来る。なお、p 型の第 3 半導体領域 12 を全面に形成する方法としては、エピタキシャル成長で、p 型の第 3 半導体領域 12 を堆積することも可能である。例えば、図 11 において、シリコン基板 11 の一方の主面 11A の上にジボラン（ B_2H_6 ）等の p 型ドーパントを供給しながら、モノシラン（ SiH_4 ）、ジクロルシラン（ SiH_2Cl_2 ）、四塩化珪素（ $SiCl_4$ ）等のソースガスを用いて、p 型の第 3 半導体領域 12 を気相エピタキシャル成長しても良い。

【0054】

（チ）更に、図 12 に示すように、シリコン基板 11 の両方の主面 11A、11B に、真空蒸着法やスパッタリング法等により金属薄膜を堆積させて、厚さ $1\mu m \sim 10\mu m$ 程度の第 1 主電極層 16 及び第 2 主電極層 17 を形成する。

【0055】

（リ）その後、図 13 に示すように、シリコン基板 11 の例えば他方の主面 11B 側に全体に亘って合成樹脂シート 29 を貼り付け、図 13 において一点鎖線で示すダイシングライン 30 に沿って、切断を行う。この切断工程によって形成されたチップは、図 1 に示した半導体ダイオード 10 として用いることが出来る。なお、切断工程の後には、チップ状態の半導体ダイオード 10 を合成樹脂シート 29 に貼り付けられた状態で保管、搬送することが出来る。このため、製品組込を行う際に、合成樹脂シート 29 に貼り付けられた半導体ダイオード 10 を例えばコレット等の治具に装着する際にも容易に取り扱うことが出来る。

【0056】

本発明の第 1 の実施の形態に係る半導体装置の製造方法によれば、半導体ダイオード 10 のチップ側面 19 ダイシング工程による切断によりチップ側面 19 を形成するため、チップ側面 19 を pn 接合面 18 に対して垂直にすることが出来る。このため、従来のようなベベル構造を形成するための様々な加工工程を行う必要がなく、製造工程数を大幅に少なくすることが可能となる。

【0057】

（参考例）

本発明の参考例に係る半導体ダイオード 10' は、第 1 の実施の形態に係る半導体ダイオード 10 において、第 4 半導体領域 15 の導電型を逆にした構造に相当する。したがって、第 1 の実施の形態に係る半導体ダイオード 10 の構造図を転用して説明する。

【0058】

即ち、本発明の参考例に係る半導体ダイオード 10' は、第 1 導電型の第 1 半導体領域 13 と、第 1 導電型の第 2 半導体領域 14 と、第 2 導電型の第 3 半導体領域 12 と、第 2 導電型の第 4 半導体領域 15' とから構成されている。第 1 半導体領域 13 は、第 1 端面及びこの第 1 端面に対向した第 2 端面、更に第 1 及び第 2 端面を接続する第 1 外周面を有する。第 1 外周面は、図 1 と同様に、上に凸となる曲率半径を有した湾曲面である。第 2 半導体領域 14 は、第 3 端面及びこの第 3 端面に対向した第 4 端面、更に第 3 及び第 4 端面を接続する第 2 外周面を有し、第 4 端面が第 1 半導体領域 13 の第 1 端面と接合している。第 2 外周面は、図 1 と同様に、下に凸となる曲率半径を有した湾曲面である。そして、第 3 半導体領域 12 は、第 1 半導体領域 13 の第 2 端面において第 1 半導体領域 13 に接合している。更に、第 4 半導体領域 15' は、第 1 及び第 2 外周面に接合した内周面を

10

20

30

40

50

有し、且つ第3半導体領域12に接合している。したがって、第4半導体領域15'の内周面は、2以上の曲率半径からなる臼型類似の湾曲面である。ここで、第2導電型は、第1導電型とは反対導電型である。

【0059】

本発明の参考例に係る半導体装置では、第1導電型はn型であり、第2導電型はp型である。しかし、第1導電型をp型、第2導電型をn型としても良いことは勿論である。図1と同様に、第4半導体領域15'は、第1半導体領域13よりも低不純物密度である。p型の第3半導体領域12に対して、高不純物密度でn型の第1半導体領域13が接合して、その界面にpn接合界面を構成する(或いは、この逆にして、n型の第3半導体領域12に対して、高不純物密度でp型の第1半導体領域13とでpn接合界面を構成するよ

10

【0060】

即ち、本発明の参考例に係る半導体ダイオードにおいては、第1導電型(n型)のシリコン基板11の一方の主面11A側にp型の第3半導体領域12が、他方の主面11B側にn型の第2半導体領域14が形成されている。シリコン基板11の内部では、p型の第3半導体領域12に、pn接合面18で局所的に接合するようにn型の第1半導体領域13が形成されている。更に、n型の第1半導体領域13とn型の第2半導体領域14とは、シリコン基板11の内部で局所的に接合している。そして、n型の第1半導体領域13及び第2半導体領域14を取り囲んで、p型の第4半導体領域15'が形成されている。p型の第4半導体領域15'とn型の第2半導体領域14とのなすpn接合界面が、シリ

20

【0061】

本発明の参考例においては、第3半導体領域12の底面には第1主電極層16が、第2半導体領域14の表面には第2主電極層17が形成されている。但し、図1とは異なり、第2主電極層17はp型の第4半導体領域15'とは、図示を省略したフィールド絶縁膜(フィールド酸化膜)により電氣的に絶縁されている。シリコン基板11の他方の主面11B側に露出したp型の第4半導体領域15'とn型の第2半導体領域14とのなすpn接合界面はフィールド絶縁膜(フィールド酸化膜)により被覆され、大気とは絶縁されている。そして、フィールド絶縁膜(フィールド酸化膜)中に設けられたコンタクトホールを介して、第2半導体領域14の表面と第2主電極層17とがオーミック接触している。第1主電極層16と第2主電極層17とで、半導体素子の主電流の通路となる動作領域が形成される。第3半導体領域12がp型の場合は、第1主電極層16は、アノード電極層で、第2半導体領域14がn型なので、第2主電極層17は、カソード電極層である。この結果、第3半導体領域12は、第1主電極層16に対応した「第1主電極領域(アノード領域)」として機能し、第2半導体領域14は、第2主電極層17に対応した「第2主電極領域(カソード領域)」として機能する。

30

【0062】

n型の第1半導体領域13及び第2半導体領域14の周囲をともし取り囲むように形成されたp型の第4半導体領域15'は、シリコン基板11に固有の比較的低い不純物密度に設定されている。即ち、n型の第1半導体領域13及び第2半導体領域14は、それを

40

【0063】

本発明の参考例に係る半導体装置10において、第4半導体領域15'は、FZ法、CZ法、或いはMCZ法等で成長したバルク結晶から切り出したウェハからなるp型の半導体基板11である。第1半導体領域13の不純物密度を調整することにより、半導体装置10の電氣的特性(耐圧)を制御出来、第4半導体領域15'の不純物密度は、半導体装置10の電氣的特性(耐圧)に影響を与えないように出来る。このため、第4半導体領域15'をバルク結晶から切り出したウェハ(半導体基板)11の購入時の不純物密度仕様のままで用いることが出来る。即ち、半導体基板11の不純物密度仕様を厳密に設定する必要がなくなり、使用する半導体基板(ウェハ)11の選択範囲を広げることが出来る。

50

【0064】

本発明の参考例に係る半導体装置10において、第4半導体領域15'の外周面が、半導体装置10のチップ外周面(チップ側面)19として機能し、このチップ外周面(チップ側面)19が、第1半導体領域13の第2端面に対して、実質的に垂直である。p型の第4半導体領域15'とn型の第2半導体領域14とのなすpn接合界面が、シリコン基板11の他方の主面11B側に露出しているため、このチップ側面19には、図1とは異なり、pn接合面18の終端部が露出していない。このため、半導体装置10のチップ外周面が多少の表面状態の変化や表面破損を起こしても、半導体装置10での降伏電圧の変動に影響を与えない。特に、チップの周縁部分(チップ外周面)19に露出したpn接合の降伏は、チップ外周面(チップ側面)19のパッシベーション技術に依存し、チップの周縁部分(チップ側面)19での降伏電圧の「ばらつき」は大きい。しかし、本発明の参考例に係る半導体装置10では、pn接合面18の終端部が露出していないため、半導体装置10(チップ)の周縁部分(チップ側面)19が多少の表面状態の変化や表面破損を起こしても、半導体装置10としての降伏電圧の変動には無関係である。

10

【0065】

そして、p型の第3半導体領域12に接合するn型の第1半導体領域13は、n型の第1半導体領域13を取り囲むp型の第4半導体領域15'より不純物密度が高く設定されているため、アノード電極層16とカソード電極層17との間に逆方向電圧を印加したときに、p型の第3半導体領域12とn型の第1半導体領域13との間のpn接合における降伏が、p型の第4半導体領域15'とn型の第1半導体領域13及びn型の第2半導体領域14との間のpn接合における降伏よりも先に起こる。即ち、本発明の参考例では、シリコン基板11の他方の主面11B側にpn接合面(n型の第2半導体領域14とp型の第4半導体領域15'とのpn接合面)が露出する部分があっても、pn接合の降伏は内部領域で発生して、シリコン基板11の他方の主面11B側に露出部分のpn接合には表面電界強度の負担がかからない構造となっている。即ち、シリコン基板11の他方の主面11B側での電界を緩和し、降伏が半導体装置10内部の接合部分で起こるようにして、降伏電圧の設定の安定化を図ることが出来る。

20

【0066】

この結果、本発明の参考例に係る半導体ダイオード10'では、チップ側面19を外部環境から保護する目的での酸又はアルカリ系薬液による湿式洗浄などの表面処理や絶縁膜による被覆処理を、不要若しくは削減することが可能となる。又、チップ側面19では、多少の表面状態の変化や表面破損が生じることを許容することが出来るため、チップの取扱性が容易となる。したがって、製品のばらつきが少なくなり、製造歩留まりが向上する。このように降伏電圧の安定化を図ることは、例えば定電圧ダイオードよりも高耐圧の電力用半導体装置においても、同様に有効となる。更に、チップ外周面が第1半導体領域13の第1端面に対して、実質的に垂直としているので、半導体装置10の側面を通常の切断工程(ダイシング工程)で形成することが出来る。チップ外周面が、表裏の主面に対して実質的に垂直であれば、コレット等の治具へチップを装着する手間を軽減し、組立(アセンブル)工程時の、半導体装置10(チップ)の取扱性を向上にすることが出来る。

30

【0067】

第1半導体領域13の不純物密度 N_B が第4半導体領域15'の不純物密度より十分に高ければ、式(1)に示したように、半導体ダイオード10'の耐圧は第1半導体領域13の不純物密度 N_B にのみ依存し、製造に用いる母材(シリコンウェハ)の不純物密度には依存しない。このため、シリコンウェハの比抵抗(抵抗率)を高精度に制御する必要はない。したがって、第1半導体領域13の不純物密度 N_B より比較的高抵抗の基板であれば、任意の市販のシリコンウェハを利用して、所望の耐圧を有した定電圧ダイオード10の製造を行うことが出来る。

40

【0068】

本発明の参考例に係る半導体ダイオード10'を製造方法は、基本的に図2~図13に示す工程断面図(その1~12)で示した第1の実施の形態に係る半導体ダイオード10

50

の製造方法と同様である。但し、図2において、比較的高抵抗の第2導電型(p型)のシリコン基板(シリコンウェハ)11を用意する必要がある。

【0069】

そして、図2～図11に示す工程断面図と全く同様にして、図11に示す段階まで至る。図11は、p型の第3半導体領域12のドライブイン(熱処理)終了後、不純物添加薄膜若しくはドライブインにより、シリコン基板11の一方の主面11Aに生じたボロンガラス(BSG)膜等及び他方の主面11Bの酸化膜(図示省略)を除去した状態である。

【0070】

この後、このシリコン基板11の一方の主面11A及び他方の周面11Bの両方に熱酸化を行って、それぞれ、厚さ600nm～1.5μmのフィールド酸化膜を形成する。その後、フォトリソグラフィ技術とエッチング技術を用いて、他方の主面11B側に形成されたフィールド酸化膜に、コンタクトホールを開口する。一方の主面11Aに形成されたフィールド酸化膜は全面除去する。

【0071】

この後は、図12に示すと同様ように、シリコン基板11の両方の主面11A、11Bに、真空蒸着法やスパッタリング法等により金属薄膜を堆積させて、厚さ1μm～10μm程度の第1主電極層16及び第2主電極層17を形成する。

【0072】

その後の工程は、第1の実施の形態の図13以降の工程と同様なので説明を省略する。

【0073】

(第2の実施の形態)

本発明の第2の実施の形態に係る半導体ダイオード10''は、第1の実施の形態に係る半導体ダイオード10において、第4半導体領域15の導電型を真性半導体(i型)にした構造に相当する。したがって、第1の実施の形態に係る半導体ダイオード10の構造図を転用して説明する。

【0074】

即ち、本発明の第2の実施の形態に係る半導体ダイオード10''は、第1導電型の第1半導体領域13と、第1導電型の第2半導体領域14と、第2導電型の第3半導体領域12と、真性半導体(i型)からなる第4半導体領域15''とから構成されている。「真性半導体」とは、実質的に真性半導体と見なせる不純物密度 $1 \times 10^{13} / \text{cm}^3$ 程度以下の範囲であればよい。いわゆる層、層と呼ばれる不純物密度の領域でもかまわない。第1半導体領域13は、第1端面及びこの第1端面に対向した第2端面、更に第1及び第2端面を接続する第1外周面を有する。第1外周面は、図1と同様に、上に凸となる曲率半径を有した湾曲面である。第2半導体領域14は、第3端面及びこの第3端面に対向した第4端面、更に第3及び第4端面を接続する第2外周面を有し、第4端面が第1半導体領域13の第1端面と接合している。第2外周面は、図1と同様に、下に凸となる曲率半径を有した湾曲面である。そして、第3半導体領域12は、第1半導体領域13の第2端面において第1半導体領域13に接合している。更に、第4半導体領域15''は、第1及び第2外周面に接合した内周面を有し、且つ第3半導体領域12に接合している。したがって、第4半導体領域15''の内周面は、2以上の曲率半径からなる白型類似の湾曲面である。ここで、第2導電型は、第1導電型とは反対導電型である。

【0075】

本発明の第2の実施の形態に係る半導体装置では、第1導電型はn型であり、第2導電型はp型である。しかし、第1導電型をp型、第2導電型をn型としても良いことは勿論である。真性半導体(i型)であるので、第4半導体領域15''は、第1半導体領域13よりもはるかに低不純物密度である。p型の第3半導体領域12に対して、高不純物密度でn型の第1半導体領域13が接合して、その界面にpn接合界面を構成する(或いは、この逆にして、n型の第3半導体領域12に対して、高不純物密度でp型の第1半導体領域13とでpn接合界面を構成するようにしても良い。)

【0076】

即ち、本発明の第2の実施の形態に係る半導体ダイオードにおいては、第1導電型（n型）のシリコン基板11の一方の主面11A側にp型の第3半導体領域12が、他方の主面11B側にn型の第2半導体領域14が形成されている。シリコン基板11の内部では、p型の第3半導体領域12に、pn接合面18で局所的に接合するようにn型の第1半導体領域13が形成されている。更に、n型の第1半導体領域13とn型の第2半導体領域14とは、シリコン基板11の内部で局所的に接合している。そして、n型の第1半導体領域13及び第2半導体領域14を取り囲んで、i型の第4半導体領域15''が形成されている。i型の第4半導体領域15''とp型の第3半導体領域14とのなすip接合界面が、シリコン基板11のチップ側面19に露出している。又、i型の第4半導体領域15''とn型の第2半導体領域14とのなすni接合界面が、シリコン基板11の他方の主面11B側に露出しているが、pn接合界面はシリコン基板（チップ）11の側面、一方の主面11A、及び他方の主面11Bのいずれにも露出していない。

10

【0077】

本発明の第2の実施の形態においては、第3半導体領域12の底面には第1主電極層16が、第2半導体領域14の表面には第2主電極層17が形成されている。但し、図1とは異なり、第2主電極層17はi型の第4半導体領域15''とは、図示を省略したフィールド絶縁膜（フィールド酸化膜）により電氣的に絶縁されている。シリコン基板11の他方の主面11B側に露出したi型の第4半導体領域15''とn型の第2半導体領域14とのなすni接合界面はフィールド絶縁膜（フィールド酸化膜）により被覆され、大気とは絶縁されている。そして、フィールド絶縁膜（フィールド酸化膜）中に設けられたコンタクトホールを介して、第2半導体領域14の表面と第2主電極層17とがオーミック接触している。第1主電極層16と第2主電極層17とで、半導体素子の主電流の通路となる動作領域が形成される。第3半導体領域12がp型の場合は、第1主電極層16は、アノード電極層で、第2半導体領域14がn型なので、第2主電極層17は、カソード電極層である。この結果、第3半導体領域12は、第1主電極層16に対応した「第1主電極領域（アノード領域）」として機能し、第2半導体領域14は、第2主電極層17に対応した「第2主電極領域（カソード領域）」として機能する。

20

【0078】

n型の第1半導体領域13及び第2半導体領域14の周囲をともに取り囲むように形成された、i型の第4半導体領域15''は、シリコン基板11に固有の極めて低い不純物密度に設定されている。即ち、n型の第1半導体領域13及び第2半導体領域14は、それを取り囲むi型の第4半導体領域15''の不純物密度に比して5桁程度以上大きな高不純物密度に設定されている。

30

【0079】

本発明の第2の実施の形態に係る半導体装置10において、第4半導体領域15''は、FZ法、CZ法、或いはMCZ法等で成長したバルク結晶から切り出したウェハからなるi型の半導体基板11である。第1半導体領域13の不純物密度を調整することにより、半導体装置10の電氣的特性（耐圧）を制御出来、第4半導体領域15''の不純物密度は、半導体装置10の電氣的特性（耐圧）に影響を与えないように出来る。このため、第4半導体領域15''をバルク結晶から切り出したウェハ（半導体基板）11の購入時の不純物密度仕様のままで用いることが出来る。即ち、半導体基板11の不純物密度仕様を厳密に設定する必要がなくなり、使用する半導体基板（ウェハ）11の選択範囲を広げることが出来る。

40

【0080】

本発明の第2の実施の形態に係る半導体装置10において、第4半導体領域15''の外周面が、半導体装置10のチップ外周面（チップ側面）19として機能し、このチップ外周面（チップ側面）19が、第1半導体領域13の第2端面に対して、実質的に垂直である。i型の第4半導体領域15''とp型の第3半導体領域14とのなすip接合界面が、シリコン基板11のチップ側面19に露出している。又、i型の第4半導体領域15''とn型の第2半導体領域14とのなすin接合界面が、シリコン基板11の他方の主面11

50

B側に露出している。しかし、このチップ側面19には、図1とは異なり、pn接合面18の終端部が露出していない。このため、半導体装置10のチップ外周面が多少の表面状態の変化や表面破損を起こしても、半導体装置10での降伏電圧の変動に影響を与えない。特に、チップの周縁部分(チップ外周面)19に露出したpn接合の降伏は、チップ外周面(チップ側面)19のパッシベーション技術に依存し、チップの周縁部分(チップ側面)19での降伏電圧の「ばらつき」は大きい。しかし、本発明の第2の実施の形態に係る半導体装置10では、pn接合面18の終端部が露出していないため、半導体装置10(チップ)の周縁部分(チップ側面)19が多少の表面状態の変化や表面破損を起こしても、半導体装置10としての降伏電圧の変動には無関係である。

【0081】

そして、p型の第3半導体領域12に接合するn型の第1半導体領域13は、n型の第1半導体領域13を取り囲むi型の第4半導体領域15''より不純物密度が5桁以上高く設定されているため、アノード電極層16とカソード電極層17との間に逆方向電圧を印加したときに、p型の第3半導体領域12とn型の第1半導体領域13との間のpn接合における降伏が、i型の第4半導体領域15''とn型の第1半導体領域13とのin接合、及びi型の第4半導体領域15''とn型の第2半導体領域14との間のin接合における降伏よりもはるかに先に起こる。即ち、本発明の第2の実施の形態では、シリコン基板11の他方の主面11B側にin接合面(n型の第2半導体領域14とi型の第4半導体領域15''との接合面)、チップ側面19にip接合面(p型の第3半導体領域12とi型の第4半導体領域15''との接合面)が露出する部分があっても、pn接合の降伏は内部領域で発生して、シリコン基板11の他方の主面11B側に露出部分のin接合やチップ側面19のip接合面には表面電界強度の負担がかからない構造となっている。即ち、シリコン基板11の他方の主面11B側での電界を緩和し、降伏が半導体装置10内部の接合部分で起こるようにして、降伏電圧の設定の安定化を図ることが出来る。

【0082】

この結果、本発明の第2の実施の形態に係る半導体ダイオード10''では、チップ側面19を外部環境から保護する目的での酸又はアルカリ系薬液による湿式洗浄などの表面処理や絶縁膜による被覆処理を、不要若しくは削減することが可能となる。又、チップ側面19では、多少の表面状態の変化や表面破損が生じることを許容することが出来るため、チップの取扱性が容易となる。したがって、製品のばらつきが少なくなり、製造歩留まりが向上する。このように降伏電圧の安定化を図ることは、例えば定電圧ダイオードよりも高耐圧の電力用半導体装置においても、同様に有効となる。更に、チップ外周面が第1半導体領域13の第1端面に対して、実質的に垂直としているので、半導体装置10の側面を通常の切断工程(ダイシング工程)で形成することが出来る。チップ外周面が、表裏の主面に対して実質的に垂直であれば、コレット等の治具へチップを装着する手間を軽減し、組立(アSEMBル)工程時の、半導体装置10(チップ)の取扱性を向上にすることが出来る。

【0083】

第1半導体領域13の不純物密度 N_B が第4半導体領域15''の不純物密度より十分に高ければ、式(1)に示したように、半導体ダイオード10''の耐圧は第1半導体領域13の不純物密度 N_B にのみ依存し、製造に用いる母材(シリコンウェハ)の不純物密度には依存しない。このため、シリコンウェハの比抵抗(抵抗率)を高精度に制御する必要はない。したがって、第1半導体領域13の不純物密度 N_B より比較的高抵抗の基板であれば、任意の市販のシリコンウェハを利用して、所望の耐圧を有した定電圧ダイオード10の製造を行うことが出来る。

【0084】

本発明の第2の実施の形態に係る半導体ダイオード10''を製造方法は、基本的に参考例に係る半導体ダイオード10'の製造方法と同様であるので説明を省略する。

【0085】

(その他の実施の形態)

10

20

30

40

50

以上、本発明の第1及び第2の実施の形態について説明したが、上記の実施の形態の開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

【0086】

例えば、本発明の第1の実施の形態の説明では半導体ダイオード10を例示して説明したが、定電圧ダイオードよりも高耐圧の電力用半導体装置に本発明を適用することも勿論可能である。

【0087】

更に、本発明の第1の実施の形態の説明ではn型のシリコン基板11を用いて半導体ダイオード10を作成したが、p型のシリコン基板を用いて作成することも勿論可能である。

10

【0088】

又、図9及び図10に示した第2半導体領域14を形成する工程の後、半導体基板11の他方の主面11Bの全体から第1導電型とは反対導電型となる第2導電型の不純物元素を導入して第3半導体領域12を形成し、第2半導体領域14とでpn接合を形成することも可能である。即ち上記の本発明の第1の実施の形態に係る半導体装置10の製造方法とは、第3半導体領域12を形成する主面が反対でもかまわない。

【0089】

更に、第1半導体領域13を形成する工程と第2半導体領域14を形成する工程をどちらを先に行ってもかまわない。又、選択拡散用の拡散窓を、半導体基板11の一方の主面11Aと他方の主面11Bの両方に開口し、両方の主面11A、11Bから同時に拡散しても良い。更に、プレデポジションやイオン注入工程は、時系列的に半導体基板11の一方の主面11A若しくは他方の主面11B側を先に行うが、その後のドライブイン(熱処理)工程を同時に行うようにして、第1半導体領域13及び第2半導体領域14を実質的に同時に形成しても良い。つまり、半導体基板11の「一方の主面11A」と「他方の主面11B」をどちら側に定義するかの問題となる。

20

【0090】

又、図2～図13に示した本発明の第1の実施の形態の説明では、n型の第1半導体領域13と、n型の第2半導体領域14を互いに異なる主面から選択拡散法により導入したが、同一の主面から導入しても形成することが可能である。

30

【0091】

更に、本発明の第1の実施の形態の説明では第1主電極層16及び第2主電極層17をシリコン基板11の両方の主面に全面に互って形成し、シリコン基板11の少なくとも一つの主面に、第2半導体領域14又は第3半導体領域12の表面に凹部を形成し、この凹部に電極層を埋め込むように形成しても良い。このように電極層を凹部に埋め込むことにより、電極層とそれが埋め込まれる半導体領域との接触面積を増大でき、凹部の深さを調整することにより半導体領域の深さを適宜変更することが可能となり、半導体領域の抵抗値を適宜設計することが可能となる。

【0092】

このように、本発明はここでは記載していない様々な実施の形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

40

【0093】

【発明の効果】

以上の説明から明らかなように、本発明によれば、pn接合が露呈する半導体装置側面で局所的な降伏が発生するのを防止して、安定した所望の降伏電圧を有する半導体装置を提供することが出来る。

【0094】

又、本発明によれば、使用する半導体ウェハの比抵抗の範囲を広げることが出来、半導体ウェハにかかるコストを低減することが出来る。

50

【 0 0 9 5 】

更に、本発明によれば、半導体装置（チップ）表面処理を簡略化又は省略することが出来るため、製造工程を簡略化することが出来る。

【 0 0 9 6 】

又、本発明によれば、半導体装置の側面が半導体基板に対して略直角となるため、製品組付工程において、コレット等の治具へのチップ装着性、並びに取扱性を良好にする効果がある。

【 0 0 9 7 】

更に、本発明によれば、高不純物密度の第1半導体領域と第2半導体領域とを選択的に導入して接合させているため、これら半導体領域を取り囲む比較的低不純物密度の第4半導体領域と第3半導体領域とのpn接合での電界強度を低く抑えることが出来、半導体装置の周縁部分での降伏が起こるのを防止することが出来る。

【 図面の簡単な説明 】

【 図 1 】 本発明の第1の実施の形態に係る半導体装置を示す断面図である。

【 図 2 】 本発明の第1の実施の形態に係る半導体装置の製造方法を示す工程断面図（その1）である。

【 図 3 】 本発明の第1の実施の形態に係る半導体装置の製造方法を示す工程断面図（その2）である。

【 図 4 】 本発明の第1の実施の形態に係る半導体装置の製造方法を示す工程断面図（その3）である。

【 図 5 】 本発明の第1の実施の形態に係る半導体装置の製造方法を示す工程断面図（その4）である。

【 図 6 】 本発明の第1の実施の形態に係る半導体装置の製造方法を示す工程断面図（その5）である。

【 図 7 】 本発明の第1の実施の形態に係る半導体装置の製造方法を示す工程断面図（その6）である。

【 図 8 】 本発明の第1の実施の形態に係る半導体装置の製造方法を示す工程断面図（その7）である。

【 図 9 】 本発明の第1の実施の形態に係る半導体装置の製造方法を示す工程断面図（その8）である。

【 図 1 0 】 本発明の第1の実施の形態に係る半導体装置の製造方法を示す工程断面図（その9）である。

【 図 1 1 】 本発明の第1の実施の形態に係る半導体装置の製造方法を示す工程断面図（その10）である。

【 図 1 2 】 本発明の第1の実施の形態に係る半導体装置の製造方法を示す工程断面図（その11）である。

【 図 1 3 】 本発明の第1の実施の形態に係る半導体装置の製造方法を示す工程断面図（その12）である。

【 図 1 4 】 従来の半導体装置を示す断面図である。

【 符号の説明 】

1 0 半導体ダイオード（半導体装置）

1 1 シリコン基板（半導体基板）

1 2 第3半導体領域

1 3 第1半導体領域

1 4 第2半導体領域

1 5 第4半導体領域

1 6 第1主電極層

1 7 第2主電極層

1 8 pn接合面

1 9 チップ側面

10

20

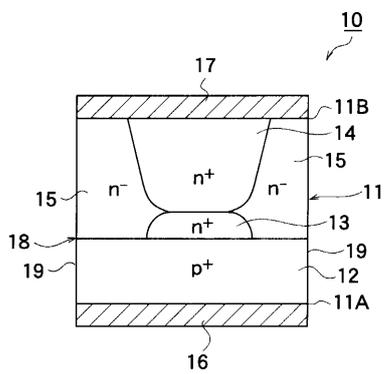
30

40

50

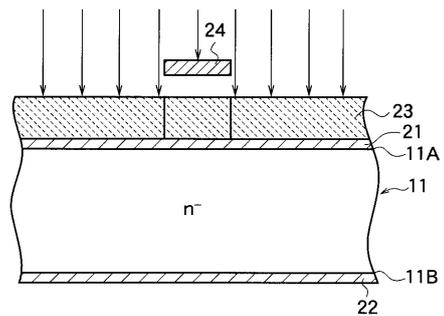
- 29 合成樹脂シート
- 30 ダイシングライン

【図1】



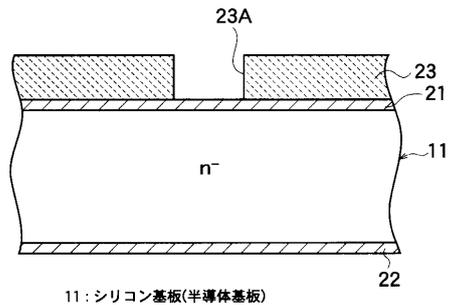
- 10: 半導体ダイオード
- 11: シリコン基板(半導体基板)
- 12: 第3半導体領域
- 13: 第1半導体領域
- 14: 第2半導体領域
- 15: 第4半導体領域
- 16: 第1主電極層
- 17: 第2主電極層
- 18: pn接合面
- 19: チップ側面

【図2】



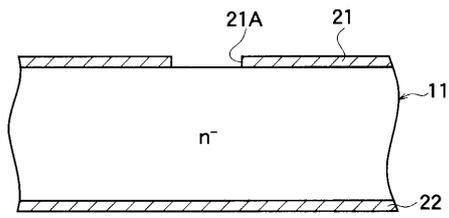
- 11: シリコン基板(半導体基板)
- 11A: 一方の主面
- 11B: 他方の主面

【図3】



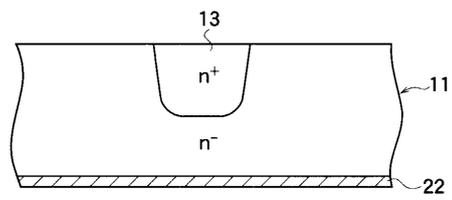
- 11: シリコン基板(半導体基板)

【図4】



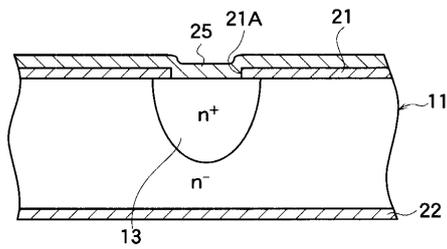
11: シリコン基板(半導体基板)

【図6】



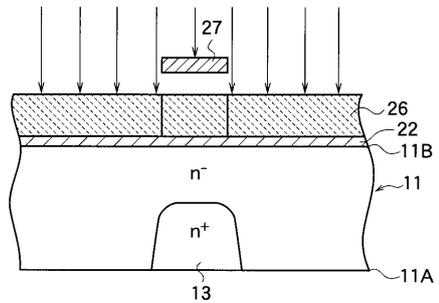
11: シリコン基板(半導体基板)
13: 第1半導体領域

【図5】



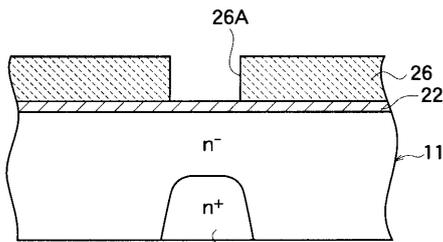
11: シリコン基板(半導体基板)
13: 第1半導体領域

【図7】



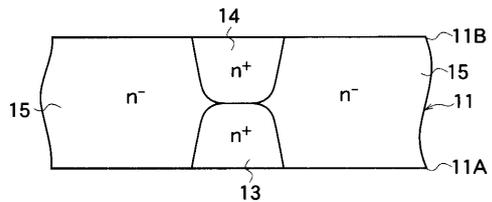
11: シリコン基板(半導体基板)
11A: 一方の主面
11B: 他方の主面
13: 第1半導体領域

【図8】



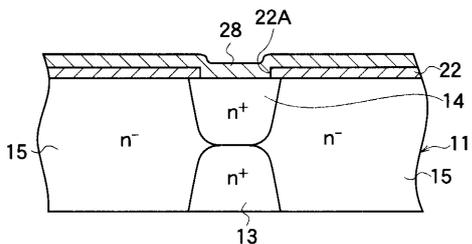
11: シリコン基板(半導体基板)
13: 第1半導体領域

【図10】



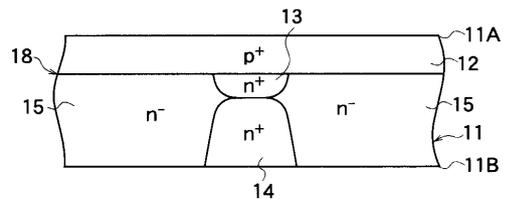
11: シリコン基板(半導体基板)
13: 第1半導体領域
14: 第2半導体領域
15: 第4半導体領域

【図9】



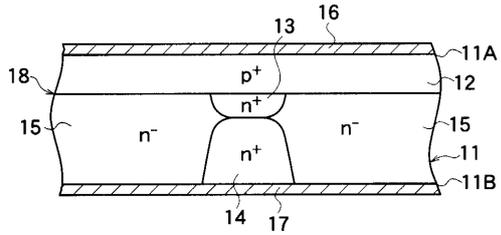
11: シリコン基板(半導体基板)
13: 第1半導体領域
14: 第2半導体領域
15: 第4半導体領域

【図11】



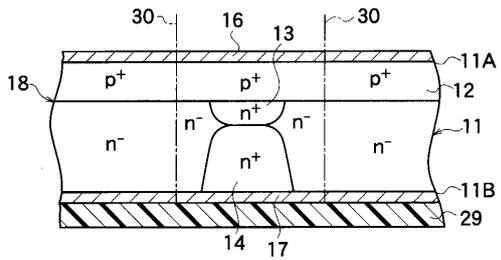
11: シリコン基板(半導体基板)
12: 第3半導体領域
13: 第1半導体領域
14: 第2半導体領域
15: 第4半導体領域

【図12】



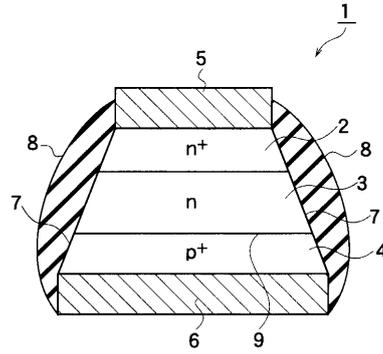
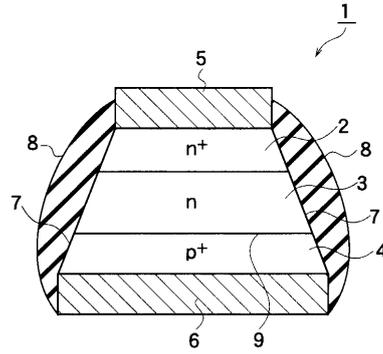
- 11: シリコン基板(半導体基板)
- 12: 第3半導体領域
- 13: 第1半導体領域
- 14: 第2半導体領域
- 15: 第4半導体領域
- 16: 第1主電極層
- 17: 第2主電極層

【図13】



- 11: シリコン基板(半導体基板)
- 12: 第3半導体領域
- 13: 第1半導体領域
- 14: 第2半導体領域
- 15: 第4半導体領域
- 16: 第1主電極層
- 17: 第2主電極層
- 29: 合成樹脂シート
- 30: ダイシングライン

【図14】



フロントページの続き

(72)発明者 安藤 秀幸
埼玉県新座市北野3丁目6番3号 サンケン電気株式会社内

審査官 北島 健次

(56)参考文献 特開平05-251698(JP,A)
特開昭62-102555(JP,A)
特開昭54-139489(JP,A)
特開昭56-048178(JP,A)
特開昭55-130179(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01L 29/866