(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
H05K 3/10

(11) 공개번호 10-2004-0089453
(43) 공개일자 2004년10월21일

(21) 출원번호 10-2003-7015016
(22) 출원일자 2003년11월18일
번역문 제출일자 2003년11월18일
(86) 국제출원번호 PCT/JP2003/003468
(86) 국제출원출원일자 2003년03월20일
(87) 국제공개번호 WO 2003/084297
(87) 국제공개일자 2003년10월09일

(30) 우선권주장 JP-P-2002-00091746 2002년03월28일 일본(JP)

(71) 출원인 신꼬오덴기 고교 가부시키가이샤
일본국 나가노켄 나가노시 오시마다마치 80

(72) 발명자 미야가와후미오
일본국 나가노켄 나가노시 오아자 구리타 아자 사리덴 711 신꼬오덴기 고교 가부시키가이샤 내

(74) 대리인 문두현
문기상

심사청구 : 없음

(54) 배선 구조체 및 이의 제조 방법

요약

본 발명은 소자 끼리 또는 소자와 다른 구성 소자를 전기적으로 접속하기 위한 접속 배선을 가지고 있는 배선 구조체에 관한 것이다. 접속 배선은 분산제 중에 분산된 100 nm 이하의 직경을 가진 전기(電氣) 전도성 미세 입자를 포함하는 전기 전도성 미세 입자의 페이스트를 소정의 배선 패턴에 따라서 전기 절연성 베이스 상에 퇴적(堆積)하고, 이렇게 형성된 배선 전구체(precursor)를 소결하여(sintered) 형성된 소결품이다. 바람직하게는, 잉크젯 인쇄 방식을 통해서 전기 전도성 페이스트를 퇴적할 수 있다. 또한, 임의의 형태 또는 기본 형태를 가진 하나 이상의 셀(cell)을 베이스 상에 퇴적한 후에, 전기 전도성 미세 입자 페이스트를 셀의 표면에 퇴적시킬 수 있으므로, 접속 배선은 삼차원적으로 형성된다. 셀을 서로 조합하는 경우에는, 집적된 전자 디바이스 및 다층 배선 기판을 소형으로 형성할 수 있다.

대표도

도 12

색인어

접속 배선, 배선 구조체, 분산제, 미세 입자, 페이스트, 배선 패턴, 배선 전구체, 소결, 잉크젯, 셀.

명세서

기술분야

본 발명은 반도체 장치 및 다른 전자 장치를 제조하는데 유용한 크기가 작으면서도 고밀도의 배선 분포를 갖고, 또한 제조가 용이하고 신뢰성이 우수한 배선 구조체 및 이와 같은 배선 구조체의 제조 방법에 관한 것이다.

배경기술

다양한 종류의 반도체 장치가 제안되었으며, 이와 같은 다양한 반도체 장치를 배선 기판 상에 패키지(package)하기 위한 다양한 방법이 채택되고 있다. 반도체 장치의 제조 또는 반도체 장치의 패키징(packaging)용의 기본 기술은 반도체 소자 등(예를 들어 IC 칩, LSI 칩 등)의 능동 소자나 커패시터(capacitor), 레지스터(resistor) 등의 수동 소자를 배선 기판과 전기(電氣)적으로 접속하기 위한 전기 접속 기술 또는 배선 패턴을 서로 전기적으로 접속하는 전기 접속 기술이다. 즉, 기본 기술은 전기적으로 접속하기 위한 접속 배선을 형성하는 것이다.

반도체 소자가 탑재되는 배선 기판은, 적층법(build-up), 인쇄 적층법(print-up) 등에 의해서 다층 구조 내에 배선 패턴이 형성된다. 배선 패턴을 형성하기 위한 방법에는, 포토리소그래피법(photolithography), 전사법(trans-fer), 마스크 인쇄법(through-mask printing) 및 도금법(plating) 등의 기술이 포 함된다. 또한, 스루홀(through-hole) 도금 또는 비아홀(via-hole) 등에 의해서 분리되어 있는 층 사이의 배선 패턴을 전기적으로 접속하는 방법도 채택되어 있다. 반도체 소자와 배선 패턴을 전기적으로 접속하기 위해서, 와이어 본딩법 및 플립 칩법이 채택되어 있다.

상부에 반도체 소자가 탑재되어 있는 패키지의 일례를 도 1에 도시하였다. 일반적으로, 배선 기판(예를 들면 글래스-에폭시 기판)(111)의 상부에는, 도 1에 나타낸 바와 같이 다이 본딩 페이스트 또는 다이 본딩막(113)을 통해서 반도체 소자(예를 들면 LSI 칩)(110)이 탑재되어 있으며, 상기 반도체 소자(110) 및 배선 기판(111)은, 예를 들어 금(Au)으로 된 본딩 와이어(bonding wire)를 통해서 전기적으로 접속되어 있다. 반도체 소자(110) 및 본딩 와이어(114)는 에폭시 수지 등의 절연 수지(112)로 밀봉되어 전체 반도체 패키지를 보호하고 있다.

도 2는 도 1에 나타낸 예와 동일한 와이어 본딩법을 사용하여 제조한, 소위 SON형('SON type') 리드 프레임 패키지의 일례를 나타낸 도면이다. 본 도 2에서 나타내는 패키지의 경우에 있어서, 리드 단자(lead terminal)(115)는 수지막(116)을 통해서 반도체 소자(110)에 고정된 후에 반도체 소자(110) 및 리드 단자(115)는 본딩 와이어(114)를 통해서 전기적으로 접속되며, 반도체 소자(110)를 포함하는 반도체 패키지 전체를 절연 수지(112)가 밀봉하고 있다.

그런데, 반도체 소자 및 반도체 장치 모두의 성능이 높아지게 되고, 이들의 크기(size)가 더욱 작아지게 됨에 따라서, 칩 사이즈 패키지(CSP, chip size package)와 같은 매우 소형인 제품이 제조되고 있다. 따라서 배선 기판 등의 상부에 형성되는 배선 패턴도 고밀도화되고 있다. 따라서 필연적으로 큰 배선 공간을 필요로 하고, 형성하기에 까다로운 조작이 필요하며, 단선의 문제를 회피할 수 없는 상술한 와이어 본딩법을 사용하지 않고 접속 배선을 형성하는게 바람직하다.

또한, 반도체 소자 또는 회로 부품의 크기 및 두께가 감소하게 됨에 따라서, 복수의 반도체 소자가 회로 부품과 적층(stack) 또는 회로 부품과 함께 탑재되어 있는 모듈 방식의 제품이 다수 제공되고 있다. 그 결과, 전기 접속 배선에 대해서 고밀도로 접속되고, 보다 삼차원 입체적으로 배선되고, 다양한 제품 형태에 용이하게 대응할 수 있는 접속 형태가 요구되고 있다.

도 3은 반도체 소자와 회로 기판의 배선 패턴을 플립 칩법에 의해서 접속한 반도체 패키지의 일례를 도시한 도면이다. 도면에 도시된 볼 그리드 어레이(BGA, ball grid array)형 반도체 패키지의 경우에 있어서, 배선 기판(120) 및 반도체 소자(110)는 복수의 범프(예를 들어 Au 범프)(121)를 통해서 전기적으로 접속되어 있으며, 땜납 범프(122)는 배선 기판(120)에 대한 외부 접속 단자로 제공되어 있다. 와이어 본딩법과 비교하였을 때, 플립 칩법은 디바이스의 크기 및 두께를 감소시키는데 더 크게 기여하며, 또한 단선의 문제를 해결할 수 있다. 그러나, 플립 칩법은 제조가 번잡하다는 문제를 해결하지 못하였으며, 따라서 전기적인 접속을 보다 용이하게 확립할 수 있는 방법이 요구되고 있다.

도 4는 크기와 두께를 감소시키기 위해서 재배선(rerouted wiring) 접속을 포함하고 있는 패키지의 일례를 도시한 도면이다. 도면에 도시된 반도체 패키지는 일반적으로 반도체 소자의 표면 중의 하나에 제 1 절연 수지층(131)을 형성하는 단 계와, 제 1 절연 수지층(131)의 소정 위치에 비아 홀을 형성하여 수지층(131)을 관통하는 단계와, 상기 비아 홀을 전기적인 도체(예를 들면 Cu)로 충전하여 매립형 배선층(132)를 형성하는 단계와, 상기 제 1 절연 수지층(131)의 표면 상에 소정 패턴으로 배선층(133)을 형성하는 단계와, 외부 접속 단자로서 땜납 범프(135)를 배치하는 단계 및 절연 수지(134)를 사용하여 패키지 전체를 밀봉하는 단계를 통해서 제조할 수 있다. 그러나, 제조시 공정 단계가 복잡하기 때문에, 공정 단계를 감소시킨 재배선 배선을 수행할 수 있는 방법이 요구되고 있다.

전기적인 접속에 필요한 접속 배선은 상술한 반도체 패키지의 제조에만 가장 중요한 것이 아니라 다른 기술 분야에서도 중요한 것이다. 예를 들어, 배선 기판은 일반적으로 다층 배선 기판으로 사용되어 디바이스의 크기를 감소시키고, 기능을 향상시키고 있다. 또한, 다층 배선 기판에 있어서, 배선 패턴은 상술한 바와 같이 적층법, 인쇄 적층법 등에 의

해서 다층으로 형성되고 있다. 그러나, 이들 방법에 의한 배선 패턴의 형성은 모두 포토리소그래피법, 전사법, 마스크 인쇄법 및 도금법 등과 같은 복잡한 기술을 필요로 하고 있다. 따라서, 보다 용이하게 또한 정밀도가 높게 다층 배선 패턴을 형성할 수 있는 방법이 요구되고 있다.

도 5는 적층법(build-up)에 의해서 제조된 다층 배선 기판의 일례를 도시한 도면이다. 도면에 도시된 다층 배선 기판은, 반도체 소자(예를 들어, 시스템 LSI) 상에 소정의 두께로, 예를 들어, 폴리이미드 수지로 형성된 절연막(141)을 형성하고, 포토리소그래피법에 의해서 비아 홀을 개구(open)시키고, 상기 비아 홀에 구리(Cu)를 도금하여 충전하여 마이크로 비아 홀(142)을 형성하는 단계에 의해서 제조할 수 있다. 상기 마이크로 비아 홀의 직경은 약 80 ㎛ 정도이고, 피치(pitch)는 약 150 ㎛ 정도이다. 마이크로 비아 홀(142)을 형성한 이후에, 두께 약 60 ㎛ 정도로 레지스트(도시하지 않음)를 도포하여 레지스트막을 형성한다. 레지스트막을 패터닝하고, 구리를 도금하여 배선층(배선 패턴)(143)을 형성한다. 공정의 단계가 절연막(141)의 형성에서부터 배선층(143)의 형성까지를 반복하면, 절연막과 배선 패턴이 교대로 적층되고 마이크로 비아 홀을 통해서 배선 패턴이 서로 전기적으로 접속되어 있는 다층 배선 기판이 얻어진다. 배선 패턴의 크기(size)는 선(line)과 공간(space)이 약 50/50 ㎛ 정도이다.

도 6도 적층법(build-up)에 의해서 제조된 다층 배선 기판의 일례를 도시한 도면이다. 절연막(141) 및 배선 패턴(143)은 반도체 소자(110) 상에 교대로 적층되어 있으며, 배선 패턴은 충전된 비아 홀(144)을 통해서 서로 전기적으로 접속되어 있다. 도면에 도시한 다층 배선 기판의 경우에는, 기판의 크기를 감소시키기 위해서 포토리소그래피법에 의해 비아 홀을 형성하는 단계 대신에 레이저 드릴링(laser-drilling)을 채택하였다. 결과의 레이저 비아 홀은, 직경이 약 50 ㎛ 정도이고, 피치는 약 100 ㎛ 정도의 것을 얻을 수 있다. 두께 30 ㎛의 드라이막(dry film)을 마스크로서 사용하여 각각의 배선 패턴을 형성하였다. 따라서 선과 공간이 약 20/20 ㎛ 정도인 배선 패턴을 형성할 수 있다. 도 5와 도 6을 비교하면, 도 6에 나타낸 다층 배선 기판이 더 작고 더 소형임을 알 수 있다.

상술한 바와 같이 종래 기술의 적층법 또는 인쇄법을 사용하여 다층 배선 기판을 제조하며, 결과의 배선 패턴은 선폭(line width)과 관련하여 제한(일반적으로 대략 20 내지 50 ㎛)이 있었다. 따라서, 더 미세한 배선 패턴을 보다 용이하게 형성할 수 있고, 수율이 더 높은 방법이 요구되고 있다.

종래 기술의 다층 배선 기판의 또 다른 일례로서, 도 7에는 매입 실장법 기술(EMT, embedding mount technology)에 의해서 제조되는 반도체 패키지가 나타내어져 있다. 본 도면에서 나타낸 반도체 패키지의 경우에, 다층 회로 기판은 먼저 절연막(141)과 배선 패턴(143)을 교대로 적층하여 형성된다. 다음에 크기가 서로 다른 2 개의 반도체 소자(110)의 높이를 조정한 후에 회로 기판의 표면 중의 한 곳에 탑재한다. 최종적으로, 절연 수지를 사용하여 기판과 소자 전체를 밀봉한다. 이와 같은 종류의 반도체 패키지에서는, 패키지의 구성이 복잡하기 때문에 제조가 곤란하며, 따라서 보다 소형인 패키지, 보다 용이하게 또한 수율이 높게 형성할 수 있는 방법이 요구되고 있다.

발명의 상세한 설명

본 발명의 목적은 상술한 종래 기술의 문제점을 해결하는 것이다.

본 발명의 일 목적은 고밀도로 매우 미세한 접속 배선을 가지고, 단선이나 단락(short circuit)의 문제가 초래되지 않는 배선 구조체를 제공하는 것이다.

본 발명의 다른 목적은 삼차원적으로 형성된 접속 배선을 가지고, 반도체 장치와 다른 장치의 크기와 두께를 감소시키고 기능을 개선시키는데 유용한 배선 구조체를 제공하는 것이다.

본 발명의 또 다른 목적은 다양한 제품 형태에 용이하게 대응할 수 있는 배선 구조체를 제공하는 것이다.

본 발명의 또 다른 목적은 상술한 배선 구조체를 용이하게 또한 고수율로 제조하기 위한 방법을 제공하는 것이다.

본 발명에서 상술한 목적 및 다른 목적은 후술하는 발명의 상세한 설명에서 용이하게 이해할 수 있을 것이다.

본 발명의 1 관점에 따르면, 소자 끼리 또는 소자와 다른 구성 소자를 전기적으로 접속하기 위한 접속 배선을 포함하는 배선 구조체에 있어서, 접속 배선은 분산제 중에 분산된 100 nm 이하의 직경을 가진 전기 전도성 미세 입자를 포함하는 전기 전도성 미세 입자의 페이스트를 소정의 배선 패턴에 따라서 전기 절연성 베이스 상에 퇴적(堆積)하고, 이렇게 형성된 배선 전구체(precursor)를 소결하여(sintered) 형성된 소결품인 배선 구조체가 제공된다.

본 발명의 다른 관점에 따르면, 소자 끼리 또는 소자와 다른 구성 소자를 전기적으로 접속하기 위한 접속 배선을 포함하는 배선 구조체의 제조 방법에 있어서, 분산제 중에 분산된 100 nm 이하의 직경을 가진 전기 전도성 미세 입자를 포함하는 전기 전도성 미세 입자의 페이스트를 소정의 배선 패턴에 따라서 전기 절연성 베이스 상에 퇴적하는 단계와,

상기 접속 배선을 형성하기 위해서, 이렇게 형성된 배선 전구체를 소정 온도에서 가열하고 소결하는 단계를 포함하는 배선 구조체의 제조 방법이 제공된다.

이하에서 보다 상세하게 설명하는 바와 같이, 본 발명은 소정의 패턴에 따라서, 배선 기판 등에 전기(電氣) 전도성 페이스트를 도포하여 접속 배선을 형성하고 있다. 본 발명은 분산제 내에 입자의 직경이 100 nm 이하인 전기 전도성 미세 입 자를 분산시켜서 준비한 전기 전도성 미세 입자의 페이스트(이하, 간단히 '전도성 페이스트' 또는 '미세 입자 페이스트'라 함)를 전도성 페이스트로 사용하고 있다. 전기 전도성 미세 입자의 페이스트는 형성될 배선의 패턴에 따라서 이미 형성된 절연층, 절연막, 중간층 절연막 또는 다른 전기적으로 절연인 소자의 표면 상에 도포되며, 이후에 소정의 온도까지 가열하여 소결(sintering)된다. 이렇게 해서, 도체 소자(conductor element)라고도 지칭되는 접속 배선을 완성한다.

전기 전도성 미세 입자 페이스트는, 절연막 등의 평면 베이스에 도포될 수도 있으며, 또는 바람직하게는 전기적으로 절연성을 가진 성형(molding) 재료로 형성된 셀 모양의 지지부(이하 간단하게 '셀(cell)'이라 함)의 표면에 도포될 수도 있고, 디스펜서 등을 사용하여 임의의 형상으로 도포될 수도 있다. 전기 전도성 페이스트가 사전에 정의된 형태를 가진 셀의 표면에 도포되는 경우에, 종래에 필요하였던 복수의 공정 단계를 필요로 하지 않고서도 삼차원적으로 연장되는 접속 배선이 용이하게 형성될 수 있다.

전기 전도성 미세 입자 페이스트의 도포는 종래의 방법을 사용하여 행할 수도 있다. 그러나 디스펜서와 같은 페이스트 공급 장치를 사용하거나 코팅하기 위해서 셀의 표면 상에 전도성 페이스트를 비상(fly)시킬 때는 잉크젯 시스템을 사용하는 것을 권장한다. 상기 방법들 중의 어떠한 것을 사용하여도, 종래의 기술에서는 관례적으로 필요하였던 마스크(mask) 수단을 사용하지 않고도 소망의 패턴 및 소망의 막 두께로 전기 전도성 미세 입자 페이스트를 도포할 수 있다.

전기적으로 절연인 재료로 형성된 셀은 다양한 형상이나 형태로 유리하게 사 용될 수 있다. 예를 들어, 셀은 그 표면 상의 배선 패턴을 형성하는데 적합한 형태를 미리 가질 수도 있으며, 또한 그와 같은 형태를 현장에서 형성할 수도 있다. 그렇지 않으면, 셀은 기본 셀의 형상으로 소정 형상으로 형성된 기본 셀을 준비하는 단계와, 배선 패턴을 형성하기에 적합한 형태로 반도체 칩 또는 배선 기판 등의 접속 배선을 형성하기 위한 지지부의 표면 상에 2 개 이상의 기본 셀을 배치하는 단계에 의해서 형성될 수도 있다. 어떠한 방법을 따르더라도, 삼차원적 접속 배선이 형성될 때의 자유도(freedom)는 크다.

유전체 재료로 형성된 기본 셀, 열 전도 계수를 조정하기 위한 재료로 형성된 기본 셀, 열 팽창 계수를 조정하기 위한 재료로 형성된 기본 셀은, 전기적으로 절연인 재료로 형성된 기본 셀에 추가하여, 임의로 조합하여 사용할 수도 있다. 이와 같은 방법을 채택한 경우에, 고기능 및 더 복잡한 구성을 필요로 하는 배선 구조체를 용이하게 실현할 수 있다.

또한, 삼차원 입체 구조 및 고기능을 가지고 절연막과 접속 배선을 포함하고 있는 배선 구조체는, 인쇄(printing) 등에 의해서 전기 전도성 미세 입자 페이스트를 처리하여 얻어지는 배선을 형성하기 위한 태블릿(tablet)('마이크로 셀(micro cell)' 또는 '전기 전도성 마이크로 셀(conductive micro cell)'로도 불리워짐)과, 유사한 공정에 의해서 전기적으로 절연인 재료를 인쇄 등의 처리로 얻어지는 절연막을 형성하기 위한 태블릿('마이크로 셀(micro cell)' 또는 '전기 절연성 마이크로 셀(insulating micro cell)'로도 불리워짐)을 조합하여 실현할 수 있다.

도면의 간단한 설명

도 1은 와이어 본딩법(wire bonding)에 의해서 제조되는 종래 기술의 반도체 패키지의 단면도.

도 2는 와이어 본딩법에 의해서 제조되는 종래 기술의 리드 프레임(lead frame) 패키지의 단면도.

도 3은 플립 칩법(flip chip)에 의해서 제조되는 종래 기술의 반도체 패키지의 단면도.

도 4는 재배선된 배선을 적용한 종래 기술의 반도체 패키지의 단면도.

도 5는 적층법(build-up)에 의해서 제조되는 종래 기술의 다층 배선 기판의 단면도.

도 6은 도 5에 나타낸 방법과는 다른 적층법에 의해서 제조되는 종래 기술의 다층 배선 기판의 단면도.

도 7은 매입 실장법(embedding mount technology) 기술에 의해서 제조되는 종래 기술의 반도체 패키지의 단면도.

도 8a 내지 도 8d는 잉크젯 시스템에 의해서 접속 배선을 형성하는 방법을 순차적으로 나타내는 단면도.

도 9는 본 발명에 따른 접속 배선을 형성하기 위해서 사용되는 자유 셀법(free cell)을 나타내는 단면도.

도 10은 본 발명에 따른 접속 배선을 형성하기 위해서 사용되는 기본 셀법(basic cell)을 나타내는 단면도.

도 11은 본 발명에 따른 접속 배선을 형성하기 위해서 사용되는 마이크로 셀 법(micro cell)을 나타내는 단면도.

도 12는 와이어 본딩법(wire bonding)을 사용하지 않고 제조된 본 발명의 반도체 패키지의 단면도.

도 13은 상기 와이어 본딩법(wire bonding)을 사용하지 않고 제조된 본 발명의 반도체 패키지의 단면도.

도 14는 종래 기술의 리드 프레임 패키지를 대신할 수 있는 본 발명의 배선 구조체를 채용하여 제조되는 반도체 패키지의 단면도.

도 15는 플립 칩법(flip chip)을 사용하지 않고 제조되는 본 발명의 반도체 패키지의 단면도.

도 16은 본 발명에 따라서 재배선된 배선을 적용한 반도체 패키지의 단면도.

도 17은 본 발명에 따른 적층법을 사용하여 제조되는 다층 배선 기판의 단면도.

도 18은 본 발명에 따른 매입 실장법 기술을 사용하여 제조되는 반도체 패키지의 단면도.

도 19a 내지 도 19e는 본 발명에 따른 자유 셀법을 사용하여 접속 배선을 형성하는 방법을 순차적으로 나타내는 단면도.

도 20은 본 발명에 따른 배선 패턴 및 접속 배선의 접속 상태를 나타내는 사시도.

도 21a 및 도 21b는 본 발명에 따른 자유 셀법을 사용하여 접속 배선을 형성하는 방법을 2 단계로 나타내는 단면도.

도 22a 및 도 22b는 본 발명에 따른 2 개의 반도체 소자를 적층하여 반도체 장치를 제조하는 방법을 2 단계로 나타내는 단면도.

도 23a 내지 도 23f는 본 발명에 따른 다층 접속 배선을 형성하는 방법을 순차적으로 나타내는 단면도.

도 24a 내지 도 24h는 본 발명에 따른 기본 셀법을 사용하여 접속 배선을 형성하기 위한 방법을 순차적으로 나타내는 단면도.

도 25는 다층(多層)으로 기본 셀을 적층하여 얻어지는 다층 배선 기판의 평면도.

도 26은 기본 셀을 사용하여 제조되는 셀 집적 모듈 구성의 일례를 나타내는 단면도.

도 27은 기본 셀을 사용하여 제조되는 셀 집적 모듈 구성의 다른 일례를 나타내는 단면도.

도 28은 기본 셀을 사용하여 제조되는 셀 집적 모듈 보드 구성례를 나타내는 사시도.

도 29는 본 발명에 따른 마이크로 셀법을 사용하여 접속 배선을 형성하는 방법을 나타내는 사시도.

도 30은 도 29에 나타낸 것과 동일한 구조를 가진 배선 구조체의 단면도.

도 31a 내지 도 31e는 각각 내부에 조립된 본 발명의 배선 구조체를 가지는 반도체 패키지를 나타내는 단면도.

도 32는 종래 기술의 리드 프레임 금형 패키지 대신에 사용할 수 있는 본 발 명의 배선 구조체를 채용하여 제조된 반도체 패키지의 단면도.

도 33은 플립 칩법을 사용하지 않고 제조된 본 발명의 반도체 패키지의 단면도.

도 34는 내부에 조립된 본 발명의 배선 구조체를 가지는 VMT 보드의 단면도.

도 35는 내부에 조립된 본 발명의 배선 구조체와 내장형 DMFC 연료 전지를 가지는 디스플레이 VMT 보드의 단면도.

도 36a 내지 도 36f는 도 35에 나타낸 연료 전지의 배선 구조체를 제조하기 위한 방법을 순차적으로 나타내는 단면도.

실시예

이하 첨부한 도면을 참고로 하여 본 발명의 바람직한 실시예에 대해서 설명하기로 한다. 그러나 본 발명은 하기의 실시예로만 제한되지는 않는다.

본 발명의 요지는 소자 끼리 또는 소자와 다른 구성 소자를 전기적으로 접속하기 위한 접속 배선을 가지는 배선 구조체에 있다. 여기에서, 용어 '소자(element)'는 반도체 소자(예를 들면, IC 칩, VLSI 칩 등)와 같은 능동 소자와, 커패시터나 레지스터와 같은 수동 소자, 및 다른 소자를 나타내고 있으므로, 특정 소자로 제한되어서는 아니된다. 상술한 소자는 단독으로 사용되거나 2 개 이상의 소자를 조합하여 사용될 수도 있다. 또한, 용어 '구성 소자(constituent element)'는 배선 구조체를 제조하는데 필수적이거나 필요에 따라서 사용되는 임의의 층, 막, 부품(component) 등을 나타낸다. 예를 들면, 배선층과 전극 및 외부 접속 단자와 같은 회로 부품을 나타낸다. 접속 배선은 절연 기판 및 절연막 등의 베이스(base) 상에 소망의 패턴으로 형성될 수 있다. 일반적으로 접속 배선은 평면 방향으로 연장되는 배선, 삼차원적으로 연장되는 배선 및 절연막을 관통하는 배선을 포함한다. 본 발명의 배선 구조체는 상술한 접속 배선을 단독적으로 가질 수도 있고, 2 개 이상의 종류의 접속 배선을 임의로 조합하여 가질 수도 있다. 필요하다면, 종래 기술의 접속 배선을 본 발명의 접속 배선과 조합하여 사용할 수도 있다.

본 발명의 배선 구조체를 다양한 기술 분야에서 사용할 수도 있다. 특히, 본 발명의 배선 구조체는 단선과 같은 문제가 없이 미세하고 고밀도의 접속 배선을 용이하게 제공할 수 있기 때문에, 소형이면서 고효율인 반도체 장치, 다층 배선 기판 및 다른 전자 디바이스용으로 유리하다.

본 발명에 따른 배선 구조체에 있어서, 접속 배선은 소정의 배선 패턴에 따라서 전기적으로 절연인 베이스(base) 상에 분산제 중에 입자 직경이 100 nm 이하인 미세 전기 전도성 입자를 분산시켜서 제조되는 전기 전도성 미세 입자의 페이스트를 퇴적하는 단계와, 이후 이렇게 형성된 배선 전구체를 소결하는 단계에 의해서 형성된다. 여기에서, 용어 '베이스(base)'는 상부에 접속 배선이 형성되는 임의의 구성 소자를 나타내며, 그 예로는 미리 형성된 절연층, 절연막, 층간 절연막 및 다른 전기적으로 절연인 소자가 포함된다. 베이스의 예에는, 실리콘 기판과 기타 반도체 기판 및 회로 기판이 더 포함된다. 필요하다면, 반도체 소자 및 기타의 소자를 베이스로 사용할 수도 있다.

전기 전도성 미세 입자의 페이스트는 출발 물질로서 전기 전도성 미세 입자, 분산제 및 필요에 따라서 사용되는 임의의 첨가제를 사용하고 또한 혼련(kneading)과 같은 통상적인 기술을 사용하여 제조될 수 있다. 특정하게 제한하는 것은 아니지만, 전기 전도성 미세 입자는 용이한 사용 가능성, 접속 배선으로 처리하였을 때의 성능 및 내구성을 감안하였을 때, 전기 전도성 금속 미세 입자를 포함하는 것이 바람직하다. 전기 전도성 금속의 적절한 예로는, 금, 은, 구리, 백금, 니켈, 팔라듐, 주석 및 이들의 산화물과 합금이 포함되지만, 절대 이들로만으로 제한되는 것은 아니다. 전기 전도성 금속의 미세 입자의 입자 직경은 일반적으로 나노미터(nanometer) 규모(입자 직경이 약 100 nm 이하)이며, 바람직하게는 약 50 nm 이하, 더 바람직하게는 약 20 nm 이하, 가장 바람직하게는 약 2 내지 10 nm 범위 내에 들어간다. 전기 전도성 금속의 미세 입자의 크기가 나모미터 규모로 감소하게 되면, 금속 고유의 용융점 보다 현저하게 낮은 온도에서 소결할 수 있게 되므로, 의도하는 접속 배선을 용이하게 제조할 수 있게 된다. 입자 직경이 약 10 nm 이하인 니켈 입자를 전기 전도성 입자로 사용하는 경우, 니켈 입자는 약 100 내지 200 ℃에서 응집하여 일체화하게 된다. 따라서, 가열과 소결에 의해서, 전기 도체를 용이하게 획득할 수 있으며, 결과의 도체가 균질하므로 전기 저항이 낮고 전기 특성이 우수한 배선 패턴을 형성할 수 있게 된다.

나노미터 크기의 은 입자의 페이스트는 유용한 전기 전도성 미세 입자 페이스트의 일례라고 할 수 있다.

본 명세서에서 사용한 은 입자는 입자의 직경이 약 3 내지 7 nm 정도인 은 입자이다. 테트라데칸(tetradecane)과 같은 분산제 중에 은 입자를 용해시켜서 점 도(viscosity)가 약 10 내지 70 mP · s인 페이스트를 얻는다. 이 페이스트의 고형 성분의 함량은 약 40 내지 60 wt%이다. 이 페이스트를 사용하여, 글래스(glass), 폴리이미드 수지, 구리, 니켈 등과 같은 베이스 상에 잉크젯 프린터로 미세 패턴(선폭: 약 10 nm)을 형성할 수 있다. 이 패턴을 약 250 ℃에서 한 시간 동안 소결하면, 경화 후의 은 함량이 약 95 내지 98 %인 접속 배선을 얻을 수 있다.

또한, 상기 나노 사이즈의 미세 입자를 사용하여 제조한 전기 전도성 미세 입자 페이스트는, 종래 기술의 전도성 페이스트를 사용하여 얻어진 것에 비해서 현저하게 균질한 액체상(liquid form)으로 형성될 수도 있다. 따라서 이 전도성 페이스트는 종래 기술의 전도성 페이스트가 충전할 수 없는 미세 구멍(hole)도 충전할 수 있다. 또한 배선 패턴을 형성할 때, 극히 미세한 패턴을 형성할 수 있다. 또한 후술하는 바와 같이 종래 기술에서는 시도하지 않은 잉크젯 시스템

을 사용하여 전도성 페이스트를 인쇄하는 것도 가능해진다.

베이스 상에 전기 전도성 미세 입자를 퇴적하는 단계는 인쇄법(printing)에 의해서 실행되는 것이 바람직하다. 전도성 페이스트를 인쇄법으로 퇴적하는 경우에, 임의의 패턴으로 접속 배선을 형성할 수 있다. 전기 전도성 패턴은 평면 접속 배선을 용이하게 형성할 수 있을 뿐만 아니라 삼차원적으로 연장되는 입체 접속 배선도 용이하게 형성할 수 있다. 상기 전도성 페이스트를 사용하여 삼차원적으로 접속 배선을 형성하는 경우에, 접속 배선은 종래 기술에서 필수였던 비아 홀(via-hole)을 형성하지 않고도 다층(multiple layer)으로 배선 패턴을 형성할 때 층 간을 전기적으로 접속할 수 있다. 본 명세서에서는 배선 패턴을 평면 내에서 형성하 고, 동시에 층간의 층간 전기 접속을 형성한다는 의미로 용어 '접속 배선(connection wiring)'을 특정하게 사용하였다.

전기 전도성 미세 입자 페이스트로부터 접속 배선을 형성하기 위한 유용한 인쇄법에는 잉크젯 시스템에 의한 인쇄법과 디스펜서와 같은 공급 수단을 사용하는 분배(distribution) 인쇄법이 포함되지만, 이들 방법으로 한정되지는 않는다. 디스펜서 등을 채용하는 경우에는, 예를 들어 X-Y 테이블로 디스펜서를 지지하고, 전도성 페이스트를 도포하는 측을 삼차원적으로 이동시키거나 페이스트를 도포할 목표품(target product)을 삼차원적으로 이동시켜서 접속 배선을 형성할 수도 있다.

도 8a 내지 도 8d는, 순차적으로, 잉크젯 인쇄 시스템에 의해서 본 발명의 접속 배선을 형성하는 방법을 나타낸 도면이다. 도면에서는 베이스와 잉크젯 프린터가 간략화된 형상으로 나타내어져 있지만, 이들은 실제로는 구성에 있어서 상당히 더 복잡하다.

먼저, 도 8a에 나타낸 바와 같이, 베이스(여기에서는 실리콘 기판)(11)를 준비한다. 실리콘 기판(11)은 용제(solvent)로 세정한 이후에 사용한다. 전기 전도성 미세 입자 페이스트의 부착(adhesion)을 향상시키기 위해서, 소망의 배선 패턴에 따라서 기판 표면에 페이스트 친화 처리를 할 수도 있다. 예를 들면, 레이저 조사(照射)는 이와 같은 페이스트 친화 처리를 하기 위한 효과적인 방법이다.

다음으로, 도 8b에 나타낸 바와 같이, 전기 전도성 미세 입자 페이스트(31)를 잉크젯 프린터(30)로부터 실리콘 기판(11)의 배선 패턴 형성 영역으로 향해서 분사(噴射)한다. 전도성 페이스트(31)는 도 8c에 나타낸 바와 같이, 얇게 퇴적된 다. 페이스트의 분사는 일반적으로 복수회 수행되는데, 그 이유는 잉크젯 시스템에서 페이스트를 한번 주사해서는 충분한 막 두께를 얻을 수 없기 때문이다.

잉크젯 인쇄가 종료한 이후에, 결과의 박막을 추가적으로 소결하고, 도 8d에 나타낸 바와 같이, 소망의 영역에 소정의 막 두께를 가진 배선 패턴(접속 배선)(14)이 정확하게 형성된다.

전도성 페이스트를 잉크젯 시스템으로 인쇄하는 경우에, 일반적으로 작은 페이스트 방울(droplet)들은 다른 방울과 중첩되어 박막을 형성한다. 그러나 점성도를 조정하는 경우에, 전도성 페이스트는 미세한 태블릿(tablet)(작은 디스크 또는 다른 미세 물체)의 형태로 퇴적된다. 상기 태블릿을 형성하기 위한 수단에는 잉크젯 프린터와 디스펜서가 포함된다.

또한 베이스 상에 미세 태블릿의 형태로 전도성 미세 입자 페이스트를 반복적으로 퇴적시켜서 접속 배선을 형성하는 경우에 접속 배선에 인접하여 형성될 절연막 등은, 도 11을 참고하여 후술하는 바와 같이, 기판(11) 상에 절연막(12)을 형성하는 단계와, 에칭(etching) 등의 종래 기술 방법에 의해서 절연막(12)의 소정의 위치에 미세 구멍(pore)을 개구(open)시키는 단계와, 필요한 숫자의 전도성 태블릿(14)을 충전하는 단계에 의해서 형성된다. 다르게는, 절연막 및 미세 구멍(pore)은 접속 배선의 형성에서와 마찬가지의 방법으로 전기적으로 절연성을 가진 재료로 형성된 태블릿의 퇴적에 의해서 동시에 형성될 수도 있다.

본 발명의 다른 관점에 있어서, 접속 배선은 유리하게는 베이스로서 삼차원 구조를 가진 셀 모양의 지지부를 사용하고, 상기 지지부의 표면에 전도성 미세 입 자 페이스트를 코팅, 퇴적, 충전(packing) 또는 다른 방법으로 적용하는 단계에 의해서 형성될 수 있다. 셀 모양의 지지부를 형성하는데 사용되는 재료는 전기적으로 절연인 재료가 바람직하다. 상기 전기적으로 절연인 재료의 적합한 예로는 에폭시 수지와 폴리이미드 수지가 포함된다. 또는 셀 모양의 지지부는 단독적으로 사용하거나 2 개 이상의 지지부를 조합하여 사용할 수도 있다. 복수의 셀 모양의 지지부를 사용하는 경우, 지지부를 병치시키거나, 임의의 높이로 서로 적층시킬 수도 있다.

셀 모양의 지지부는 다양한 형상 또는 형태로 사용할 수 있다. 예를 들어, 셀 모양의 지지부는 소망의 배선 패턴을 형성하는데 필요한 임의의 형상을 가질 수도 있다. 본 발명의 실시에 있어서, 상술한 형상으로 셀 모양의 지지부를 사용하는 방법에 기초하는 방법을, 특히 '자유 셀법(free cell method)'라고 부른다.

도 9는 상기 자유 셀법을 사용하여 접속 배선을 형성하는 방법을 개념적으로 도시한 단면도이다. 도면에 나타낸 방법에 있어서, 자유 셀(12)은 반도체 기판(11)의 전극 단자 형성면 상에 형성되며, 전도성 미세 입자 페이스트는 상기 반

도체 기판(11)의 상기 전극 단자 형성면으로부터 자유 셀(12)의 표면까지의 범위 내의 부분에 도포되고, 이후에 소결하여 접속 배선(14)을 형성한다. 자유 셀(12)을 형성하는데 적합한 재료로는, 수지 페이스트(resin paste)와 같은 전기적으로 절연성을 가진 것들이 있으며, 디스펜서 등을 사용하여 임의의 형태로 도포하여 형성할 수 있다. 본 방법은 임의 형태로 자유 셀(12)을 형성하고 접속 배선을 형성하기 때문에, 셀의 형태나 그 크기에 있어서 제한은 없다.

또한 셀 모양의 지지부는 소정의 기본 형태를 가질 수도 있다. 특히 동일한 기본 형태를 가진 2 개 이상의 셀 모양의 지지부를 조합하여 소망의 배선 패턴을 형성하는데 필요한 베이스가 주어지는 것이 바람직하다. 본 발명에 있어서, 이상과 같은 기본 형태를 가진 셀 모양의 지지부(들)를 사용하는 방법에 기초하는 방법을, 특히 '기본 셀법(basic cell method)'라고 부른다.

도 10은 상기 기본 셀법을 사용하여 접속 배선을 형성하는 방법을 개념적으로 나타내는 단면도이다. 도시된 예에서는, 절두(truncated) 각뿔 형태의 기본 셀(12)이 사용된다. 기본 셀의 형태는 도면에 도시한 형상으로 제한되지 않으며, 각기둥형(prism), 원기둥형(cylinder) 또는 구형(sphere)일 수도 있다. 반도체 기판(11)의 전극 단자 형성면으로부터 기본 셀(12)의 표면까지에 걸치는 부분에 전도성 미세 입자 페이스트를 도포하고, 이후에 소결하여 접속 배선(14)을 형성한다.

본 발명의 실시에 있어서, 일반적으로 소망의 배선 패턴의 형태에 따라서 2 개 이상의 셀을 조합하여 사용한다. 이런 방식으로, 전도성 미세 입자 페이스트를 사용하여 삼차원적으로 연장되는 입체 접속 배선을 형성할 수 있다. 기본 셀은 일반적으로 도 9를 참조하여 설명한 자유 셀에서와 동일한 방식으로 전기적으로 절연성을 가진 일반 재료를 사용하여 형성된다. 한편, 본 기본 셀법에 있어서, 복수의 기본 셀을 집적하여 배선층 또는 배선 기판을 형성한다. 따라서 디자인(design)에 따라서 커패시턴스를 조정하기 위한 유전체 재료로 형성되는 기본 셀, 열 전달 계수를 조정하기 위한 재료로 형성되는 기본 셀, 열 팽창 계수를 조정하기 위한 재료로 형성되는 기본 셀 등을 조합하여 사용할 수도 있다.

자유 셀법 및 기본 셀법의 변형례로서, 접속 배선은 태블릿, 즉 전도성 재료, 바람직하게는 전도성 미세 입자 페이스트로 형성한 매우 작은 크기로 축소한 셀(마이크로 셀(micro cell), 전도성 마이크로 셀)을 형성하는 단계와, 배선 패턴의 디자인에 따라서 이와 같은 마이크로 셀을 필요한 횟수만큼 퇴적하거나 충전하는 단계에 의해서 제조될 수도 있다. 본 발명에 있어서, 접속 배선을 형성하기 위해서 전도성 마이크로 셀을 사용하는 방법에 기초하는 방법을, 특히 '마이크로 셀법(micro cell method)'라고 부른다.

도 11은 상기 마이크로 셀법을 사용하여 접속 배선을 형성하는 방법을 개념적으로 나타내는 단면도이다. 도시된 방법은, 먼저 반도체 기판(11) 상에 절연막(12)을 형성하고, 에칭 등의 방법에 의해서 미세 구멍(pore)을 형성한다. 다음에 전도성 태블릿(14)을 순차적으로 충전(add)하여 상기 미세 구멍을 막고, 이후에 절연막 상에도 상기 전도성 태블릿(14)을 퇴적한다. 전도성 태블릿(14)은, 예를 들어 잉크젯 시스템에 따라서 기판(11)으로 상기 전도성 페이스트를 비상(飛翔, fly)시키도록 하여 형성할 수도 있다. 다르게는, 디스펜서로부터 기판(11) 상에 전도성 페이스트를 분사하는 방법을 사용하여 전도성 태블릿(14)을 형성할 수도 있다. 이어서 소정 온도에서 전도성 태블릿을 소결하여 접속 배선을 완성할 수 있다.

기판(11) 상에 절연막(12)을 형성하기 위한 방법을, 도 11을 참조하여 설명하였다. 본 발명에서는 상술한 방법 대신에, 전기적으로 절연인 재료로 형성한 태블릿을 절연막(12) 상에도 퇴적하는 것을 권장한다. 다르게는, 절연막(12)의 부분 은 상술한 자유 셀(free cell) 또는 기본 셀의 사용에 의해서 형성될 수도 있다.

도 12 내지 도 18은 각각 본 발명의 배선 구조체를 채용한 반도체 패키지 또는 다층 배선 기판을 개념적으로 나타내는 단면도이다. 이들 단면도가 도 1 내지 도 7을 참조하여 설명한 반도체 패키지 및 다층 배선 기판에 대응하기 때문에, 이들 도면도 동시에 참조해야 한다.

도 12는 와이어 본딩법을 사용하지 않고 제조된 본 발명의 반도체 패키지의 단면도이다. 도시된 반도체 패키지는, 또한, 반도체 소자(예를 들어 LSI 칩)(10)는 도 1에서 나타낸 반도체 패키지와 동일한 방법으로 다이 본딩 페이스트 또는 다이 본딩막을 통해서 배선 기판(11) 상에 탑재된다. 반도체 소자(10) 및 배선 기판(11)은 접속 배선(14)을 통해서 서로 접속되어 있다. 접속 배선(14)은 본 발명에 따라서 자유 셀(12a)을 형성하고, 자유 셀(12a) 상에 전도성 미세 입자 페이스트를 도포하고, 이후에 도 1에 나타낸 방법에서 사용한 본딩 와이어를 사용하지 않고 소성(燒成, baking)을 수행하여 형성된다. 반도체 소자(10) 및 접속 배선(14)은 에폭시 수지 등의 절연 수지(12b)로 밀봉된다. 따라서 이 반도체 패키지는 도 1에서 나타낸 반도체 패키지 보다도 더 작게 제조되며, 또한 본딩 와이어의 단선 등의 문제점도 없게 된다.

도 13 또한 와이어 본딩법을 사용하지 않고 제조된 본 발명의 반도체 패키지의 단면도이다. 도시된 반도체 패키지에 있어서, 제 1 반도체 소자(10a) 및 제 2 반도체 소자(10b)는 반도체 기판 상에 적층된다. 제 1 반도체 소자(10a)에 있어서, 접속 배선(14a)은 본 발명에 따라서 자유 셀(12a)을 형성하는 단계와, 이후에 자유 셀(12a) 상에 전도성 미세

입자 페이스트를 도포하는 단계 및 도 12에서와 마찬가지 방법으로 소결을 수행하는 단계에 의해서 형성될 수 있다. 제 2 반도체 소자(10b)의 경우에 있어서도, 마찬가지로, 접속 배선(14b)은 본 발명에 따라서 자유 셀(12b)을 형성하는 단계와, 이후에 이 자유 셀(12b) 상에 전도성 미세 입자 페이스트를 도포하는 단계 및 소결을 수행하는 단계에 의해서 형성할 수 있다. 반도체 소자(10a, 10b) 및 접속 배선(14a, 14b)은 에폭시 수지 등의 절연 수지(12c)로 밀봉된다.

도 14는 도 2에 나타낸 리프 프레임 패키지를 대신할 수 있는 패키지로서, 본 발명의 배선 구조체를 조립하여 제조된 반도체 패키지의 단면도이다. 도면에 나타낸 패키지의 경우에 있어서, 본 발명의 접속 배선(34)은 리드 단자(lead terminal) 대신에 전도성 미세 입자 페이스트를 사용한 인쇄법에서와 같은 방법에 의해서 형성되며, 절연 수지(36)로 추가적으로 밀봉된다. 반도체 소자(10)의 후면 및 측면은 절연 수지(12)로 밀봉된다. 땜납 범프(35)는 외부 접속 단자로서 배치된다. 도 2에 나타낸 리드 프레임 패키지와 비교하였을 때, 도 14에 나타낸 반도체 패키지는 매우 소형으로 완성된다.

도 15는 플립 칩법을 사용하지 않고 제조된 본 발명의 반도체 패키지의 단면도이다. 도면에 나타낸 반도체 패키지에 있어서, 자유 셀(free cell)로부터 유래하는 절연막(32)은 플립 칩법 대신에 절연 셀 재료로부터 형성되며, 접속 배선(34)은 전도성 미세 입자 페이스트로부터 형성된다. 절연막(32) 및 접속 배선(34)은 절연 수지(33)로 밀봉되며, 외부 접속 단자로서의 범프(35)는 접속 배선(32)에 추 가적으로 부착되어 있다. 도시된 반도체 패키지가 플립 칩을 사용하고 있지 않기 때문에, 크기와 두께를 감소시킬 수 있으며, 용이하게 제조할 수 있게 된다.

도 16은 본 발명에 따라 적용된 재배선된 배선을 가지는 반도체 패키지의 단면도이다. 도면에 나타낸 반도체 패키지에 있어서, 자유 셀로부터 유래하는 절연막(32)은 절연막의 형성, 비아 홀(via hole)의 형성, 상기 비아 홀에 땜납을 충전하는 단계 및 재배선된 배선을 도금하고 패터닝하는 단계와 같은 복잡한 공정을 생략하는 것에 의해서 절연 셀 재료로부터 형성되며, 접속 배선(재배선된 배선 패턴)(34)은 전도성 미세 입자 페이스트로 형성된다. 절연막(32) 및 접속 배선(34)은 절연 수지(33)로 밀봉되며, 외부 접속 단자로서의 땜납 범프(35)는 접속 배선(32)에 부착된다. 도 4에 나타낸 반도체 패키지와는 대조적으로, 도 16에 나타낸 반도체 패키지는 소망의 재배선된 배선 접속을 보다 용이하게 형성할 수 있으며, 또한 더욱 얇게 형성할 수 있다.

도 17은 본 발명에 따른 적층법을 사용하여 제조된 다층 배선 기판의 단면도이다. 도시된 다층 배선 기판은 반도체 소자(예를 들면, 시스템 LSI)의 표면 상에 배선 패턴을 형성하는 단계와, 절연 셀 재료로부터의 자유 셀로부터 유래하는 절연막(42a)을 형성하는 단계 및 전도성 미세 입자 페이스트로부터 접속 배선(44a)을 형성하는 단계에 의해서 제조될 수 있다. 그 후에, 자유 셀로부터 유래하는 절연막(42b)을 절연 셀 재료로부터 형성하고, 접속 배선(44b)을 전도성 미세 입자 페이스트로부터 형성한다. 이어서, 자유 셀로부터 유래하는 절연막(42c)은 절연 셀 재료로부터 형성되고, 접속 배선(44c)은 전도성 미세 입자 페이스트로부터 형성된다. 최종적으로, 접속 배선(44c)은 절연 수지(42d)로 밀봉된다.

도시한 다층 배선 기판에 있어서, 전도성 미세 입자 페이스트를 도포하여 약 5 × 10 ㎛ 정도의 비아(via) 형태와 약 50 ㎛ 정도의 피치(pitch)를 얻을 수 있다. 또한, 자유 셀로부터 유래하는 절연막의 두께가 약 10 ㎛ 정도이기 때문에, 매우 미세한 약 10/10 ㎛ 정도인 선과 공간의 배선 패턴을 형성할 수 있다. 도 17에 타나낸 다층 배선 기판과 도 5 및 도 6에 나타낸 다층 배선 기판을 비교하면, 본 발명에서는 크기가 더 작고 더 소형이며, 배선 밀도가 더 높은 배선 기판을 제조할 수 있다는 점을 알 수 있다.

도 18은 본 발명에 따라 매입 실장법 기술(EMT, embedding mount technology)에 의해서 제조된 반도체 패키지의 단면도이다. 도시된 반도체 패키지는 크기가 서로 다른 개의 반도체 소자(10)를 동일한 표면 수준으로 그리고, 소정의 위치에 배치하고, 절연 셀 재료로부터 자유 셀로부터 유래하는 절연막(42)을 형성하고, 전도성 미세 입자 페이스트로부터 접속 배선(44a)을 형성하는 것에 의해서 제조된다. 이후에 자유 셀로부터 유래하는 절연막(42a)을 절연 셀 재료로부터 형성하고, 접속 배선(44b)은 전도성 미세 입자 페이스트로부터 형성된다. 패키지는 이어서 절연 수지(42c)로 전체가 밀봉된다. 도시된 반도체 패키지에 있어서, 더 작은 EMT 패키지를 더 높은 수율로 더 용이하게 제조할 수 있다.

도 19a 내지 도 19e는 자유 셀법에 따라서, 본 발명의 접속 배선을 형성하는 방법을 나타내는 단면도이다.

먼저, 도 19a에 나타낸 바와 같이, 디스펜서를 통해서 반도체 소자(10)의 전 극 단자 형성면에 셀 재료를 도포하여 제 1 층 셀(12a)을 형성한다. 다음으로, 도 19b에 나타낸 바와 같이, 제 1 층 접속 배선(14a)이 전도성 미세 입자 페이스트의 사용에 의해서 셀(12a)의 표면 상에 형성된다. 접속 배선(14a)은 반도체 소자(10)의 전극 단자에 전기적으로 접속되도록 형성된다. 따라서 셀(12a)이 형성될 때, 셀(12a)의 단부 부분은 전극 단자 형성면 상에 형성된 전극 단자에 위치 맞춤하여 형성된다. 접속 배선(14a)은, 예를 들어 잉크젯 인쇄 시스템에 따라서 소망의 패턴으로 페이스트를 인쇄하여 전도성 페이스트로부터 형성될 수 있다. 스크린 인쇄법(screen-printing method)에서 필요하였던 마스킹 수단은 필요하지 않다.

도면에 나타낸 방법에 있어서, 셀(12a)의 단면 형태는, 도 19a에 나타낸 바와 같이, 전극 단자에 접속되어 있는 에지부에서 더 낮게 되어 있다. 이렇기 때문에, 인쇄법에 의해서 전도성 미세 입자 페이스트를 입체적으로(삼차원적으로) 셀(12a)의 표면 상에 도포하여 접속 배선(14a)을 형성할 수 있게 된다.

상기 셀(12a) 및 접속 배선(14a)을 형성하는 방법으로서, 전극 단자 형성면에 도포된 셀 재료를 가열하고 경화(cure)시키는 단계와, 이후에 셀(12a)의 표면에 전도성 페이스트를 도포하는 단계와, 상기 전도성 페이스트를 가열하고 소결하여 접속 배선(14a)을 형성하는 단계에 관한 방법을 사용할 수도 있다. 또한 소정 형태의 유지 특성을 가지는 셀 재료를 사용하는 것에 의해서 셀(12a)을 형성하는 단계와, 도전성 페이스트를 셀(12a)의 표면에 도포하는 단계와, 셀(12a)과 도전성 페이스트를 가열하는 단계를 포함하고, 따라서 셀(12a)의 경화(curing) 단계와 전도성 미세 입자 페이스트의 소결 단계를 동시에 달성할 수 있는 방법도 사용할 수 있 다.

이어서, 도 19c에 나타낸 바와 같이, 제 1 층 셀(12a) 및 접속 배선(14a)을 덮는 제 2 층 셀(12b)을 형성하기 위해서, 미리 형성된 셀(12a) 및 접속 배선(14a)을 덮도록 셀 재료를 도포한다.

이후에 도 19d에 나타낸 바와 같이, 전도성 페이스트를 사용하는 것에 의해서 제 2 층 접속 배선(14b)이 셀(12b)의 표면 상에 형성된다. 셀(12d) 및 접속 배선(14b)은 상술한 바와 동일한 방법으로 형성될 수 있다.

최종적으로, 도 19e에 나타낸 바와 같이, 셀(12b)과, 접속 배선(14b) 및 반도체 소자(10)의 전극 단자 형성면을 덮어서 제 3 층 셀(12c)을 형성하도록 셀 재료를 도포한다. 복수의 전극 단자는 반도체 소자(10)의 전극 단자 형성면 상에 배치된다. 상기 셀 및 전도성 미세 입자 페이스트를 사용하는 접속 배선의 형성 방법을 사용하는 경우에, 모든 전극 단자에 전기적으로 접속된 접속 배선을 형성할 수 있다.

도 20은 자유 셀법에 의해서 배선 기판 상에 형성되는 반도체 소자와 배선 패턴의 양자에 전기적으로 접속된 반도체 패키지의 일례를 도시한 도면이다.

도시된 반도체 패키지에 있어서, 반도체 소자(10)의 측면과 반도체 소자(10)의 베이스로서의 배선 기판의 표면과의 사이에 형성되는 단차부(step portion)(반도체 소자(10)의 높이에 해당)를 매립(bury)하도록 절연 셀 재료가 도포되며, 접속 배선(14)의 지지부로서의 셀(12)은 반도체 소자(10)의 전극 단자 형성면과 배선 기판의 표면 사이에 형성된다. 다음으로, 반도체 소자(10)의 전극 단자와 배선 기판 의 표면 상에 형성된 배선 패턴(16)을 전기적으로 접속하기 위한 접속 배선(14)이 셀(12)의 표면 상에 형성된다.

접속 배선(14)을 형성하기 위한 본 방법에서 전도성 미세 입자 페이스트를 사용하는 인쇄 방법을 사용하는 경우에, 상술한 바와 같이 입체적으로(삼차원적으로) 용이하게 접속 배선을 형성할 수 있게 된다. 도면에 나타낸 바와 같이, 셀(12)의 표면 상에 접속 배선(14)을 형성하는 경우, 반도체 소자(10)와 배선 패턴(16)이 서로 전기적으로 접속되어 있으면서 반도체 소자(10)를 배선 기판 상에 탑재할 수 있게 된다.

반도체 소자(10)를 배선 기판의 배선 패턴에 접속시키기 위한 방법으로서 종래에는 와이어 본딩법 등이 사용되어 있었다. 그러나 본 실시예에서와 같이 셀(12)과 전도성 페이스트를 사용하는 경우에는, 반도체 소자(10)와 배선 패턴(16)을 서로 용이하게 접속시키고 전기적으로 접속시킬 수 있게 된다. 특히 전도성 미세 입자 페이스트를 사용하는 경우에는, 초고밀도의 배선도 용이하게 형성할 수 있게 된다.

도 21a 및 도 21b는, 순차적으로, 각각의 반도체 소자의 측면 상에 자유 셀을 형성하고, 상기 자유 셀의 외측면 상에 전도성 미세 입자 페이스트의 접속 배선을 형성하기 위한 방법을 사용한 반도체 소자의 적층 및 탑재 방법을 나타내는 도면이다.

도시된 반도체 장치에 있어서, 도 21a에 나타낸 바와 같이, 배선 기판 등의 지지부(1) 상에 반도체 소자(10a)가 지지되어 있고, 제 1 단(stage)의 반도체 소자(10a)의 측면 상에 셀(12)이 형성되어 있다. 전도성 미세 입자 페이스트를 사용하여 셀(12)의 외측면 상에 접속 배선(14)이 더 형성되어 있다. 다음으로, 도 21b에 나타낸 바와 같이, 제 1 단 반도체 소자(10a)의 상부에 제 2 단의 반도체 소자(10b)가 적층되어 있고, 셀(12)은 상기 제 2 단 반도체 소자(10b)의 측면 상에 형성되어 있으며, 상기 제 2 단의 셀(12)의 외측면 상에 접속 배선(14)이 더 형성되어 있다. 제 2 단 셀(12)은 하단의 셀(12)과 접속 배선(14)을 덮도록 절연 셀 재료를 도포하는 것에 의해서 형성될 수 있다. 제 2 단 셀(12) 상에 접속 배선(14)을 형성하는 방법은, 전도성 미세 입자 페이스트를 사용하는 인쇄법에 의해서 수행되는 것이 바람직하다.

도시된 반도체 장치에 있어서, 제 1 단 반도체 소자(10a) 보다 더 큰 반도체 소자는 제 2 단 반도체 소자(10b)로서 탑재된다. 그러나, 상단의 반도체 소자(10b)는 하단의 반도체 소자(10a) 보다 항상 클 필요는 없다. 또한 도면에서는 반도체 소자를 2 단(stage)으로 적층된 일례를 나타내고 있지만, 이 반도체 소자는 그 이상의 단으로 적층(stack)될 수도 있다. 또한 도면에 나타낸 반도체 소자(10a, 10b)는 배선 기판 등의 지지부 상에 적층되어 있지만, 상기 지지부는

배선 기판으로 제한되지는 않으며, 임의의 어떠한 지지부라도 무방하다. 예를 들어, 장치의 케이싱(casing)을 지지부로서 사용할 수도 있다.

종래 기술의 반도체 장치에 있어서, 복수의 반도체 소자를 다른 반도체 소자 상에 적층하고 접속 배선 등에 접속하는 경우, 각각의 반도체 소자와 배선 패턴을 와이어 본딩법으로 전기적으로 접속하는 것이 관례였다. 이와는 대조적으로, 본 발명에 따른 접속 배선의 형성 방법을 사용하는 경우, 와이어 본딩법을 사용하지 않고도 반도체 소자와 배선 패턴을 서로 전기적으로 접속할 수 있게 된다.

도 22a 및 도 22b는, 순차적으로, 상술한 자유 셀법과 유사한 방법에 의해서 접속 배선을 형성하는 다른 실시예를 도시한 도면이다.

도시된 반도체 장치에 있어서, 배선 기판 등의 지지부(1)에 의해서 지지되는 제 1 단 반도체 소자(10a)의 측면과 전극 단자 형성면은 절연막(18)을 형성하기 위해서 셀 재료와 같은, 전기적으로 절연성을 가지는 재료로 덮여져 있으며, 이후에 배선 패턴(14d)이 형성된다. 본 실시예에 있어서, 막 두께 방향으로 절연막(18)을 관통하는 접속 구멍(20)(hole)이 형성되어 단(stage) 사이에서 배선 패턴을 전기적으로 접속하고 있다. 접속 구멍(20)에 전도성 미세 입자를 충전하여 전도성 영역(14c)을 형성한다. 전도성 페이스트의 유동성(fluidity)이 높기 때문에, 접속 구멍(20)의 직경이 극단적으로 작은 경우에라도 용이하게 충전할 수 있으며, 따라서 상기 전도성 영역(14c)을 용이하게 형성할 수 있다.

다음으로, 도 22b에 나타낸 바와 같이, 제 2 단 반도체 소자(10b)가 탑재된다. 제 2 단 반도체 소자(10b)의 측면과 전극 단자 형성면을 절연막(18)을 덮어서 제 2 단의 배선 패턴(14d)을 형성한다. 또한 반도체 소자(10a, 10b)의 전극 형성면을 덮는 절연막(18)의 표면 상에 형성되어지는 배선 패턴(14d)은 전도성 페이스트를 사용하는 인쇄법에 의해서 미세 패턴으로 용이하게 형성할 수 있게 된다.

도 23a 내지 도 23f는, 순차적으로, 전도성 미세 입자 페이스트를 사용하는 인쇄법에 의해서 기판(11)의 표면 상에 배선 패턴을 적층하기 위한 방법을 도시한 도면이다.

도시된 다층 배선 기판의 형성 방법에 있어서, 먼저 도 23a에 나타낸 바와같이 기판(11)의 표면 상에 절연막(18)이 형성되며, 이후에 에칭하여 인접하는 층들 사이에서의 배선 패턴 중에 전기적인 전도(conduction)를 확립하도록 접속 구멍(20)을 형성한다. 다음으로, 도 23b에 나타낸 바와 같이, 접속 구멍(20)(hole)에 전도성 미세 입자 페이스트를 충전하여 전도성 영역(14c)을 형성한다. 이후에 도 23c에 나타낸 바와 같이, 전도성 미세 입자 페이스트를 사용하여 절연막(18)의 표면 상에 배선 패턴(14d)을 형성한다. 다음 층의 배선 패턴을 형성하기 위해서, 도 23d에 나타낸 바와 같이, 제 1 층의 절연층을 덮도록 제 2 층의 절연막(18)이 배치된다. 접속 구멍(20)은 상기 절연막(18)의 필요한 영역에 형성된다. 다음에, 도 23e에 나타낸 바와 같이, 절연막(18) 내에 형성된 접속 구멍(20) 내로 전도성 미세 입자 페이스트를 충전하여 전도성 영역(14c)을 형성한다. 최종적으로, 도 23f에 나타낸 바와 같이, 전도성 미세 입자 페이스트를 사용하는 것에 의해서 제 2 층의 절연막(18)의 표면 상에 배선 패턴(14d)이 형성된다.

이와 같은 다층 배선 기판의 형성 방법에 있어서, 전도성 미세 입자 페이스트를 사용하여 접속 배선(14d)이 전도 영역(14c)을 관통하여 전기적으로 접속된 다층 배선 기판을 얻을 수 있다. 또한 전도성 미세 입자 페이스트를 사용하면 종래 기술에 따른 다층 배선 기판 보다 배선이 현저하게 미세한 배선 기판을 얻는 것이 가능해진다.

도 24a 내지 도 24h는 기본 셀법에 따라서 본 발명의 접속 배선을 형성하기 위한 방법을 나타내는 단면도로, 반도체 장치를 완성하기 위해서 기본 셀과 전도성 미세 입자 페이스트를 사용하고 있다. 전도성 미세 입자 페이스트를 사용하는 입체 (삼차원적) 배선을 제조하기 위해서 기본 셀을 사용한다. 기본 셀은 상술한 자유 셀법에서와 동일한 방식으로 전기적으로 절연성을 가지는 일반적인 재료로 형성된다. 기본 셀법이 복수의 기본 셀을 집적시키는 것에 의해 배선층과, 배선 기판 등을 기본적으로 형성하기 때문에, 계획한 제품의 디자인(design)에 따라서 커패시턴스(capacitance) 등을 조정하기 위한 유전체 재료로 형성된 기본 셀, 열 전도 계수를 조정하기 위한 재료로 형성된 기본 셀 및 열 팽창 계수를 조정하기 위한 재료로 형성된 기본 셀 등을 조합하여 사용할 수도 있다.

도시된 반도체 장치의 형성 방법에 있어서, 도 24a에 나타낸 바와 같이, 반도체 소자(10)의 전극 단자 형성면 상에 기본 셀(22)이 먼저 형성된다. 상기 기본 셀(22)은 마름모꼴의 단면 형태로 형성된다. 후속 단계에서, 측면으로부터 상부면까지 연장되도록 하는 방식으로 전도성 미세 입자 페이스트를 사용하는 인쇄법에 의해서 용이하게 접속 배선을 형성할 수 있다.

다음으로 도 24b에 나타낸 바와 같이, 접속 배선(14)은 반도체 소자(10)의 전극 단자 형성면으로부터 기본 셀(22)의 측면 및 그 상부면까지 연장되도록 하는 방식으로 전도성 미세 입자 페이스트를 사용하여 형성된다. 전도성 미세 입자 페이스트를 사용하는 인쇄법에 따르면, 입체적인 (삼차원적인) 접속 배선(14)을 한번에 형성할 수 있으며, 층간 배선 패턴을 전기적으로 접속시키기 위한 비아 홀 등을 형성할 필요가 없다.

다음으로 도 24c에 나타낸 바와 같이, 제 1 층 절연층을 형성하기 위한 기본 셀(22)과 실질적으로 동일한 두께로 절연막(18)을 형성한다. 절연막(18)이 형성된 이후에, 도 24d에 나타낸 바와 같이, 전도성 미세 입자 페이스트를 사용하는 것에 의해서 절연막(18)의 표면 상에 배선 패턴(14d)을 형성한다.

이후에, 다음 층의 배선 패턴을 형성하기 위해서, 도 24e에 나타낸 바와 같이, 절연막(18)의 표면 상에 기본 셀(22)을 형성한다. 이후에, 도 24f에 나타낸 바와 같이, 이렇게 형성된 기본 셀(22)의 측면 상 및 상부면 상에서 연장되도록 전도성 미세 입자 페이스트를 사용하여 접속 배선(14)을 형성한다. 각각의 기본 셀(22)은 배선 패턴(14)이 층 사이에서 전기적으로 접속되는 위치에 배치되고 위치 맞춤하게 된다.

이어서, 도 24g에 바와 같이, 상술한 바와 동일한 방식으로 제 2 층 절연막(18)이 형성되며, 접속 패턴(14d)은 도 24h에 나타낸 바와 같이, 상술한 바와 동일한 방식으로 절연막(18)의 표면 상에 형성된다.

상술한 바와 같이, 기본 셀(22)과 전도성 미세 입자 페이스트를 사용하여 접속 배선(14)을 형성하는 방법에 따르면, 기본 셀(22) 내에 형성된 접속 배선(14)을 통하여 층 사이에서 배선 패턴(14d)이 전기적으로 접속되어 있는 반도체 장치를 용이하고 소형으로 제조하는 것이 가능해지게 된다.

본 실시예의 방법에 따르면, 필요한 반도체 장치 또는 패키지 구조는 전극 단자의 배치 및 제품 디자인에 따라서 어느 정도까지는 규격화되어 형성된 기본 셀(22)을 사용하여 구성할 수 있다.

도 25는 기본 셀(22)을 사용하여 반도체 소자(10)의 전극 단자 형성면 상에 접속 배선을 형성하기 위한 다른 방법을 나타낸 도면이다. 도면은 각각의 층 내에서의 기본 셀(22)의 평면 배치를 나타내고 있다. 또한 실제로는, 도 24h에 나타낸 바와 같이 절연막(18)은 기본 셀(22)과 동일한 층 내에 형성된다.

도 25에 나타낸 바와 같이, 기본 셀은 일반적인 절연 재료로 형성되는 기본 셀(22a), 열 팽창 계수를 조정하기 위한 기본 셀(22b), 열 전달 계수를 조정하기 위한 기본 셀(22c) 및 커패시턴스 등을 조정하기 위한 유전체 재료로 형성되는 기본 셀(22d)의 조합을 포함하고 있다. 전극 단자(101)는 전극 단자 형성면 상에 형성된다.

따라서 다양한 기능을 가지는 서로 다른 기본 셀(22)을 조합하여 사용함으로써 종래 기술에서는 결코 달성할 수 없었던 소형 크기에 특징적인 기능과 복합 기능을 나타내는 반도체 장치를 제공할 수 있게 된다. 도시된 반도체 장치에서 전도성 페이스트로부터 접속 배선(14)이 형성되기 때문에, 접속 배선(14)은 매우 미세한 패턴으로 형성될 수 있게 된다. 따라서, 전극 단자(101)에 접속되어 있는 접속 배선(14)은 도면에 도시한 바와 같이 용이하게 형성될 수 있으며, 접속 배선(14)은 반도체 소자(10)의 전극 단자 형성면 내에 임의의 패턴으로 형성될 수 있게 된다.

기본 셀(22)과 전도성 미세 입자 페이스트를 조합하는 것에 의해서 접속 배선을 형성하기 위한 상술한 방법은, 도 26 내지 도 28에서 나타낸 셀 집적 모듈(cell integrated module) 및 셀 집적 모듈 보드를 제조하는데 바람직할 수 있다.

도 26 및 도 27에 나타낸 셀 집적 모듈에 있어서, 반도체 소자(10) 및 회로 부품(23)은 셀 집적체(24)와 접속 배선(14)을 통해서 전기적으로 접속되어 있으며, 기판(11) 상에 지지되어 있다. 셀 집적체(24)에 있어서, 기본 셀(22) 및 절연막(18)은 필요한 접속 배선(14)을 내층(inner layer)으로서 구성한다. 참조 부호 26은 탑재하기 위한 외부 접속 단자를 나타낸다. 셀 집적 모듈의 형성에 있어서, 도 26에 나타낸 바와 같이 기판(11) 상에 회로 부품을 평면 방향으로 탑재할 수도 있고, 도 27에 나타낸 바와 같이 회로 부품을 삼차원적으로 배치할 수도 있다.

도 28에 나타낸 셀 집적 모듈 보드에 있어서, 다양한 기본 셀(22) 및 반도체 소자 등의 다양한 회로 부품(23a, 23b, 23c, 23d)은 서로 조합되어서 보드 형상으로 형성되어 있다. 기본 셀(27)에 대한 것으로도, 다양한 크기의 다양한 재료로 형성된 기본 셀이 복합적으로 사용된다. 기본 셀(22)과 회로 부품(23a 내지 23d)을 조합하여 사용하는 경우와 복합 형상으로 사용하는 경우 및 접속 배선(14)이 전도성 미세 입자 페이스트로부터 형성되는 경우에, 임의의 형상을 가진 셀 집적 모듈 보드를 제조할 수 있게 된다. 상기 미세 배선(wire)은 기본 셀(22) 및 전도성 페이스트를 사용하는 것에 의해서 임의로 형성되며, 미세한 전극 단자가 배치된 반도체 소자와 같은 회로 부품을 조립하는 것에 의해서 용이하게 보드를 얻을 수 있게 된다. 반도체 소자를 회로 부품과 조합하는 경우에, 본 실시예는 다양한 제품과 대응할 수 있게 된다.

도 29 및 도 30은 상술한 기본 셀보다도 더 미세한 마이크로 셀(micro cell) 을 사용하여 접속 배선을 형성하기 위한 방법을 나타내는 도면이다.

도 29는 접속 배선을 형성하기 위해서 반도체 소자(10)의 전극 단자 형성면 상에 마이크로 셀(40a, 40b)이 배치된 상태를 나타내는 도면이다. 여기에서 마이크로 셀(40a)은, 전도성 미세 입자 페이스트를 사용하여 마이크로 셀 형태로 형성된 전도성을 가지는 배선용의 마이크로 셀이다. 마이크로 셀(40b)은 전기적으로 절연성을 가지는 재료를 사용하여 마이크로 셀 형태로 형성된 절연 마이크로 셀이다. 마이크로 셀(40a, 40b)은, 예를 들어 잉크젯 시스템이나 디스펜

서 등에 의해서 점 형태(dot shape)(마이크로 셀)로 재료를 도포하는 방법에 의해서 형성될 수 있다. 마이크로 셀을 평면 내의 임의의 위치에 배치하고 적층한 경우에, 임의의 입체 배치(삼차원적인 배치)를 얻을 수 있다. 본 실시예에서의 반도체 소자(10)의 전극 단자(101) 등 보다도 충분히 더 작게 마이크로 셀(40a, 40b)을 형성할 수 있기 때문에, 전극 단자(101)의 영역 내부에 복수의 마이크로 셀을 배치시킬 수 있게 된다.

도 30은 삼차원적으로 마이크로 셀(40a, 40b)을 배치시켜 접속 배선(14)이 반도체 소자(10)의 전극 단자(101)에 전기적으로 접속된 상태를 단면 방향으로 보았을 때의 상태를 나타내는 도면이다. 배선용의 마이크로 셀(40a) 및 절연성을 가지는 마이크로 셀(40b)을 이와 같은 방식으로 상호 조합하는 경우에, 접속 배선을 임의의 패턴으로 형성할 수 있으며, 내층으로 형성할 수 있게 된다.

상술한 실시예에서 나타낸 바와 같이, 마이크로 셀(40a, 40b)을 사용하는 것에 의해서 접속 배선을 형성하기 위한 방법에 따르면, 매우 미세하게 배선을 형성 할 수 있으며, 따라서 미세한 배선 패턴을 필요로 하는 반도체 장치의 제조용으로 적합하게 사용할 수가 있게 된다. 본 방법은 또한 소형 반도체 장치의 제조 방법으로서도 효과적으로 사용할 수 있게 된다. 또한 상기 마이크로 셀(40a, 40b)을 임의의 패턴으로 배치할 수 있기 때문에, 접속 배선(14)을 임의적으로 형성할 수 있게 되고, 따라서, 마찬가지로 임의적인 삼차원 배선체를 용이하게 형성할 수 있게 된다. 따라서 접속 배선을 형성하기 위한 본 방법은 다양한 응용에 적합한 제품에 및 다양한 형상을 가지는 제품에 적용할 수 있게 된다. 마이크로 셀을 사용하는 것에 의해서 접속 배선을 형성하기 위한 방법은 셀의 가열 및 소결을 용이하게 수행할 수 있도록 하며, 접속 배선을 실질적으로 건식(dry) 시스템으로 형성할 수 있도록 하는 장점도 있다.

본 발명의 배선 구조체는 유리하게는 다른 형상으로 수행될 수도 있다.

도 31a 내지 도 31e는 각각 본 발명의 배선 구조체가 내장 조립되어 있는 반도체 패키지의 단면도를 나타내는 도면이다. 이들 반도체 패키지는 상술한 도 12를 참조하여 설명한 반도체 패키지와 유사한 구조를 가지고 있다. 하지만, 제조 비용을 감소시키고 응용의 범위를 확장하기 위해서는, 이들 반도체 패키지는 기판을 구비하지 않는 형상으로 제공된다. 도면에 도시한 반도체 패키지는 작업대(workbench)(도시하지 않음) 상에서 제조 공정을 수행하는 경우에 기판을 사용하지 않고도 용이하게 생성할 수 있다. 따라서 도면에 도시한 반도체 패키지는 '에코(eco, economical) 패키지' 라고 부를 수 있다.

도 31a에 나타낸 반도체 패키지는 반도체 패키지(10)를 작업대(도시하지 않 음) 상에 올려두고, 반도체 소자(10)의 전극 단자 형성면 상에 자유 셀(12a)을 형성하는 것에 의해서 제조할 수 있다. 다음에 전도성 미세 입자 페이스트를 사용하여 각각의 자유 셀(12a)의 측면으로부터 상부면까지 걸치는 영역에 인쇄하는 것에 의해서 접속 배선(14)이 형성되며, 절연막(12b)은 접속 배선(14)을 덮도록 하는 방식으로 추가적으로 형성된다. 이후에 작업대를 제거하고, 외부 접속 단자(땜납 범프)(35)를 접속 배선(14)의 노출된 단부면에 부착시킨다. 도 31b 내지 도 31e에 나타낸 반도체 패키지는 접속 배선 등의 배치 패턴이 어느 정도 다름에도 불구하고, 도 31a에 나타낸 것과 동일한 방식으로 제조될 수 있다. 배치 패턴의 변경에 따라서 소망의 크기의 반도체 패키지로 조절할 수 있게 된다.

도 32는 종래 기술의 리드 프레임 금형 패키지를 대신할 수 있는 것으로서, 본 발명의 배선 구조체를 조립하여 제조한 반도체 패키지의 단면도이다. 패키지의 크기와 두께를 감소시키기 위해서, 반도체 소자(10)는 배선 패턴(38)을 가지는 배선 기판(37)의 개구부(opened portion)에 수용되어 있으며, 갭(gap)은 필러(filler)(39)로 밀봉되어 있다. 종래 기술의 방법에 따르면, 패키지는 리드 프레임과 본딩 와이어(bonding wire)를 사용하여 제조되고 있으나, 본 발명의 도면에 나타낸 반도체 패키지는 상술한 배선 소자 대신에 전도성 미세 입자 페이스트로 형성된 접속 배선(34)을 사용하고 있다. 패키지의 배선면(wiring surface)은 절연막(36)으로 덮혀 있다.

도 33은 플립 칩법을 사용하지 않고 제조된 본 발명에 따른 반도체 패키지의 단면도이다. 종래 기술의 방법에 따르면, 반도체 소자는 플립 칩 본딩법에 의해서 배선 기판 상에 탑재된다. 그러나 본 발명의 도면에 나타낸 반도체 패키지에 있어서, 반도체 소자(10)는 전도성 미세 입자 페이스트로 형성되고, 본 발명에 따라서 소정의 패턴으로 형성한 접속 배선(34)을 포함하는 배선 지지부에 직접 탑재되며, 절연 수지(32)는 각각의 접속 배선(34)을 밀봉하고 있다. 또한 외부 접속 단자(땜납 범프)(35)가 부착된다.

도 34는 내부에 본 발명의 배선 구조체를 조립한 VMT(virtual mount technology) 보드의 단면도이다. 여기에서 용어 'VMT 보드(VMT board)'는 부품 또는 부품(part)이 배선 보드 상에 전기적으로 접속되어 있는 보드를 의미하는게 아니므로, 전자 장치의 형태는 배선 보드(wiring board)로만 한정되지 않는다. 상기 VMT 보드는 상술한 바와 같이 본 발명에 따른 배선 구조체의 제조 방법을 사용한 프로그램 가능한 패키지에 의해서 임의의 형태로 전자 장치가 구성되는 배선 구조체를 의미한다.

도 34에 나타낸 VMT 보드는 자동차의 차체 또는 헬멧 등과 같은 삼차원의 곡선을 가지는 제품(도시하지 않음)에 본 발명의 배선 구조체를 적용한 일례를 나타낸다. 도면에 나타낸 VMT 보드는 복잡한 구성을 갖지만, 본 발명에 따라서 자유 셀의 표면 상에 전도성 미세 입자 페이스트로부터 접속 배선을 형성하는 단계를 반복하는 것에 의해서 소망의

보드를 용이하게 제조할 수 있다. 즉 상기 VMT 보드는,

자유 셀(12a)을 형성하는 단계와, 이후에 전도성 미세 입자 페이스트를 사용하는 인쇄법에 의해서 셀(12a)의 상부면 상에 접속 배선(14a)을 형성하는 단계와,

자유 셀(12b)을 형성하는 단계와, 이후에 전도성 미세 입자 페이스트를 사용하는 인쇄법에 의해서 셀(12b)의 상부면 상에 접속 배선(14b)을 형성하는 단계와,

자유 셀(12c)을 형성하는 단계와, 이후에 전도성 미세 입자 페이스트를 사용하는 인쇄법에 의해서 셀(12c)의 상부면 상에 접속 배선(14c)을 형성하는 단계와,

자유 셀(12d)을 형성하는 단계와, 이후에 전도성 미세 입자 페이스트를 사용하는 인쇄법에 의해서 셀(12d)의 상부면 상에 접속 배선(14d)을 형성하는 단계와,

2 개의 칩 부품(50)을 소정의 위치에 탑재하는 단계와,

자유 셀(12e)을 형성하는 단계와, 이후에 전도성 미세 입자 페이스트를 사용하는 인쇄법에 의해서 셀(12e)의 상부면 상에 접속 배선(14e)을 형성하는 단계 및

절연 수지(12f)를 사용하여 기판 전체를 밀봉하는 단계에 의해서 제조할 수 있다.

또한 도 35는 본 발명의 배선 구조체가 내부에 조립된 내장 DMFC(direct methanol fuel cell)형 연료 전지를 가지고 있는 디스플레이 VMT 보드의 단면도이다. 여기에서 'DMFC형 연료 전지(DMFC type fuel cell)'라는 단어는 폴리머 고체 전해질형 연료 전지 또는 소위 PEFC(polymer solid electrolyte type fuel cell)와 같은 메탄올을 직접 공급하는 연료 전지를 나타낸다.

도 35에 나타낸 디스플레이 VMT 보드를 참조하면, DMFC형 연료 전지(59) 및 반도체 소자(예를 들어 LSI 칩)(61)가 기판(51) 상에 탑재되어 있고, 연료 전지(59) 및 이미지 디스플레이 장치(예를 들어 액정 디스플레이)(62)는 배선 패턴(도시하지 않음)을 통해서 서로 전기적으로 접속되어 있다. 연료 전지(59)는, 예를 들어 백금이나 나노 카본(nano carbon)으로 형성한 양극(anode) 전극 배선(54)과, 퍼플루오르술폰산(perfluorosulfonic acid)계 폴리머로 형성한 전해질 막(55)과, 예를 들어 백금 또는 나노 카본으로 형성한 음극 전극 배선(56)과, 양극측 채널(57) 및 음극측 채널(58)을 포함하는 배선 구조체를 포함하고 있다. 메탄올(MeOH)은 연료로서 상기 양극측 채널(57)로 공급되며, 공기는 산화제(oxidizing agent)로서 음극층 채널(58)로 공급된다.

도 35에 나타낸 디스플레이 VMT 보드에 있어서, 배선 구조체는, 본 발명의 방법에 따라서, 예를 들어 도 36a 내지 도 36f에서 개념적으로 나타낸 것과 같이 제조되는 것이 바람직하다. 설명을 간단하게 하기 위해서, 이들 도면에 나타낸 배선 구조체는 도 35에 나타낸 보드와 정확하게 대응하지는 않는다.

먼저, 도 36a에 나타낸 바와 같이, 절연 수지 기판(51) 상에 기본 셀(52a, 52b)을 순차적으로 형성한다. 이들 기본 셀(basic cell)은 후속 공정에서 제거되고, 채널(유동 경로)을 형성할 수 있는 더미형(dummy) 셀 모양의 지지부(더미 셀(dummy cell))이다. 상기 더미 셀은 삼각형의 단면 형태를 가지고 있다. 기본 셀은 테플론(Teflon ™, 등록 상표) 등의 불소 불소 함유형 재료 또는 실리콘계 재료로 형성하는 것이 바람직하다. 다음에, 기본 셀(52b) 상에 수지 기판(51)에서와 동일한 수지로 절연막(53a)을 형성하고, 이후에 수지 기판(51)의 표면으로부터, 기본 셀(52a)의 표면 및 절연막(53a)의 상부면에 걸쳐 연장되도록 양극 전극 배선(54)을 형성한다. 본 발명에 따른 전도성 미세 입자 페이스트를 사용하는 인 쇄법과 같은 방법에 의해서 양극 전극 배선(54)을 용이하게 또한 정확하게 형성할 수 있다.

다음에, 도 36b에 나타낸 바와 같이, 이전 단계에서 형성된 양극 전극 배선에 인접하여 전해질 막(55)을 형성한다. 전해질 막(55) 또한 본 발명에 따른 퍼플루오르술폰산계 폴리머를 사용하는 인쇄법에 의해서 용이하게 또한 정확하게 형성할 수 있다.

상술한 바와 같이 양극 전극 배선(54) 및 전해질 막(55)을 형성한 후에, 도 36c에 나타낸 바와 같이, 양극 전극 배선(54)에서와 동일한 방식으로 음극 전극 배선(56)을 형성한다.

이어서, 채널 형성 단계로 이행하기 위해서, 도 36d에 나타낸 바와 같이, 기본 셀(52a, 52b)을 제거하고 새로운 기본 셀(52c, 52d)을 도포한다.

절연막(53b)은 도 36e에 나타낸 바와 같이, 기본 셀(52d)의 상부면 상에 형성된다. 절연막(53b)은 절연막(53a)에서와 동일한 방식으로 형성된다.

최종적으로, 기본 셀(52c, 53d)을 가로 방향으로 이동시켜서 제거하면, 도 36f에 나타낸 바와 같이, 양극측 채널(57)과 음극측 채널(58)을 가진 배선 구조체를 얻을 수 있다. 도면에서는 도시하지 않았지만, 본 발명에 따른 전도성 미세 입자 페이스트의 인쇄법을 통해서 화상 표시 장치의 배선 등(도시하지 않음)도 용이하게 형성할 수 있다.

산업상 이용 가능성

상술한 바와 같이, 미세한 전도성 페이스트를 사용하여 배선을 형성하기 때 문에, 본 발명은 매우 미세한 배선도 용이하게 형성할 수 있다. 유사하게 전도성 페이스트를 사용하는 종래 기술의 경우와 비교하였을 때, 본 발명은 훨씬 더 고밀도로 배선을 형성할 수 있다. 결과의 접속 배선은 종래 기술의 와이어 본딩법에서 관찰되었던 단선과 단락이 없다. 미세 전도성 페이스트를 사용하여 인쇄법 등에 의해서 접속 배선을 셀 표면 상에 형성하기 때문에 다양한 배선을 용이하게 형성할 수 있으며, 반도체 소자 이외에도 내부에 조립되는 모듈 등의 다양한 복합 제품의 제조용으로 본 발명을 적절하게 사용할 수 있게 된다. 또한 본 발명은 고수율로 또한 고밀도로 미세 배선이 분산된 배선 구조체를 용이하게 제공할 수 있다.

(57) 청구의 범위

청구항 1.
소자 끼리 또는 소자와 다른 구성 소자를 전기적으로 접속하기 위한 접속 배선을 포함하는 배선 구조체에 있어서,

상기 접속 배선은 분산제 중에 분산된 100 nm 이하의 직경을 가진 전기(電氣) 전도성 미세 입자를 포함하는 전기 전도성 미세 입자의 페이스트를 소정의 배선 패턴에 따라서 전기 절연성 베이스 상에 퇴적(堆積)하고, 이렇게 형성된 배선 전구체(precursor)를 소결하여(sintered) 형성된 소결품인 것을 특징으로 하는 배선 구조체.

청구항 2.
제 1 항에 있어서,

상기 접속 배선은 평면적으로 연장되어 있는 배선과, 삼차원적으로 연장되어 있는 배선 및 절연막을 관통하는 배선으로 구성되는 그룹에서 선택되는 배선, 또는 이들 배선의 조합을 포함하는 것을 특징으로 하는 배선 구조체.

청구항 3.
제 1 항 또는 제 2 항에 있어서,

상기 전기 전도성 미세 입자 페이스트 내의 상기 전기 전도성 미세 입자는 금, 은, 구리, 백금, 니켈, 팔라듐, 주석 또는 이들의 산화물 또는 합금으로 구성되는 그룹으로부터 선택되는 금속의 미세 입자인 것을 특징으로 하는 배선 구조체.

청구항 4.
제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 배선 전구체는 잉크젯 시스템에 의해서 상기 미세 입자 페이스트를 상기 베이스 상에 분사(噴射)하고, 소정의 두께로 상기 미세 입자 페이스트를 퇴적하여 형성된 퇴적품인 것을 특징으로 하는 배선 구조체.

청구항 5.
제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 배선 전구체는 상기 미세 입자 페이스트를 미세 태블릿(tablet)의 형태로 상기 베이스 상에 순차적으로 퇴적시켜서 형성되는 퇴적품인 것을 특징으로 하는 배선 구조체.

청구항 6.
제 5 항에 있어서,

상기 태블릿은 잉크젯 시스템에 의해서 상기 베이스 상에 상기 미세 입자 페이스트를 분사(噴射)하여 형성되는 것을 특징으로 하는 배선 구조체.

청구항 7.
제 5 항에 있어서,

상기 태블릿은 상기 미세 입자 페이스트를 디스펜서(dispenser)로부터 상기 베이스 상에 토출하여 형성되는 것을 특징으로 하는 배선 구조체.

청구항 8.
제 5 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 배선 전구체는 상기 베이스 상에 미세 태블릿의 형태로 상기 미세 입자 페이스트를 순차적으로 퇴적시키는 것에 의해서 형성된 퇴적품이며, 상기 배선 전구체에 인접하여, 절연막이 전기적으로 절연성을 가지는 재료의 태블릿을 퇴적하여 형성되어 있는 것을 특징으로 하는 배선 구조체.

청구항 9.
제 1 항 내지 제 8 항 중 어느 한 항에 있어서,

상기 베이스는 삼차원 입체 구조를 가지는 하나 또는 그 이상의 셀(cell) 모양의 지지부를 포함하며, 상기 지지부의 각각은 전기적으로 절연성을 가지는 재료로 형성되어 있는 것을 특징으로 하는 배선 구조체.

청구항 10.
제 9 항에 있어서,

상기 셀 모양의 지지부는 소망의 배선 패턴을 형성하기 위해 필요한 임의의 형태를 가지는 것을 특징으로 하는 배선 구조체.

청구항 11.
제 9 항에 있어서,

상기 셀 모양의 지지부의 각각은 소정의 기본 형태를 가지고 있으며, 소망의 배선 패턴을 형성하기 위해 필요한 베이스는 2 개 이상의 상기 지지부의 조합으로 제공되는 것을 특징으로 하는 배선 구조체.

청구항 12.
제 9 항 내지 제 11 항 중 어느 한 항에 있어서,

전기적으로 절연인 재료로 형성된 상기 셀 모양의 지지부와 조합하여, 유전 체 재료로 형성된 셀 모양의 지지부와, 열전도 계수를 조정할 수 있는 재료로 형성된 셀 모양의 지지부 및/또는 열 팽창 계수를 조정할 수 있는 재료로 형성된 셀 모양의 지지부를 더 포함하는 것을 특징으로 하는 배선 구조체.

청구항 13.
제 1 항 내지 제 12 항 중 어느 한 항에 있어서,

적어도 하나의 반도체 소자를 가지고 있는 반도체 장치 위에 또는 내에 조립되는 것을 특징으로 하는 배선 구조체.

청구항 14.
제 1 항 내지 제 12 항 중 어느 한 항에 있어서,

다층 배선 기판 위에 또는 내에 조립되는 것을 특징으로 하는 배선 구조체.

청구항 15.
소자 끼리 또는 소자와 다른 구성 소자를 전기적으로 접속하기 위한 접속 배선을 포함하는 배선 구조체의 제조 방법에 있어서,

분산제 중에 분산된 100 nm 이하의 직경을 가진 전기 전도성 미세 입자를 포함하는 전기 전도성 미세 입자의 페이스트를 소정의 배선 패턴에 따라서 전기 절연성 베이스 상에 퇴적하는 단계와,

상기 접속 배선을 형성하기 위해서, 이렇게 형성된 배선 전구체를 소정 온도에서 가열하고 소결하는 단계를 포함하는 것을 특징으로 하는 배선 구조체의 제조 방법.

청구항 16.
제 15 항에 있어서,

평면 방향으로 연장되는 상기 베이스의 표면, 삼차원 입체적으로 연장되는 상기 베이스의 표면 또는 상기 베이스 내에 형성된 개구 중의 어느 하나에 상기 전기 전도성 미세 입자 페이스트를 퇴적하는 단계를 더 포함하는 것을 특징으로 하는 배선 구조체의 제조 방법.

청구항 17.
제 15 항 또는 제 16 항에 있어서,

상기 전기 전도성 미세 입자 페이스트로 사용되는 것으로서는 상기 전기 전도성 미세 입자가 금, 은, 구리, 백금, 니켈, 팔라듐, 주석 또는 이들의 산화물이나 합금으로 구성되는 그룹으로부터 선택된 금속의 미세 입자인 페이스트인 것을 특징으로 하는 배선 구조체의 제조 방법.

청구항 18.
제 15 항 내지 제 17 항 중 어느 한 항에 있어서,

상기 배선 전구체는 잉크젯 시스템에 의해서 상기 미세 입자 페이스트를 상기 베이스 상에 분사(噴射)하여, 소정의 두께를 가지는 상기 배선 전구체를 형성하는 것을 특징으로 하는 배선 구조체의 제조 방법.

청구항 19.
제 15 항 내지 제 18 항 중 어느 한 항에 있어서,

상기 배선 전구체는 미세 태블릿의 형태로 상기 미세 입자 페이스트를 상기 베이스 상에 순차적으로 퇴적시켜서 형성되는 것을 특징으로 하는 배선 구조체의 제조 방법.

청구항 20.
제 19 항에 있어서,

상기 태블릿은 잉크젯 시스템에 의해서 상기 미세 입자 페이스트를 상기 베이스 상에 분사(噴射)하여 형성되는 것을 특징으로 하는 배선 구조체의 제조 방법.

청구항 21.
제 19 항에 있어서,

상기 미세 입자 페이스트는 디스펜서로부터 상기 베이스로 토출되어 상기 태블릿을 형성하는 것을 특징으로 하는 배선 구조체의 제조 방법.

청구항 22.
제 19 항 내지 제 21 항 중 어느 한 항에 있어서,

상기 배선 전구체는 미세 태블릿의 형태로 상기 미세 입자 페이스트를 순차적으로 상기 베이스에 퇴적하여 형성되며, 절연막은 전기적으로 절연성을 가지고 있는 태블릿을 퇴적하는 것에 의해서 상기 배선 전구체에 인접하여 형성되는 것을 특징으로 하는 배선 구조체의 제조 방법.

청구항 23.
제 15 항 내지 제 22 항 중 어느 한 항에 있어서,

셀 모양의 지지부는 전기적으로 절연인 재료로부터 형성되며, 상기 베이스는 하나 또는 그 이상의 상기 셀 모양의 지지부를 조합하여 형성되는 것을 특징으로 하는 배선 구조체의 제조 방법.

청구항 24.
제 23 항에 있어서,

상기 셀 모양의 지지부는 소망의 배선 패턴을 형성하기 위해서 필요한 형태를 가지도록 형성되는 것을 특징으로 하는 배선 구조체의 제조 방법.

청구항 25.
제 23 항에 있어서,

상기 셀 모양의 지지부는 각각 소정의 기본 형태로 형성되고, 2 개 이상의 상기 지지부를 조합하여 소망의 배선 패턴을 형성하기 위해서 필요한 상기 베이스를 형성하는 것을 특징으로 하는 배선 구조체의 제조 방법.

청구항 26.
제 23 항 내지 제 25 항 중 어느 한 항에 있어서,

유전체 재료로 형성된 셀 모양의 지지부, 열 전도 계수를 조정할 수 있는 재료로 형성된 셀 모양의 지지부 및/또는 열 팽창 계수를 조정할 수 있는 재료로 형성된 셀 모양의 지지부를, 전기적으로 절연인 재료로 형성된 상기 셀 모양의 지지부와 조합하여 사용하는 것을 특징으로 하는 배선 구조체의 제조 방법.

청구항 27.
제 15 항 내지 제 26 항 중 어느 한 항에 있어서,

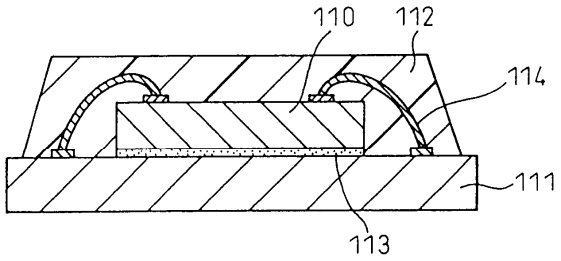
상기 배선 구조체는 적어도 하나의 반도체 소자를 가지고 있는 반도체 장치의 제조 공정에서 제조되는 것을 특징으로 하는 배선 구조체의 제조 방법.

청구항 28.
제 15 항 내지 제 26 항 중 어느 한 항에 있어서,

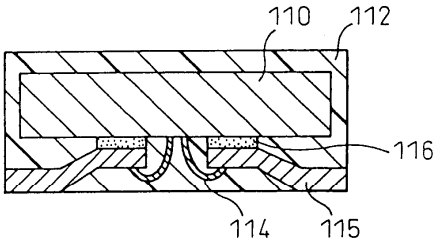
상기 배선 구조체는 다층 배선 기판의 제조 공정에서 제조되는 것을 특징으로 하는 배선 구조체의 제조 방법.

도면

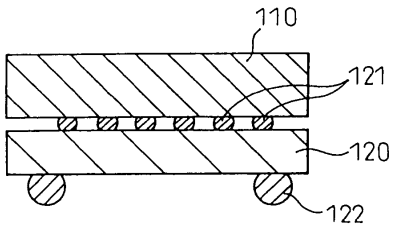
도면1



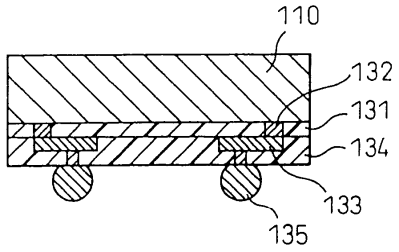
도면2



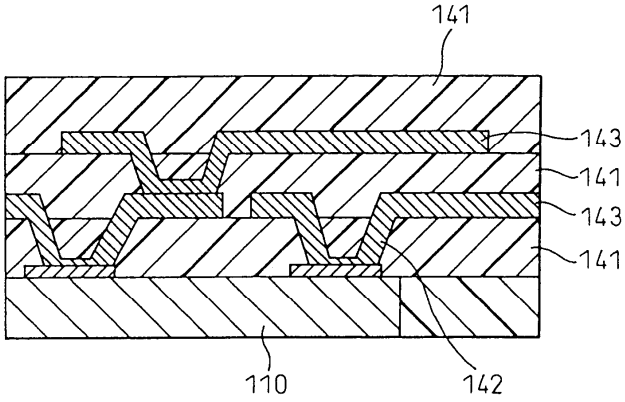
도면3



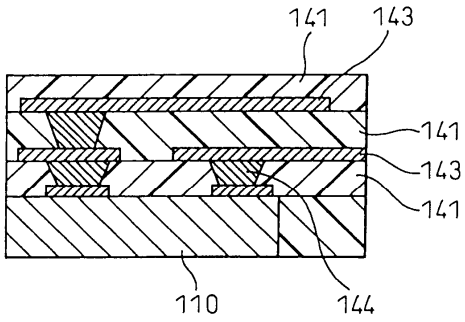
도면4



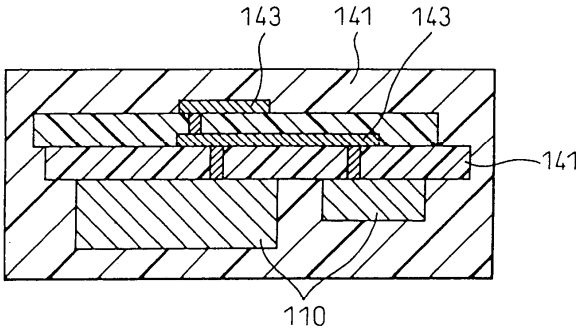
도면5



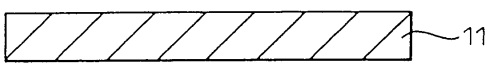
도면6



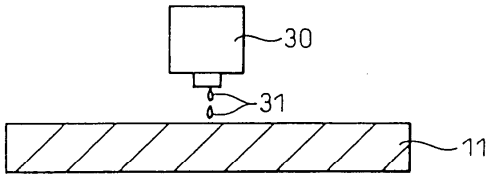
도면7



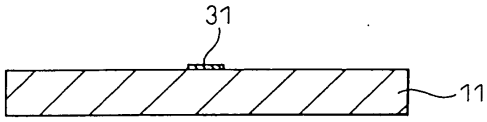
도면8a



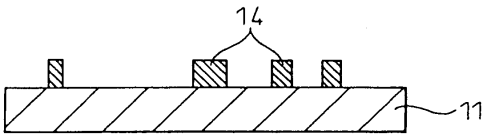
도면8b



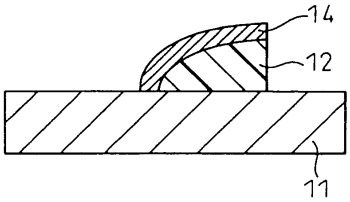
도면8c



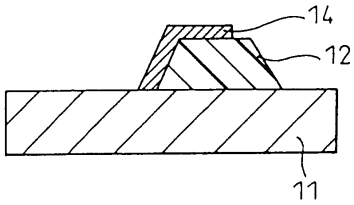
도면8d



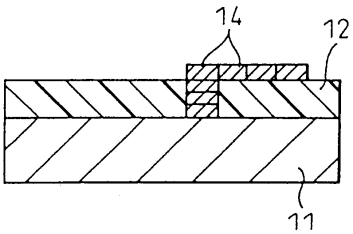
도면9



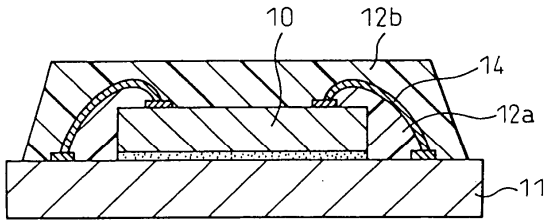
도면10



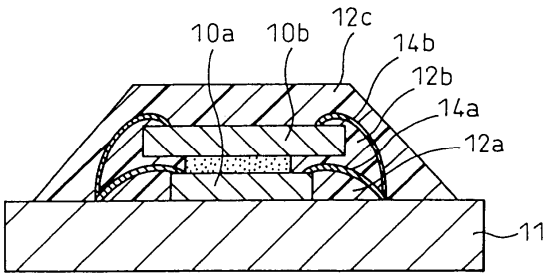
도면11



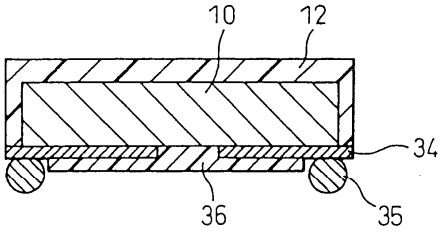
도면12



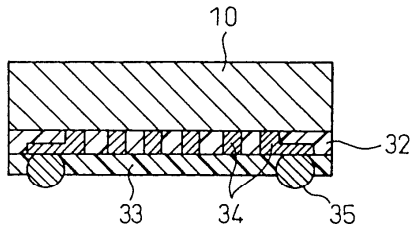
도면13



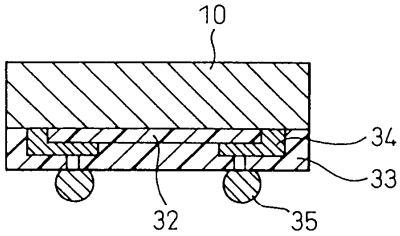
도면14



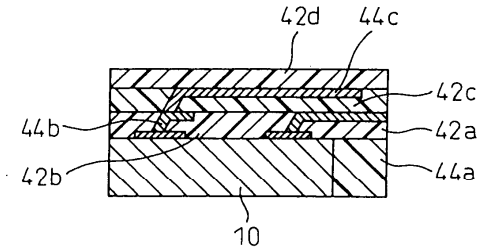
도면15



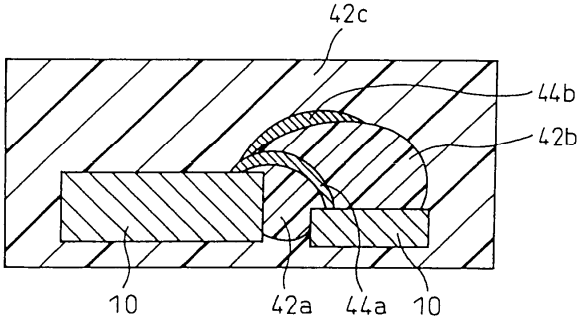
도면16



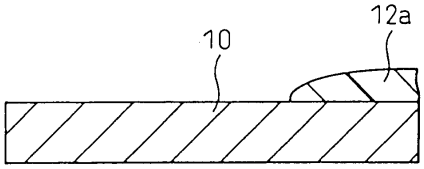
도면17



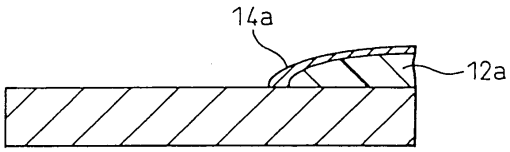
도면18



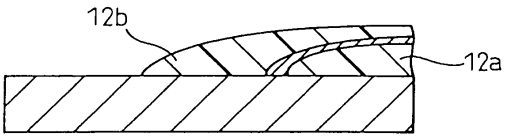
도면19a



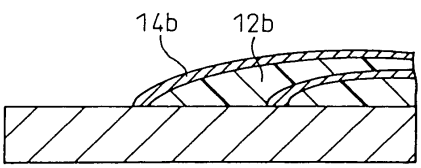
도면19b



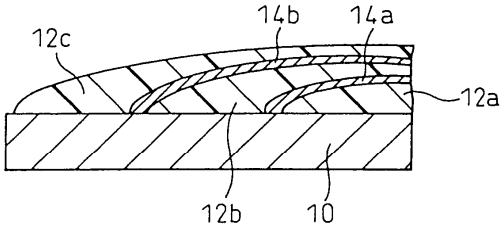
도면19c



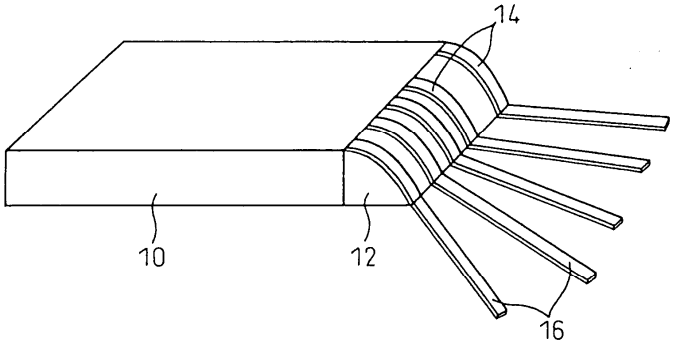
도면19d



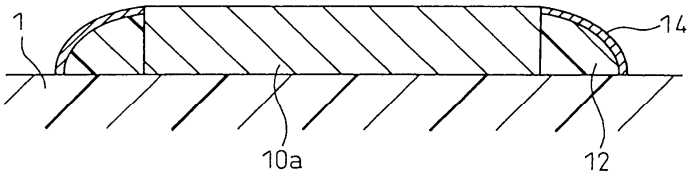
도면19e



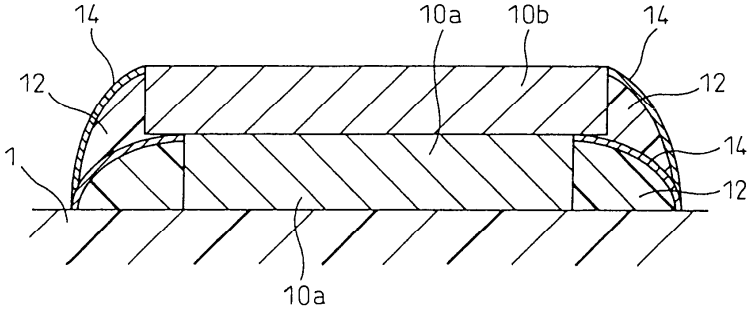
도면20



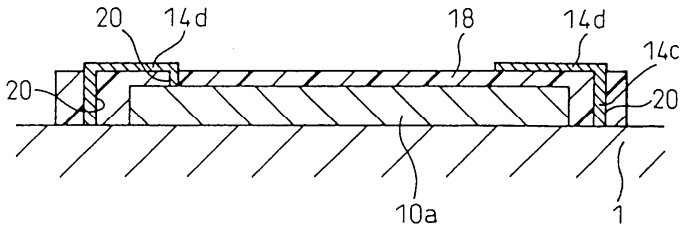
도면21a



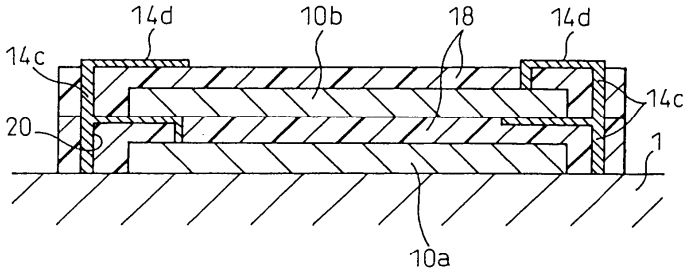
도면21b



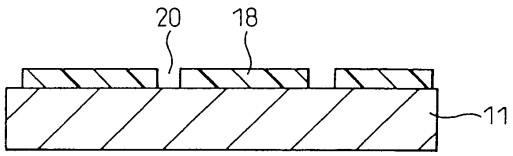
도면22a



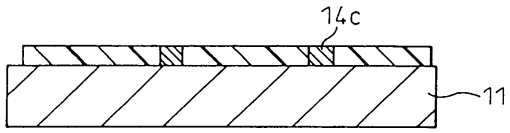
도면22b



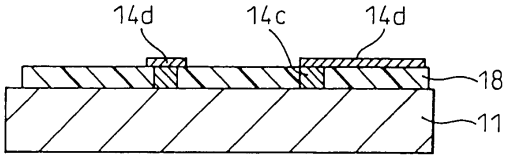
도면23a



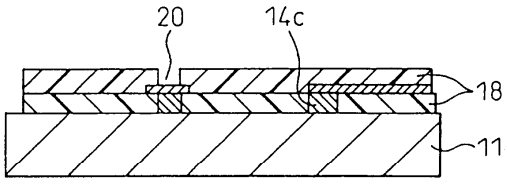
도면23b



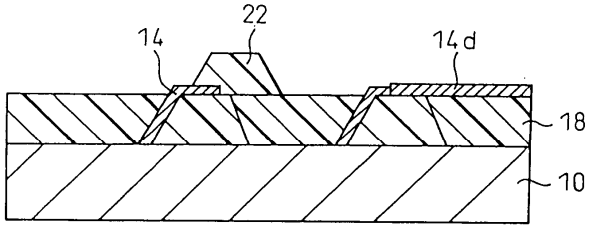
도면23c



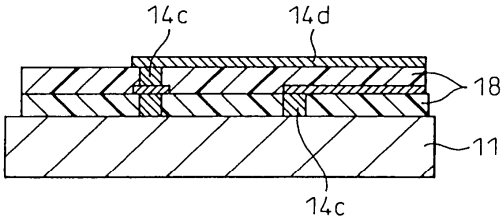
도면23d



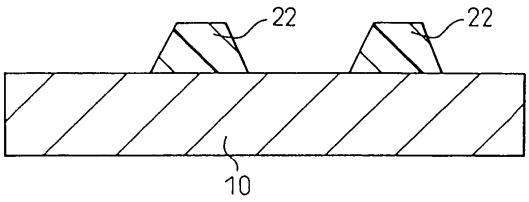
도면23e



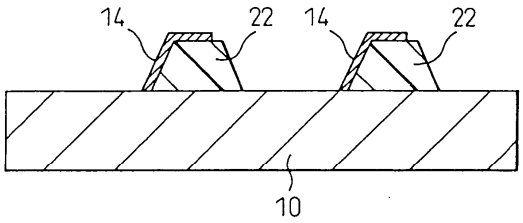
도면23f



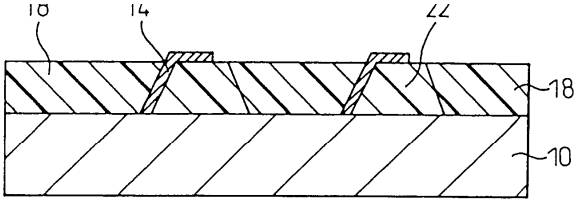
도면24a



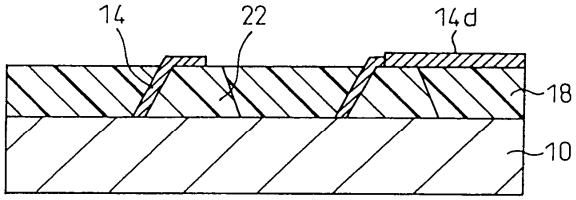
도면24b



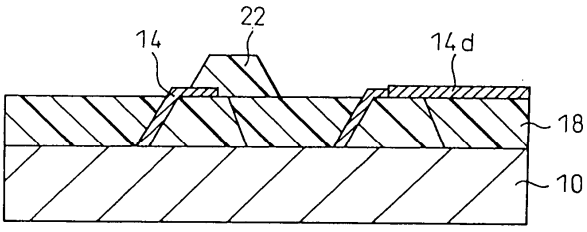
도면24c



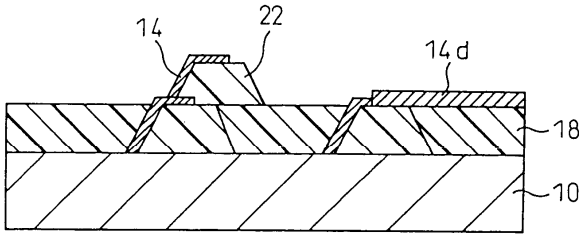
도면24d



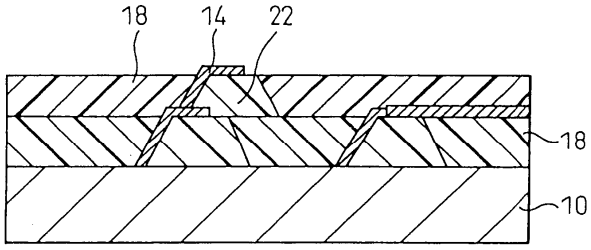
도면24e



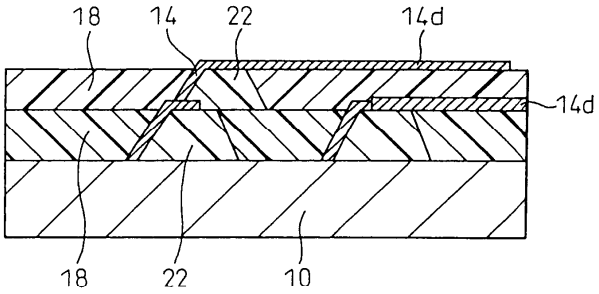
도면24f



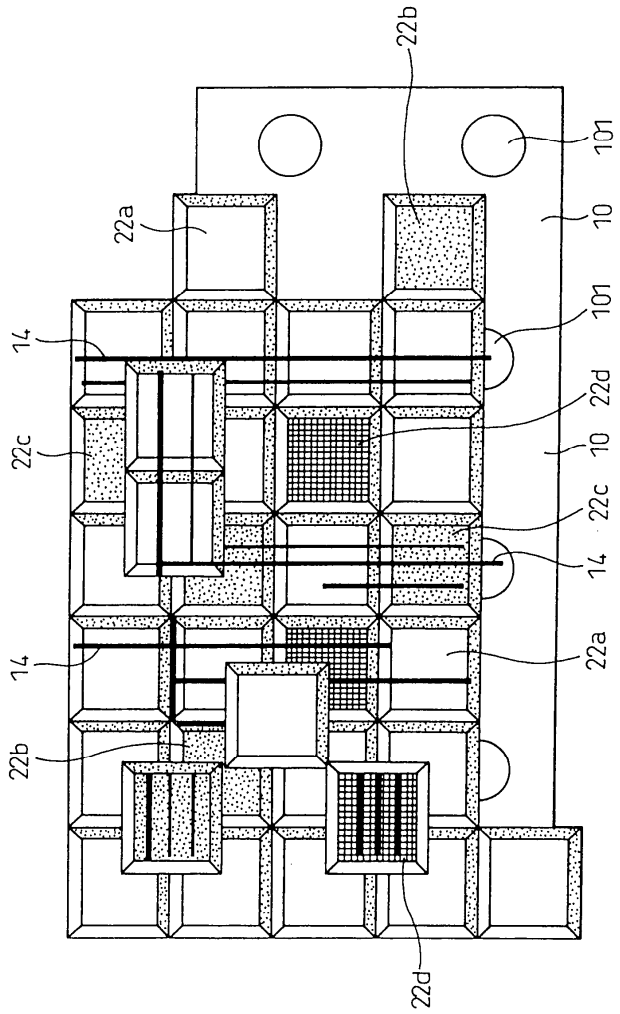
도면24g



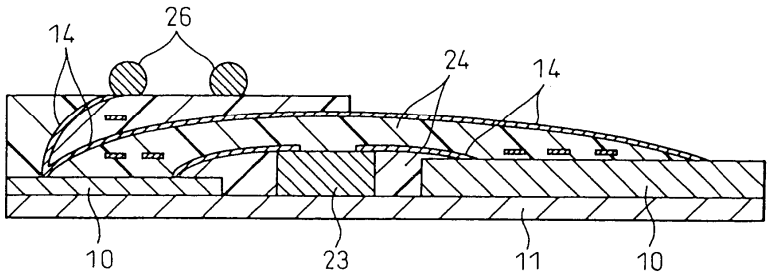
도면24h



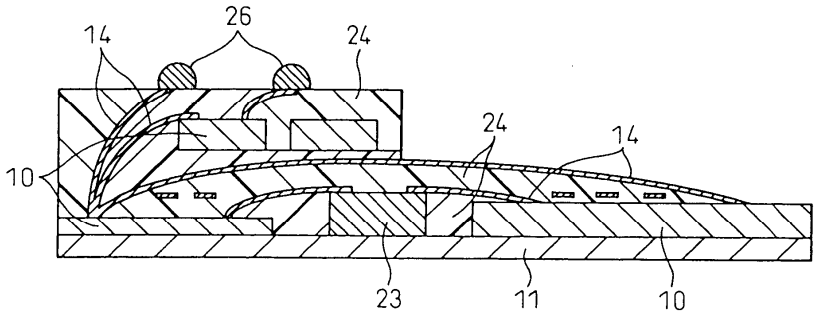
도면25



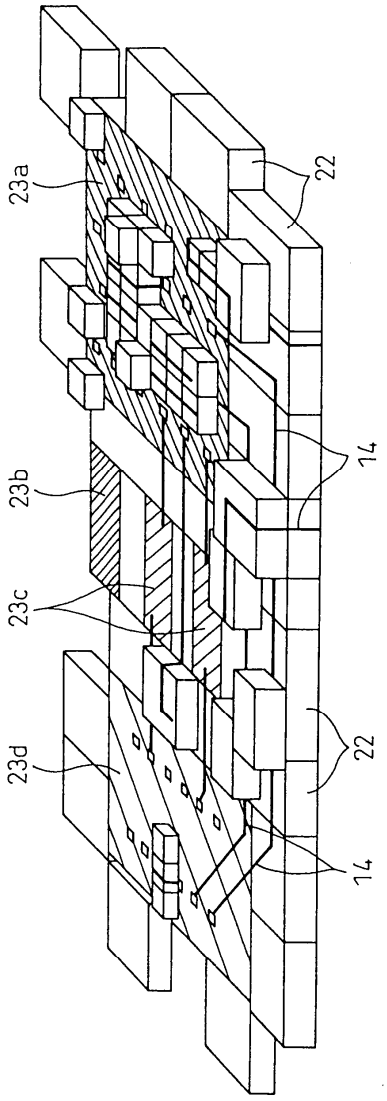
도면26



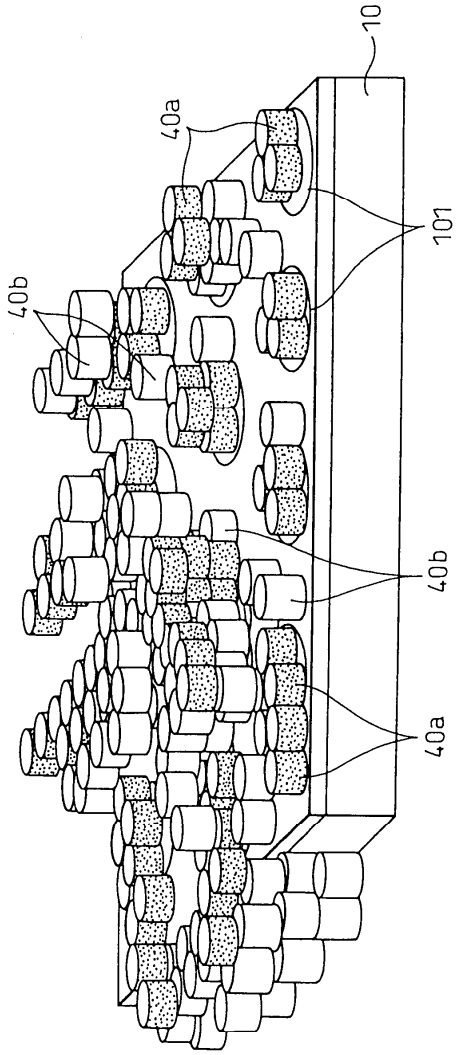
도면27



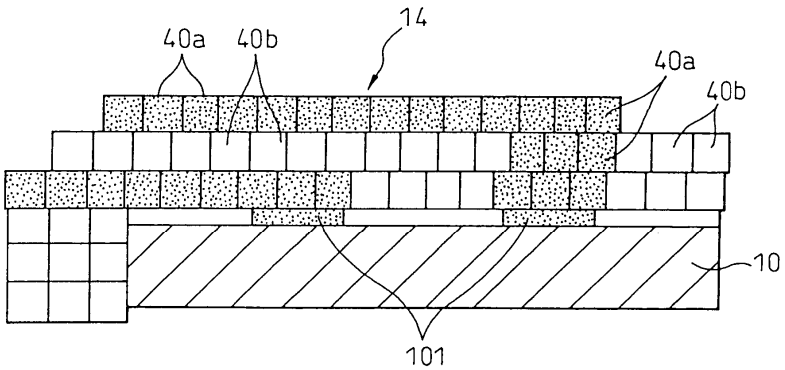
도면28



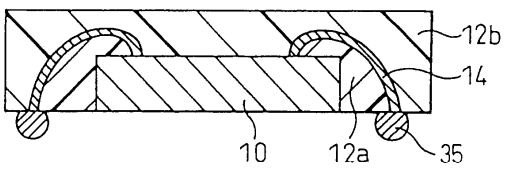
도면29



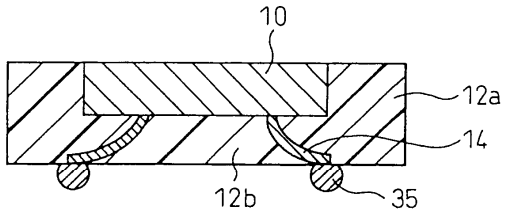
도면30



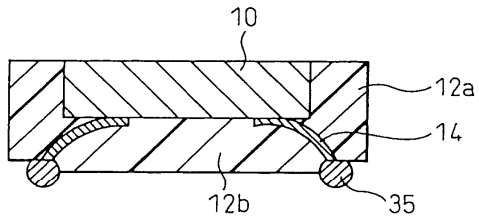
도면31a



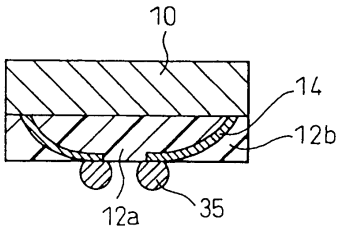
도면31b



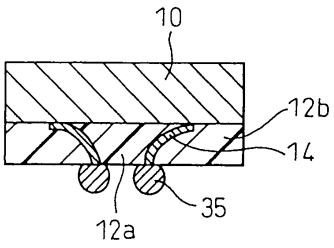
도면31c



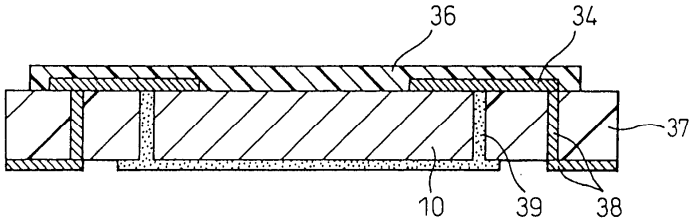
도면31d



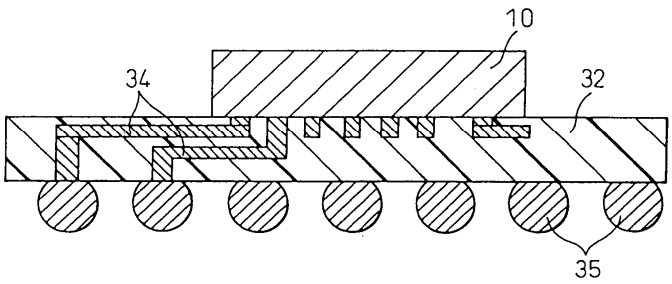
도면31e



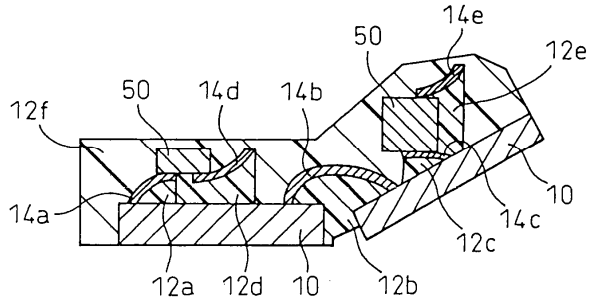
도면32



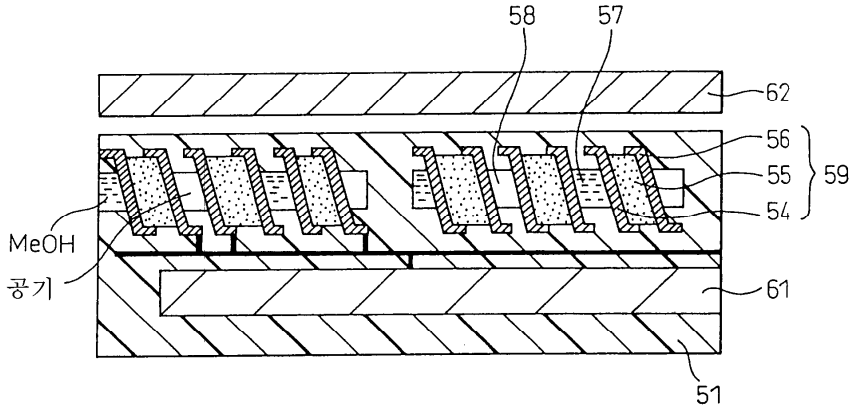
도면33



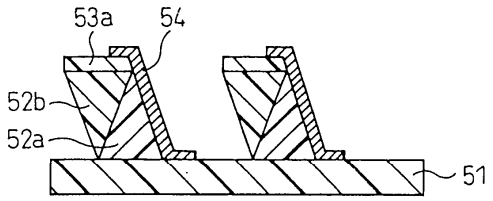
도면34



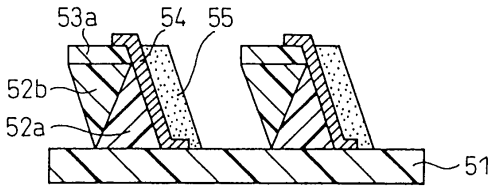
도면35



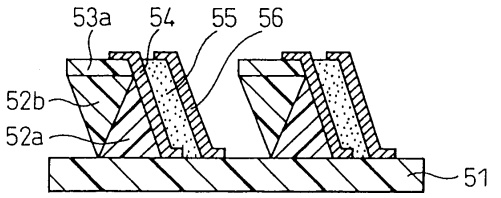
도면36a



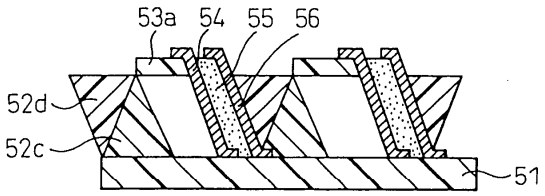
도면36b



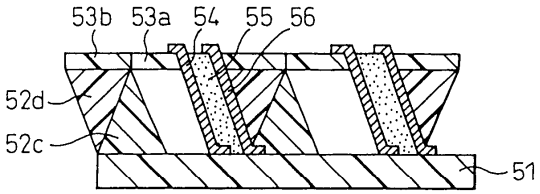
도면36c



도면36d



도면36e



도면36f