

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5368717号  
(P5368717)

(45) 発行日 平成25年12月18日(2013.12.18)

(24) 登録日 平成25年9月20日(2013.9.20)

(51) Int.Cl.	F I	
HO 1 L 29/786 (2006.01)	HO 1 L 29/78	6 1 6 V
HO 1 L 21/28 (2006.01)	HO 1 L 29/78	6 1 2 C
HO 1 L 29/423 (2006.01)	HO 1 L 29/78	6 1 7 M
HO 1 L 29/49 (2006.01)	HO 1 L 21/28	3 0 1 R
HO 1 L 29/417 (2006.01)	HO 1 L 29/58	G
請求項の数 5 (全 18 頁) 最終頁に続く		

(21) 出願番号 特願2008-38981(P2008-38981)  
 (22) 出願日 平成20年2月20日(2008.2.20)  
 (65) 公開番号 特開2009-200162(P2009-200162A)  
 (43) 公開日 平成21年9月3日(2009.9.3)  
 審査請求日 平成23年2月4日(2011.2.4)

前置審査

(73) 特許権者 000001199  
 株式会社神戸製鋼所  
 兵庫県神戸市中央区脇浜海岸通二丁目2番  
 4号  
 (74) 代理人 100075409  
 弁理士 植木 久一  
 (74) 代理人 100129757  
 弁理士 植木 久彦  
 (74) 代理人 100115082  
 弁理士 菅河 忠志  
 (74) 代理人 100125243  
 弁理士 伊藤 浩彰  
 (74) 代理人 100125173  
 弁理士 竹岡 明美

最終頁に続く

(54) 【発明の名称】 表示装置およびこれに用いるCu合金膜

(57) 【特許請求の範囲】

【請求項1】

表示装置における薄膜トランジスタの  
 ソース電極および/またはドレイン電極並びに信号線、および/または、  
 ゲート電極および走査線  
 に用いられるCu合金膜であって、

該Cu合金膜は、Geを0.1~0.5原子%含有し、かつ真空雰囲気中で150 x  
 30min.の熱処理前後のいずれも窒化シリコンからなる絶縁膜との密着性に優れてお  
 り、かつ

該Cu合金膜は窒化シリコン膜との間に下地膜を形成させずに用いられるものであるこ  
 とを特徴とする表示装置用Cu合金膜。

10

【請求項2】

更に、Ni, Pt, Au, Ce, Ru, W, Cr, Ir, Mo, Fe, AlおよびZr  
 よりなる群から選択される1種または2種以上を含有する請求項1に記載の表示装置用C  
 u合金膜。

【請求項3】

請求項1または2に記載の表示装置用Cu合金膜が、薄膜トランジスタの  
 ソース電極および/またはドレイン電極並びに信号線、および/または、  
 ゲート電極および走査線  
 に用いられていることを特徴とする表示装置。

20

## 【請求項 4】

前記薄膜トランジスタがボトムゲート型構造を有するものであって、前記ソース電極および/またはドレイン電極の一部が絶縁膜上に形成されている請求項 3 に記載の表示装置。

## 【請求項 5】

請求項 1 に記載の Cu 合金膜の形成に用いるスパッタリングターゲットであって、Ge を 0.1 ~ 0.5 原子% 含む Cu 合金からなることを特徴とする Cu 合金スパッタリングターゲット。

## 【発明の詳細な説明】

## 【技術分野】

10

## 【0001】

本発明は、表示装置およびこれに用いる Cu 合金膜に関するものであり、特に、表示装置（例えば、液晶ディスプレイ、有機 EL ディスプレイ等のフラットパネルディスプレイ）における薄膜トランジスタ（Thin Film Transistor、以下、TFT と呼ぶことがある。）の

- ・ソース電極および/またはドレイン電極並びに信号線、および/または、
- ・ゲート電極および走査線

に用いられる Cu 合金膜、および該 Cu 合金膜が、上記ソース電極および/またはドレイン電極並びに信号線、および/または、ゲート電極および走査線に用いられた、上記液晶ディスプレイ、有機 EL ディスプレイ等の表示装置、並びに上記 Cu 合金膜の形成に用いられるスパッタリングターゲットに関する。尚、以下では、表示装置のうち、液晶ディスプレイを例に説明するが、これに限定する意図ではない。

20

## 【背景技術】

## 【0002】

例えば液晶ディスプレイは、小型の携帯電話から 100 インチを越す大型テレビに至るまで様々な分野に用いられている。この液晶ディスプレイは、画素の駆動方法によって、単純マトリックス型液晶ディスプレイとアクティブマトリックス型液晶ディスプレイに分類される。このうち、スイッチング素子として TFT を組み込んだアクティブマトリックス型液晶ディスプレイは、画質が高品質で高速の動画にも対応できるため、液晶ディスプレイの主流となっている。

30

## 【0003】

図 1 は、アクティブマトリックス型液晶ディスプレイに適用される代表的な液晶ディスプレイの構成を示したものである。この液晶ディスプレイの構成および動作原理を、図 1 を参照しながら説明する。

## 【0004】

まず、液晶ディスプレイ 100 は、TFT 基板 1 と、TFT 基板 1 に対向して配置された対向基板 2 と、TFT 基板 1 と対向基板 2 との間に配置され、光変調層として機能する液晶層 3 とを単位画素ユニットとし、これが 2 次元アレイ状に配列した構造を有している。

## 【0005】

40

TFT 基板 1 は、絶縁性のガラス基板 1a 上に配置された TFT 4、画素電極（透明導電膜）5、走査線や信号線を含む配線部 6 を有している。

## 【0006】

また、対向基板 2 は、ガラス板の全面に形成された共通電極 7 と、TFT 基板 1 側の画素電極（透明電極膜）5 に対向する位置に配置されたカラーフィルタ 8 と、TFT 基板 1 上の TFT 4 および配線部 6 に対向する位置に配置された遮光膜 9 とを有している。対向基板 2 は更に、液晶層に含まれる液晶分子を所定の向きに配向させるための配向膜 11 を有している。

## 【0007】

TFT 基板 1 および対向基板 2 の外側（液晶層の反対側）には、それぞれ偏光板 10a

50

、10bが配置されている。

【0008】

液晶ディスプレイ100では、各画素において、対向基板2と画素電極（透明導電膜）5との間の電界が、TFT4によって制御され、この電界によって液晶層3における液晶分子の配向が変化し、液晶層3を通過する光が変調（遮光や透光）される。これにより、対向基板2を透過する光の透過量が制御されて、画像として表示される。

【0009】

液晶ディスプレイ100の下部にはバックライト22が設置され、この光が図1の下部から上部へと通過する。

【0010】

また、TFT基板1は、TABテープ12を介して連結されたドライバ回路13および制御回路14によって駆動される。

【0011】

図2は、図1中、Aの要部拡大図である。図2では、ガラス基板1a上に走査線（ゲート配線）25が形成されており、走査線25の一部はTFTのオン・オフを制御するゲート電極26として機能する。ゲート電極26を覆うようにしてゲート絶縁膜（SiN）27が形成されている。ゲート絶縁膜27を介して走査線25と交差するように信号線（ソース・ドレイン配線）34が形成され、信号線34の一部は、TFTのソース電極28として機能する。ゲート絶縁膜27上に、アモルファスシリコンチャンネル層（活性半導体層）、信号線（ソース・ドレイン配線）34、パッシベーション膜（保護膜、SiN）30が順次形成されている。このタイプは一般にボトムゲート型と呼ばれる。

【0012】

ゲート絶縁膜27上の画素領域には、例えば(In<sub>2</sub>O<sub>3</sub>)中に酸化錫(SnO)を10質量%程度含む酸化インジウム錫(Indium Tin Oxide; ITO)膜や、(In<sub>2</sub>O<sub>3</sub>)中に酸化亜鉛を含む酸化インジウム亜鉛(Indium Zinc Oxide; IZO)膜によって形成された画素電極（透明導電膜）5が配置されており、図2において、TFTのドレイン電極29は、画素電極（透明導電膜）5に直接コンタクトして電氣的に接続される構造となっている。

【0013】

このTFT基板に、走査線を経由してゲート電極26にゲート電圧を印加すると、TFT4がオン状態となり、あらかじめ信号線に印加されていた駆動電圧がソース電極28からドレイン電極29を経由して画素電極（透明導電膜）5に印加される。そして、この様に画素電極（透明導電膜）5に所定レベルの駆動電圧が印加されると、対向基板2との間に十分な電位差が生じ、液晶層3に含まれる液晶分子が配向して光変調が生じる。

【0014】

またTFTの上部には、輝度向上のために反射電極（図示せず）が設置される場合がある。更に、画素電極は反射電極と接触している場合がある。

【0015】

図2に示したTFTのソース電極28とドレイン電極29の間には電圧が印加されているが、ゲート電極26の電圧をON/OFF制御することにより、チャンネル層を経由してソース電極28からドレイン電極29への電流を制御し、画素電極5を経由して液晶層3の電界を制御し、この結果、各画素の光透過量が変調され、動画像を表示することも可能である。

【0016】

上記ソース・ドレイン配線34や走査線25、ゲート電極26は、加工が容易であるなどの理由により、Al-NdなどのAl合金の薄膜から形成されている。

【0017】

しかしながら、近年は、液晶ディスプレイの大型化や動作周波数が60kHzから120kHzへと変更する等の事情により、配線の電気抵抗の更なる低減が必須課題となっており、より低い電気抵抗率を示す配線材料へのニーズが高まっている。そこで、テレビ用

10

20

30

40

50

途の大型パネルを中心に、純AlやAl合金などのAl系材料に比べて電気抵抗率が低く（金属[バルク材]の電気抵抗率は、純Alが $2.7 \times 10^{-6} \cdot \text{cm}$ であるのに対し、純Cuは $1.8 \times 10^{-6} \cdot \text{cm}$ ）、また、ヒロック耐性に優れたCu系材料が注目されている。

#### 【0018】

しかし、Cu系材料を配線に適用した場合、ガラス基板や絶縁膜（例えばゲート絶縁膜）との密着性に劣るという課題がある。特に、絶縁膜上に形成する場合、以下の様な問題がある。即ち、絶縁膜として通常CVDで形成されたSiN膜が用いられる。従来から使用されているAl系材料からなる電極・配線は絶縁膜との密着性が良好であるが、Cu系材料からなる電極・配線（Cu系電極・配線）は、絶縁膜（特に絶縁膜として形成されるSiN膜）との密着性が悪く、Cu系電極・配線が絶縁膜（SiN膜）から剥離する、という問題があった。しかし、絶縁膜（SiN膜）との密着性向上については、未だ十分検討されていない。

10

#### 【0019】

よって、従来のCu系電極・配線を採用した液晶ディスプレイでは、SiN膜とCu系電極・配線の間に下地膜（純Mo層、Mo-Ti合金層などのMo含有下地層）を介した構造を取っている。すなわち、Mo含有下地層に純Cu薄膜を形成した2層構造の配線が使用されている例がある。しかしながら、このような2層構造配線は、電気抵抗率の高いMo含有下地層が配線下地にあるために、2層全体としての配線抵抗（実効的配線抵抗）が高くなる；プロセスが複雑になり、プロセスコストがかかる；材質の異なる薄膜を積層させていることから、配線形状にパターニングする際に、ウェットエッチングによるテーパー制御が難しい；といった課題がある。

20

#### 【発明の開示】

#### 【発明が解決しようとする課題】

#### 【0020】

本発明はこの様な事情に鑑みてなされたものであって、その目的は、Cu系材料の特徴である低電気抵抗率を維持しつつ、絶縁膜（例えばSiN膜）との密着性に優れたCu合金膜、およびこれをTFET（特に、TFETのソース電極および/またはドレイン電極並びに信号線）に上記Mo含有下地層を形成させずに用いた、例えば液晶ディスプレイに代表されるフラットパネルディスプレイ（表示装置）を提供することにある。また本発明は、上記の様な優れた性能を有するCu合金膜を形成するためのスパッタリングターゲットを提供することも目的とする。

30

#### 【課題を解決するための手段】

#### 【0021】

本発明に係る表示装置用Cu合金膜とは、表示装置における薄膜トランジスタの・ソース電極および/またはドレイン電極並びに信号線、および/または、・ゲート電極および走査線に用いられるCu合金膜であって、Geを0.1~0.5原子%含有するところに特徴を有する。

#### 【0022】

また本発明は、上記表示装置用Cu合金膜が、薄膜トランジスタの・ソース電極および/またはドレイン電極並びに信号線、および/または、・ゲート電極および走査線に用いられている点に特徴を有する表示装置も含むものである。

40

#### 【0023】

前記表示装置として、前記薄膜トランジスタがボトムゲート型構造を有するものであって、前記ソース電極および/またはドレイン電極の一部が絶縁膜（特に窒化シリコン膜）上に形成された形態のものが、前記Cu合金膜の効果が存分に発揮されるので好ましい。

#### 【0024】

また本発明には、前記Cu合金膜の形成に用いるスパッタリングターゲットであって、

50

Geを0.1~0.5原子%含むCu合金からなることを特徴とするスパッタリングターゲットも含まれる。

【発明の効果】

【0025】

本発明によれば、液晶ディスプレイの大型化や動作周波数の高域化に対応することのできる低電気抵抗率のCu合金膜を有する表示装置を実現できる。また、本発明のCu合金膜は絶縁膜（特にSiN膜）との密着性に優れているので、表示装置（例えば液晶ディスプレイ）用のソース・ドレイン配線に適用したときに、上記Mo含有下地層を形成させずに単層とすることができ、上記Mo含有下地層の省略を可能にした高性能の表示装置を提供できる。

10

【発明を実施するための最良の形態】

【0026】

本発明者らは、Cu系材料の特徴である低電気抵抗率を維持しつつ、絶縁膜（例えば窒化シリコン膜）との密着性に優れたCu合金膜、およびこれをTFTに用いた表示装置を実現すべく鋭意研究を行った。その結果、少量のGeを含むCu合金膜とすればよい、との着想のもとでその具体的方法を見出した。以下、本発明について詳述する。

【0027】

本発明のCu合金膜は、Geを0.1~0.5原子%（at%）含むものである（以下、このような本発明のCu合金膜を、特に「Cu-Ge含有合金膜」ということがある）。本発明では、Geを0.1原子%以上（好ましくは0.15原子%以上、より好ましくは0.20原子%以上）含有させることによって、絶縁膜との密着性が著しく向上することを見出した。

20

【0028】

この様にGeを含有させることにより高い密着性を発現する理由は、十分解明されたわけではないが、絶縁膜に窒化シリコン（以下、「SiN」と示すことがある）を用いた場合には、以下の様に考えられる。

【0029】

即ち、CVDで形成したSiN膜には少量の酸素が含まれている。このSiN膜上に純Cu膜を形成すると、上記純Cu膜とSiN膜の界面（以下「Cu/SiN界面」と示す）に、純Cu膜を構成するCuと上記酸素が反応して酸化物が形成される。この酸化物形成により、Cu/SiN界面に残留応力が発生し、純Cu膜とSiN膜の密着性が低下する。

30

【0030】

これに対し、SiN膜上に、Cu-Ge含有合金膜を形成すると、SiN膜中に含まれる酸素とGeが優先的に反応し、酸素を、Cu-Ge含有合金膜とSiN膜の界面（以下「Cu合金/SiN界面」と示す）からCu-Ge含有合金膜側に引き寄せ、Cu合金/SiN界面よりもCu-Ge含有合金膜側（即ち、上記界面でなく、Cu-Ge含有合金膜中）に酸化物（GeO<sub>2</sub>）が形成されると考えられる。そして、これにより、Cu合金/SiN界面に酸化物が形成されず、Cu合金/SiN界面に残留応力が発生しないため、Cu-Ge含有合金膜とSiN膜の密着性が向上するものと思われる。また、Cu合金/SiN界面に、GeO<sub>2</sub>が形成され、これを介して、Cu-Ge含有合金膜とSiN膜の高密着性が発現されている可能性も考えられる。更に、絶縁膜が窒化シリコンである場合には、SiとGeが周期律表における同族元素であり化学的親和性が強いため、Cu-Ge含有合金膜中のGeとSiN膜中のSiが化学的な結合を形成して、界面の密着性を向上させることも、密着性向上の理由として考えられる。

40

【0031】

尚、上記説明では、絶縁膜として、窒化シリコン膜を用いた場合について説明したが、これに限定されず、絶縁膜として、少量の酸素を含みうるその他の絶縁膜；窒化アルミニウム膜、窒化チタン膜、窒化タンタル膜等の上にCu-Ge含有合金膜を形成する場合も含みうる。

50

## 【0032】

上記効果は、Ge含有量が0.1原子%以上で発現し、Ge含有量が多いほどより密着性が高まるが、多過ぎてもその効果は飽和する。また、Ge含有量が増加すると電気抵抗率が増加するため、Geの含有量は0.5原子%以下に抑える必要がある。電気抵抗率をより低く抑える観点からは、Geを0.2原子%以下とすることが好ましい。

## 【0033】

上記Cu-Ge含有合金膜は、as-deposited状態でも密着性に優れるが、ポストアニール(成膜後の350 までの熱処理)を行っても、同様に優れた密着力を発揮する。

## 【0034】

上記Cu-Ge含有合金膜は、上記規定量のGeを含み、残部Cuおよび不可避不純物であり、上記不可避不純物としては、酸素、窒素、炭素、アルゴン等が挙げられ、これらは合計で0.1原子%以下である。

## 【0035】

また、本発明の作用を損なわない範囲で、他の特性付与を目的として、下記元素を積極的に添加することもできる。即ち、Cu-Ge含有合金膜を、例えばボトムゲート型構造を有するTFTのソース電極および/またはドレイン電極並びに信号線に適用する場合、その特性として「絶縁膜であるSiN膜との密着性」、「耐酸化性(I TO膜とのコンタクト安定性(低コンタクト抵抗))」、「半導体膜を構成する-Siへの拡散抑制(TFT特性の安定性確保)」、「耐食性」等が求められる。このうち、Geを添加することで、上記「SiN膜との密着性」と、更には「耐酸化性(I TO膜とのコンタクト安定性(低コンタクト抵抗))」を確保できる。したがって、更に、上記「-Siへの拡散抑制」や「耐食性」を向上させるために第3元素を添加しても構わない。

## 【0036】

また、基板として用いられるガラスとの密着性も確保するには、第3元素として、Ni, Pt, Au, Ce, Ru, W, Cr, Ir, Mo, Fe, AlおよびZrよりなる群から選択される1種または2種以上を含有させることが有効であり、この第3元素を含有させた多元系のCu-Ge含有合金膜を、上記ゲート電極および走査線や、ソース電極および/またはドレイン電極並びに信号線に用いることも可能である。

## 【0037】

尚、Cu-Ge含有合金膜を、TFTの  
・ソース電極および/またはドレイン電極並びに信号線、および/または、  
・ゲート電極および走査線  
に用いる場合、より低い電気抵抗率が求められる場合がある。低電気抵抗率以外の特性を付与すべくGe含有量を高めると、上述の通り電気抵抗率は増加するが、Geを含有させつつ電気抵抗率をより低下させるため、第3元素として、Ni, Zn, FeおよびCoよりなる群から選択される1種または2種以上を含有させることが有効である。

## 【0038】

上記Cu-Ge含有合金膜の形成には、スパッタリング法を採用することが望ましい。スパッタリング法とは、真空中にAr等の不活性ガスを導入し、基板とスパッタリングターゲット(以後、ターゲットと称する場合がある)との間でプラズマ放電を形成し、該プラズマ放電によりイオン化したArを上記ターゲットに衝突させて、該ターゲットの原子をたたき出し基板上に堆積させて薄膜を作製する方法である。イオンプレーティング法や電子ビーム蒸着法、真空蒸着法で形成された薄膜よりも、成分や膜厚の膜面内均一性に優れた薄膜を容易に形成でき、かつas-deposited状態で合金元素が均一に固溶した薄膜を形成できるため、高温耐酸化性を効果的に発現できる。スパッタリング法としては、例えばDCスパッタリング法、RFスパッタリング法、マグネトロンスパッタリング法、反応性スパッタリング法等のいずれのスパッタリング法を採用してもよく、その形成条件は、適宜設定すればよい。

## 【0039】

また、上記スパッタリング法で、上記Cu - Ge含有合金膜を形成するには、上記ターゲットとして、Geを0.1 ~ 0.5原子%含有するCu合金からなるものであって、所望のCu - Ge含有合金膜と同一の組成のCu - Ge含有合金スパッタリングターゲットを用いれば、組成ズレすることなく、所望の成分・組成のCu - Ge含有合金膜を形成することができるのでよい。

【0040】

ターゲットの形状は、スパッタリング装置の形状や構造に応じて任意の形状（角型プレート状、円形プレート状、ドーナツプレート状など）に加工したものが含まれる。

【0041】

上記ターゲットの製造方法としては、溶解鑄造法や粉末焼結法、スプレIFOーミング法で、Cu基合金からなるインゴットを製造して得る方法や、Cu基合金からなるプリフォーム（最終的な緻密体を得る前の中間体）を製造した後、該プリフォームを緻密化手段により緻密化して得られる方法が挙げられる。

10

【0042】

本発明のCu合金膜（Cu - Ge含有合金膜）は、表示装置における薄膜トランジスタの

- ・ソース電極および/またはドレイン電極並びに信号線、および/または、
- ・ゲート電極および走査線

に用いられるものであり、該箇所に適用することでCu - Ge含有合金膜の特性が十分に発揮される。

20

【0043】

本発明では、特に、前記TFTがボトムゲート型構造を有するものであって、前記ソース電極および/またはドレイン電極の一部が絶縁膜（特に窒化シリコン膜）上に形成されている場合を好ましい形態とする。

【0044】

尚、Cu - Ge含有合金膜を、ソース電極および/またはドレイン電極並びに信号線、および/または、ゲート電極および走査線の複数箇所に用いる場合、互いのCu - Ge含有合金膜の組成は一致していてもよいし、また規定範囲内で組成が相違していてもよい。

【0045】

以下、図面を参照しながら、本発明の表示装置の好ましい実施形態を説明する。以下では、アモルファスシリコンTFT基板を備えた液晶ディスプレイを代表的に挙げて説明するが、本発明はこれに限定されず、前・後記の趣旨に適合し得る範囲で適当に変更を加えて実施することも可能であり、それらはいずれも本発明の技術的範囲に包含される。

30

【0046】

前記図2において、ソース電極28やドレイン電極29、信号線（図2に表示されていない）、および/または走査線（ゲート配線）25やゲート電極26を、Cu - Ge含有合金膜（例えばCu - 0.3原子%Ge合金膜）とすることが一態様として挙げられる。

【0047】

本実施形態によれば、従来のようにMo含有下地層を介在させることなく、絶縁膜上にCu - Ge含有合金膜を直接積層することができ、従来のTFT基板と同程度以上の良好なTFT特性を実現できる（後記する実施例を参照）。

40

【0048】

次に、図3 ~ 9を参照しながら、前記図2に示す本実施形態に係るTFT基板の製造方法を説明する。図3 ~ 9には図2と同じ参照符号を付している。

【0049】

まず、図3に示すように、ガラス基板（透明基板）1aに、スパッタリング法を用いて厚さ200nm程度のCu - Ge含有合金膜（例えば、Cu - 0.3原子%Ge合金膜）を成膜する。この膜をパターンニングすることにより、ゲート電極26および走査線25を形成する。このとき、後記する図4において、ゲート絶縁膜27のカバレッジが良くなる様に、上記合金膜の側面を傾斜角約30° ~ 60°のテーパ状にエッチングしておくの

50

がよい。

【0050】

次いで、図4に示すように、例えばプラズマCVD法などの方法を用いて、約300nm程度のゲート絶縁膜(SiN膜)27を形成する。プラズマCVD法の成膜温度は、約350とすればよい。続いて、ゲート絶縁膜27の上に、厚さ50nm程度の水素化アモルファスシリコン膜(a-Si:H)および厚さ300nm程度の窒化シリコン膜(SiNx)を成膜する。

【0051】

続いて、ゲート電極26をマスクとする裏面露光により、図5に示すように窒化シリコン膜(SiNx)をパターンニングし、チャンネル保護膜を形成する。更にその上に、図6に示すように、リンをドーピングした厚さ50nm程度のn<sup>+</sup>型水素化アモルファスシリコン膜(n<sup>+</sup>a-Si:H)を成膜した後、水素化アモルファスシリコン膜(a-Si:H)およびn<sup>+</sup>型水素化アモルファスシリコン膜(n<sup>+</sup>a-Si:H)をパターンニングする。

10

【0052】

そして図7に示す様に、スパッタリング法を用いて、厚さ300nm程度のCu-Ge含有合金膜(例えば、Cu-0.3原子%Ge合金膜)を形成してからパターンニングすることにより、信号線と一体のソース電極28と、画素電極(透明導電膜)5に直接接続されるドレイン電極29を形成する。

【0053】

そして図8に示す如く、例えばプラズマCVD装置などを用いて、窒化シリコン膜30を例えば膜厚300nm程度で成膜することにより保護膜を形成する。このときの成膜は例えば250程度で行なわれる。そしてこの窒化シリコン膜30上にフォトレジスト層31を形成した後、該窒化シリコン膜30をパターンニングし、例えばドライエッチング等によって窒化シリコン膜30にコンタクトホール32を形成する。また図示していないが、同時にパネル端部のゲート電極上のTABとの接続に当たる部分にコンタクトホールを形成する。

20

【0054】

更に図9に示す如く、例えば酸素プラズマによるアッシング工程を経た後、例えばアミン系等の剥離液を用いてフォトレジスト層31の剥離処理を行い、そして最後に、前記図2に示すように、例えば厚さ40nm程度のITO膜を成膜し、ウェットエッチングによるパターンニングを行うことによって画素電極(透明導電膜)5を形成する。

30

【0055】

上記では、画素電極(透明導電膜)5として、ITO膜を用いたが、IZO膜(InOx-ZnOx系導電性酸化膜)を用いてもよい。また、活性半導体層として、アモルファスシリコンの代わりにポリシリコンを用いてもよい。

【0056】

このようにして得られるTFE基板を使用し、例えば、以下に記載の方法によって、前述した図1に示す液晶ディスプレイを作製する。

【0057】

まず、上記のようにして作製したTFE基板1の表面に、例えばポリイミドを塗布し、乾燥してからラビング処理を行って配向膜を形成する。

40

【0058】

一方、対向基板2は、ガラス基板上に、例えばCrをマトリックス状にパターンニングすることによって遮光膜9を形成する。次に、遮光膜9の間隙に、樹脂製の赤、緑、青のカラーフィルタ8を形成する。遮光膜9とカラーフィルタ8上に、ITO膜のような透明導電膜を共通電極7として配置することによって対向電極を形成する。そして、対向電極の最上層に例えばポリイミドを塗布し、乾燥した後、ラビング処理を行って配向膜11を形成する。

【0059】

50



次いで、TFT基板1と対向基板2の配向膜11が形成されている面と夫々対向するように配置し、樹脂製などのシール材16により、液晶の封入口を除いてTFT基板1と対向基板2とを貼り合わせる。このとき、TFT基板1と対向基板2との間には、スペーサー15を介在させるなどして2枚の基板間のギャップを略一定に保つ。

【0060】

このようにして得られる空セルを真空中に起き、封入口を液晶に浸した状態で徐々に大気圧に戻していくことにより、空セルに液晶分子を含む液晶材料を注入して液晶層を形成し、封入口を封止する。最後に、空セルの外側の両面に偏光板10a、10bを貼り付けて液晶パネルを完成させる。

【0061】

次に、前記図1に示したように、液晶ディスプレイを駆動するドライバ回路13を液晶ディスプレイに電氣的に接続し、液晶ディスプレイの側部あるいは裏面部に配置する。そして、液晶ディスプレイの表示面となる開口を含む保持フレーム23と、面光源をなすバックライト22と導光板20と保持フレーム23によって液晶ディスプレイを保持し、液晶ディスプレイを完成させる。

【0062】

尚、本発明のCu-Ge含有合金膜は、トップゲート型構造を有するTFTにおいて、絶縁膜上に形成されるゲート電極および走査線にも適用することができる。

【実施例】

【0063】

以下、本発明を実施例によって更に詳細に説明するが、下記実施例は本発明を限定する性質のものではなく、前・後記の趣旨に適合し得る範囲で適当に変更して実施することも可能であり、それらはいずれも本発明の技術的範囲に含まれる。

【0064】

[実施例1]

Cu合金膜とSiN膜との密着性を評価するため、以下の様なテープによる剥離試験を行った。

【0065】

(試料の作製)

まず、ガラス基板(コーニング社製 Eagle 2000、直径50mm×厚さ0.7mm)上にCVDによりSiN膜を200nm形成し、さらにSiN膜上に、DCマグネトロンスパッタリング法(成膜条件は下記の通り)により、室温にて、純Cu膜、純Mo膜、または表1に示す成分・組成のCu合金膜を300nm形成して試料とした。尚、純Cu膜、純Mo膜の形成には、それぞれ純Cu、純Moをスパッタリングターゲットに用い、種々の成分のCu合金膜の形成には、純Cuスパッタリングターゲット上にCu以外の元素を含むチップを設置したターゲットを用いた。

【0066】

(成膜条件)

- ・背圧： $1.0 \times 10^{-6}$  Torr以下
- ・Arガス圧： $2.0 \times 10^{-3}$  Torr
- ・Arガス流量：30 sccm
- ・スパッタパワー： $3.2 \text{ W/cm}^2$
- ・極間距離：50mm
- ・基板温度：室温

尚、形成されたCu合金膜の組成は、ICP発光分光分析装置(島津製作所製のICP発光分光分析装置「ICP-8000型」)を用い、定量分析して確認した。

【0067】

(SiN膜との密着性の評価)

このようにして作製した試料の成膜表面(純Cu膜、純Mo膜、または上記Cu合金膜の表面)に、カッター・ナイフを用いて1mm間隔で碁盤目状の切り込みを入れた。次い

10

20

30

40

50

でスコッチ（登録商標）メンディング・テープを試料の上にしかりと貼り付け、上記テープの引き剥がし角度が60°になるように保持しつつ、上記テープを一挙に引き剥がして、上記テープによって剥離しなかった碁盤目の区画数をカウントし、全区画との比率（膜残存率）を求めた。その結果を、表1の「as-deposited」の欄に示す。また、上記各試料に、真空雰囲気中で150×30min.の熱処理を施したものについても、上記膜残存率の測定を行った。その結果を表1に併記する。

【0068】

【表1】

No.	試料	膜残存率(%)	
		as-deposited	150°C×30min.熱処理後
1	純Cu	0	0
2	純Mo	100	100
3	Cu-0.5at%Ag	2.7	0
4	Cu-0.5at%Al	0	0
5	Cu-0.5at%Au	0	0
6	Cu-0.5at%Co	0	4
7	Cu-0.5at%Fe	0	0
8	Cu-0.5at%Ge	100	100
9	Cu-0.5at%Hf	0	0
10	Cu-0.5at%In	0	0
11	Cu-0.5at%Mn	0	4
12	Cu-0.5at%Mo	0	8
13	Cu-0.5at%Si	1.3	16
14	Cu-0.5at%Sm	0	2.7
15	Cu-0.5at%V	0	0
16	Cu-0.5at%W	0	0
17	Cu-0.5at%Zr	0	0
18	Cu-0.5at%B	30.7	0
19	Cu-0.5at%Cd	0	0
20	Cu-0.5at%Ce	0	0
21	Cu-0.5at%Dy	0	0
22	Cu-0.5at%Re	0	0
23	Cu-0.5at%Ru	0	0
24	Cu-0.5at%Sb	0	0
25	Cu-0.5at%Sc	0	0
26	Cu-0.5at%Sn	0	0
27	Cu-0.5at%Te	0	0
28	Cu-0.5at%Y	0	0
29	Cu-0.5at%Yb	0	0

【0069】

表1より、次の様に考察できる。純Cu膜の膜残存率はゼロであり、SiN膜との密着性を示さないのに対し、純Mo膜の膜残存率は100%であり、SiN膜に対して良好な密着性を示す。但し、純Moは室温での電気抵抗率が、純Cuよりもかなり高いといったデメリットを有する。

【0070】

10

20

30

40

50

また、Cu合金膜のうち、Cu-Ge含有合金膜以外は、膜残存率がほぼゼロか50%にも満たないのに対し、Cu-0.5at%Ge合金膜の膜残存率は100%であり、SiN膜に対して良好な密着性を示すことがわかる。

【0071】

[実施例2]

Cu合金膜中のGe含有量と熱処理条件が、SiN膜との密着性(上記膜残存率)に及ぼす影響を調べた。

【0072】

(試料の作製)

ガラス基板(コーニング社製 Eagle 2000)上に、上記実施例1と同様に、CVDによりSiN膜を200nm形成し、さらにSiN膜上にDCマグネトロン・スパッタ法で、純Cu膜またはGe含有量の異なるCu合金膜を300nm形成して試料とした。尚、純Cu膜の形成には、純Cuをスパッタリングターゲットに用い、上記Ge含有量の異なるCu合金膜の形成には、真空溶解法で作製した種々の組成のCu-Ge2元系合金ターゲットをスパッタリングターゲットとして用いた。

10

【0073】

(SiN膜との密着性の評価)

(a)上記の様に作製した試料(as-deposited状態の試料)、  
(b)真空雰囲気中で150 x 30min.の熱処理を施した試料、  
(c)真空雰囲気中で350 x 30min.の熱処理を施した試料、  
を用意して、実施例1と同様の方法でSiN膜との密着性(上記膜残存率)の評価を行った。

20

【0074】

Ge含有量および熱処理条件を変えた種々のCu合金膜について、上記膜残存率を測定した結果を図10にまとめた。図10は、Cu合金膜中のGe含有量と上記膜残存の関係を、上記(a)as-deposited状態、(b)上記150で熱処理後、(c)上記350で熱処理後のそれぞれについて示したものである。

【0075】

この図10より、純Cu膜の膜残存率はゼロであるが、Geを0.1at%含有させることで膜残存率が急激に増加し、SiN膜に対して良好な密着性を示すことがわかる。Ge含有量をさらに増加させると、密着性(膜残存率)は向上し、Ge含有量が0.1at%以上で膜残存率が90%以上となり、Ge含有量が0.5at%以上で膜残存率は100%となる。このような傾向は、熱処理の有無や熱処理条件に関係なく表れることがわかる。

30

【0076】

[実施例3]

純Cu膜、Ge含有量の異なる種々のCu合金膜を用いて、下記に示す通り電気抵抗率を測定し、その評価を行った。

【0077】

(試料の作製)

ガラス基板(コーニング社製 Eagle 2000)上に、上記実施例1と同様に、DCマグネトロン・スパッタ法で、純Cu膜またはGe含有量の異なるCu合金膜を300nm形成した。上記Ge含有量の異なるCu合金膜の形成には、真空溶解法で作製した種々の組成のCu-Ge2元系合金ターゲットをスパッタリングターゲットに用いた。

40

【0078】

(電気抵抗率の測定)

上記形成した純Cu膜または種々のGe含有量のCu合金膜に対して、フォトリソグラフィおよびウェットエッチングを施し、幅100μm、長さ10mmのストライプ状パターン(電気抵抗率測定用パターン)に加工してから、該パターンの電気抵抗率を、プローバーを使用した直流4探針法で室温にて測定した。

50

## 【0079】

尚、電気抵抗率の測定は、*as-deposited*状態のストライプ状パターン、および、Cu合金膜成膜後の熱処理を模擬して、真空中 ( $1 \times 10^{-6}$  Torr) にて400 で30分間の熱処理を上記Cu合金膜に施した後のストライプ状パターンについて行った。

## 【0080】

Ge含有量を変えた種々のCu合金膜について、上記電気抵抗率を測定した結果を図11にまとめた。図11は、Cu合金膜中のGe含有量と電気抵抗率の関係を、*as-deposited*状態と400 真空熱処理後のそれぞれについて示したものである。

## 【0081】

この図11より、Cu合金膜の電気抵抗率は、*as-deposited*状態では、Ge含有量の増加に伴いほぼ直線的に増加していく。上記熱処理を施した試料は、*as-deposited*状態の試料と比較して電気抵抗率の絶対値は若干低下するが、上記熱処理を施した試料についても、電気抵抗率は、Ge含有量の増加に伴い直線的に増加する傾向を示すことがわかる。また、Cu合金中のGe含有量が0.5at%以下の場合に、電気抵抗率： $5 \mu \text{cm}$ 以下の低電気抵抗率を達成できることがわかる。

## 【図面の簡単な説明】

## 【0082】

【図1】図1は、アモルファスシリコンTFT基板が適用される代表的な液晶ディスプレイの構成を示す概略断面拡大説明図である。

【図2】図2は、本発明の実施形態に係るTFT基板の構成を示す概略断面説明図であり、図1中のAの要部拡大図である。

【図3】図3は、図2に示したTFT基板の製造工程の一例を、順番を追って示す説明図である。

【図4】図4は、図2に示したTFT基板の製造工程の一例を、順番を追って示す説明図である。

【図5】図5は、図2に示したTFT基板の製造工程の一例を、順番を追って示す説明図である。

【図6】図6は、図2に示したTFT基板の製造工程の一例を、順番を追って示す説明図である。

【図7】図7は、図2に示したTFT基板の製造工程の一例を、順番を追って示す説明図である。

【図8】図8は、図2に示したTFT基板の製造工程の一例を、順番を追って示す説明図である。

【図9】図9は、図2に示したTFT基板の製造工程の一例を、順番を追って示す説明図である。

【図10】図10は、Cu合金膜中のGe含有量と膜残存率の関係を、*as-deposited*状態、150 で熱処理後、350 で熱処理後のそれぞれについて示した図である。

【図11】図11は、Cu合金膜中のGe含有量と電気抵抗率の関係を、*as-deposited*状態と400 真空熱処理後のそれぞれについて示したものである。

## 【符号の説明】

## 【0083】

- 1 TFT基板
- 1a ガラス基板
- 2 対向基板(対向電極)
- 3 液晶層
- 4 薄膜トランジスタ(TFT)
- 5 画素電極(透明電極膜)
- 6 配線部

10

20

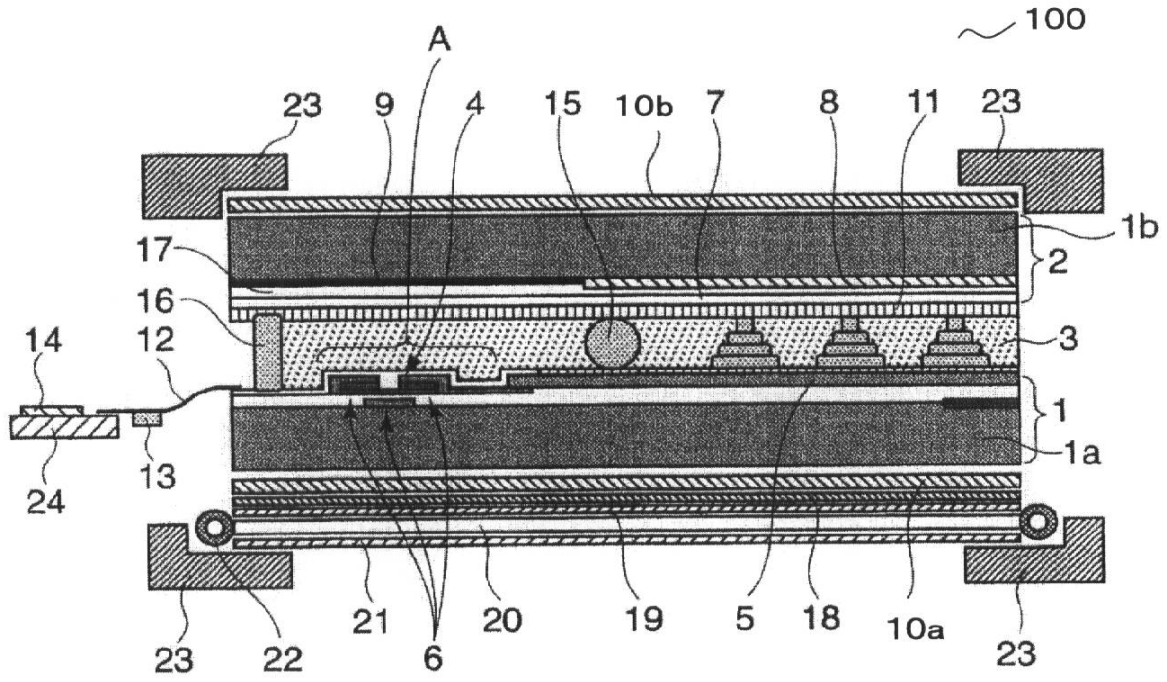
30

40

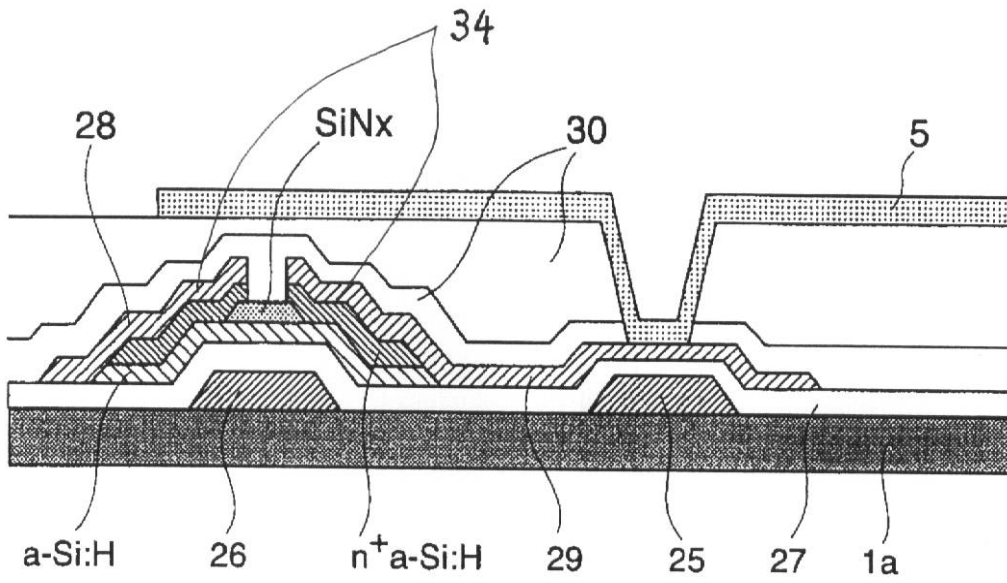
50

7	共通電極	
8	カラーフィルタ	
9	遮光膜	
10	a、10b 偏光板	
11	配向膜	
12	TABテープ	
13	ドライバ回路	
14	制御回路	
15	スペーサー	
16	シール材	10
17	保護膜	
18	拡散板	
19	プリズムシート	
20	導光板	
21	反射板	
22	バックライト	
23	保持フレーム	
24	プリント基板	
25	走査線(ゲート配線)	
26	ゲート電極	20
27	ゲート絶縁膜	
28	ソース電極	
29	ドレイン電極	
30	パッシベーション膜(保護膜、SiN)	
31	フォトレジスト層	
32	コンタクトホール	
34	信号線(ソース-ドレイン配線)	
100	液晶ディスプレイ	

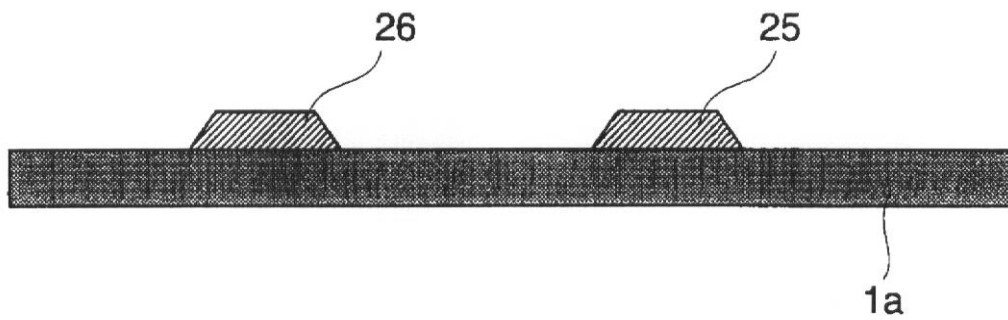
【図1】



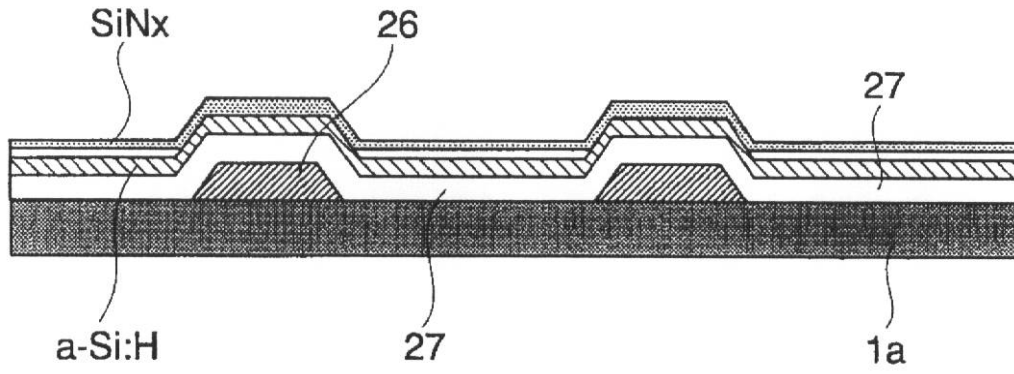
【図2】



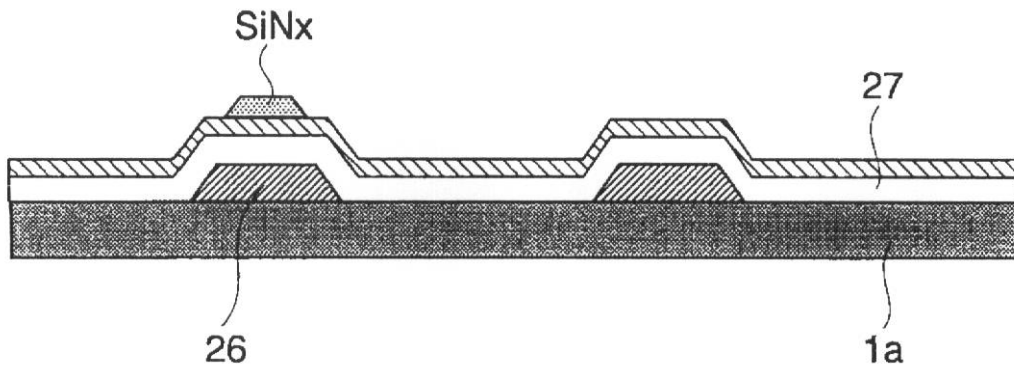
【図3】



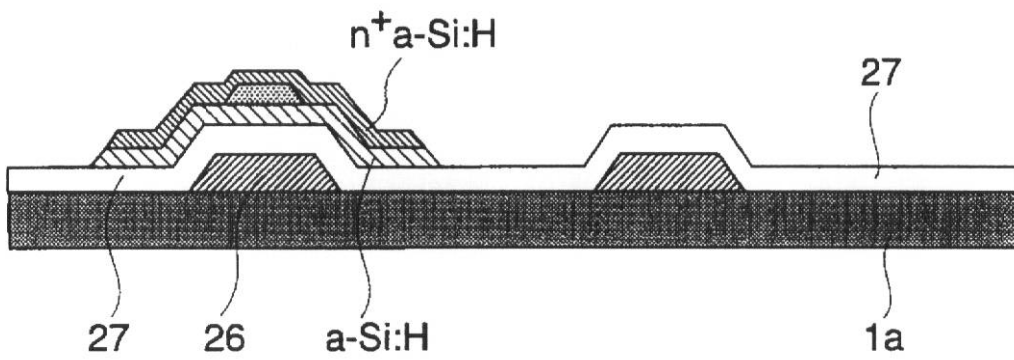
【図4】



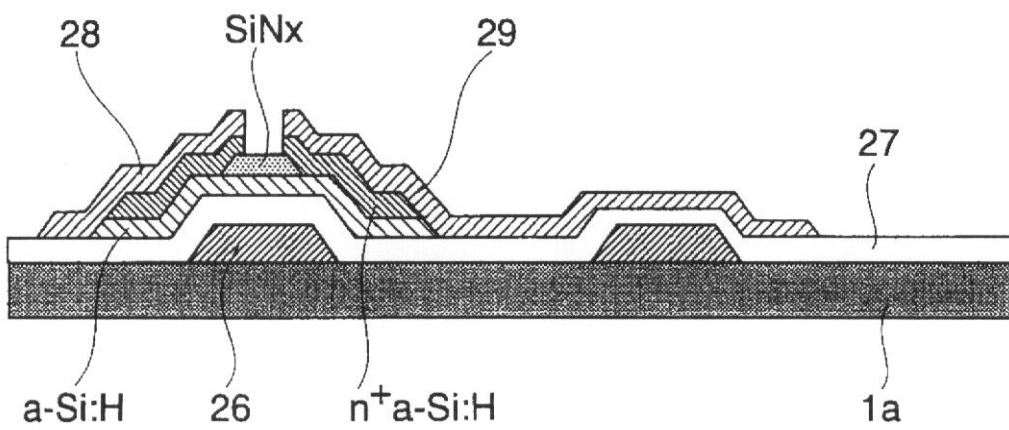
【図5】



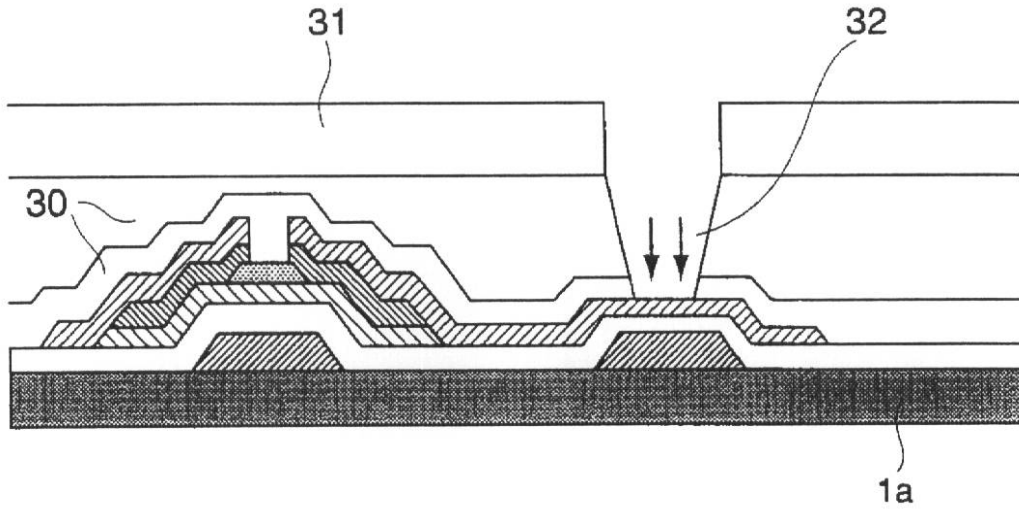
【図6】



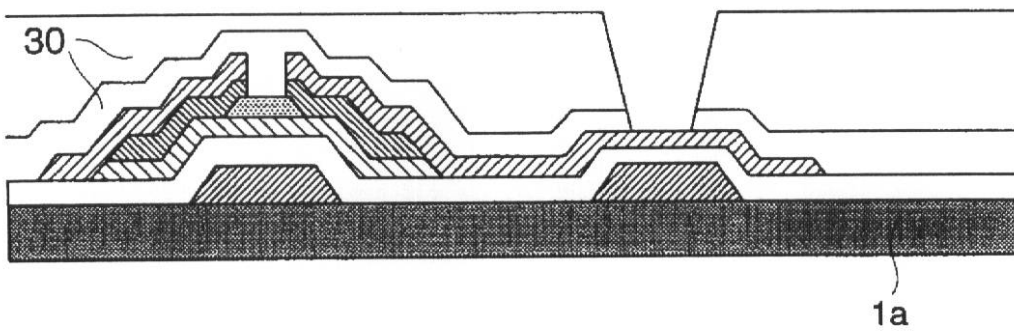
【図7】



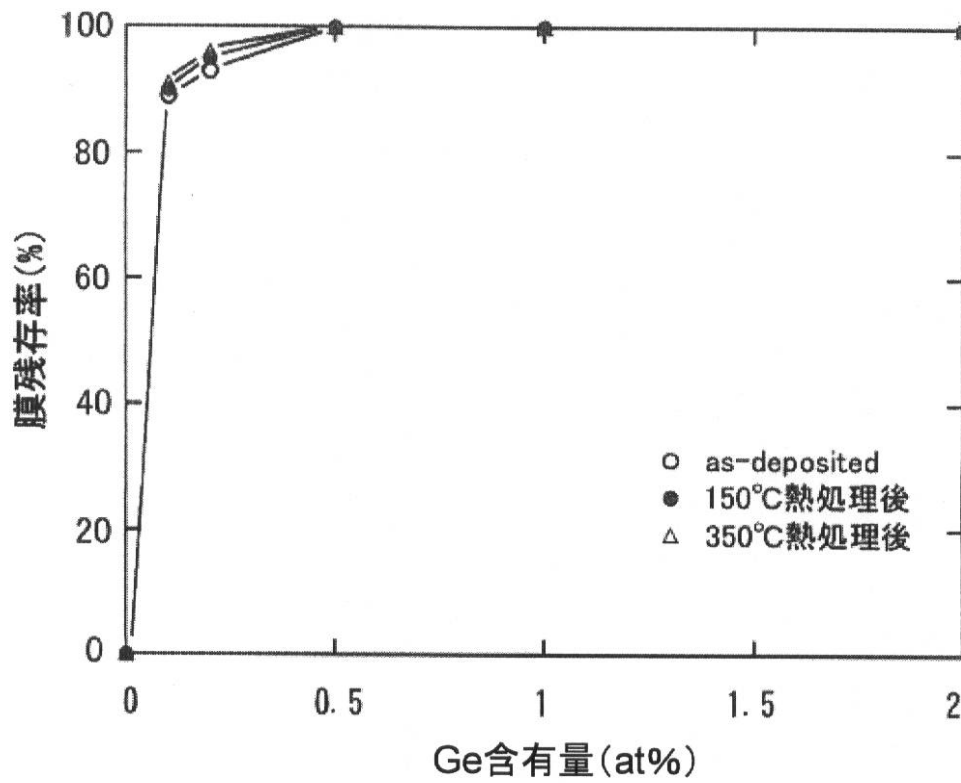
【図8】



【図9】

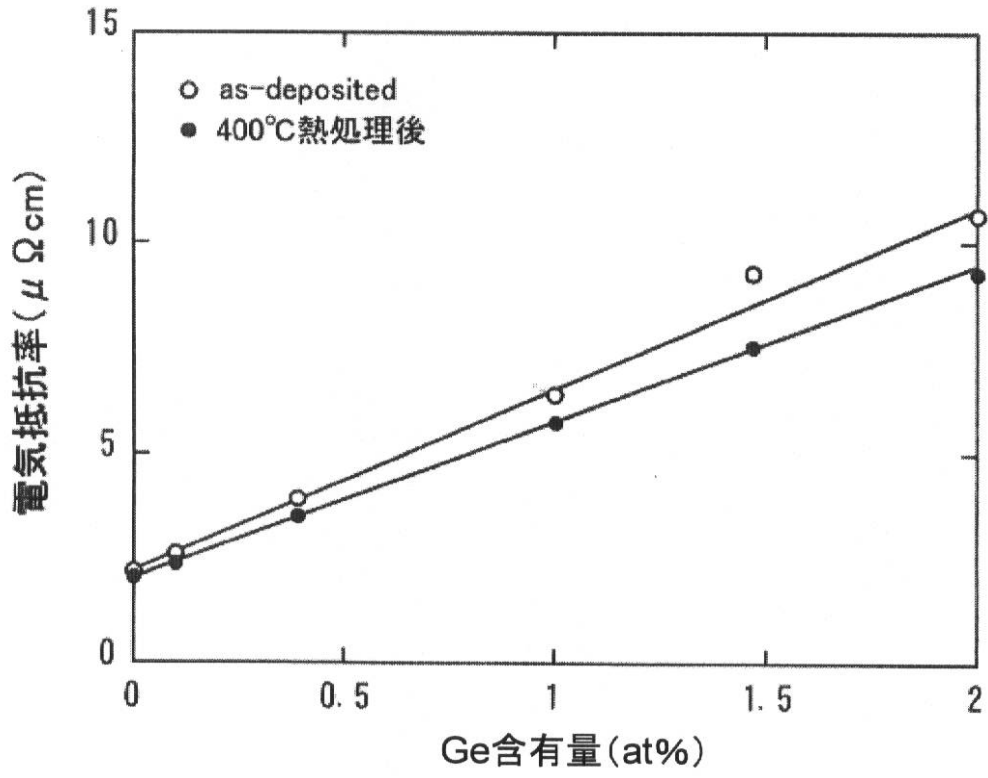


【図10】





【図11】



## フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	21/285	(2006.01)	H 0 1 L	29/50 M
H 0 1 L	21/3205	(2006.01)	H 0 1 L	21/285 S
H 0 1 L	21/768	(2006.01)	H 0 1 L	21/88 M
H 0 1 L	23/532	(2006.01)	G 0 2 F	1/1368
G 0 2 F	1/1368	(2006.01)	G 0 9 F	9/30 3 3 8
G 0 9 F	9/30	(2006.01)	G 0 9 F	9/30 3 3 0 Z

- (72)発明者 大西 隆  
 神戸市西区高塚台1丁目5番5号 株式会社神戸製鋼所 神戸総合技術研究所内
- (72)発明者 日野 綾  
 神戸市西区高塚台1丁目5番5号 株式会社神戸製鋼所 神戸総合技術研究所内
- (72)発明者 後藤 裕史  
 神戸市西区高塚台1丁目5番5号 株式会社神戸製鋼所 神戸総合技術研究所内
- (72)発明者 水野 雅夫  
 神戸市西区高塚台1丁目5番5号 株式会社神戸製鋼所 神戸総合技術研究所内
- (72)発明者 伊藤 弘高  
 神戸市西区高塚台1丁目5番5号 株式会社神戸製鋼所 神戸総合技術研究所内

審査官 井上 弘亘

- (56)参考文献 国際公開第2006/025347(WO, A1)  
 特開平05-047760(JP, A)  
 特開2005-191363(JP, A)  
 特開2006-336106(JP, A)

## (58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 9 / 7 8 6  
 G 0 2 F 1 / 1 3 6 8  
 G 0 9 F 9 / 3 0  
 H 0 1 L 2 1 / 2 8  
 H 0 1 L 2 1 / 2 8 5  
 H 0 1 L 2 1 / 3 2 0 5  
 H 0 1 L 2 1 / 7 6 8  
 H 0 1 L 2 3 / 5 3 2  
 H 0 1 L 2 9 / 4 1 7  
 H 0 1 L 2 9 / 4 2 3  
 H 0 1 L 2 9 / 4 9