



(12)发明专利

(10)授权公告号 CN 105762078 B

(45)授权公告日 2018.11.16

(21)申请号 201610298297.3

H01L 29/778(2006.01)

(22)申请日 2016.05.06

B82Y 30/00(2011.01)

(65)同一申请的已公布的文献号

申请公布号 CN 105762078 A

(56)对比文件

KR 101592513 B1, 2016.02.05,

CN 103681836 A, 2014.03.26,

(43)申请公布日 2016.07.13

CN 104218082 A, 2014.12.17,

(73)专利权人 西安电子科技大学

CN 105405878 A, 2016.03.16,

地址 710071 陕西省西安市太白南路2号

审查员 张雄娥

(72)发明人 张金凤 安阳 黄旭 张进成

郝跃

(74)专利代理机构 陕西电子工业专利中心

61205

代理人 王品华 朱红星

(51)Int.Cl.

H01L 21/335(2006.01)

H01L 29/20(2006.01)

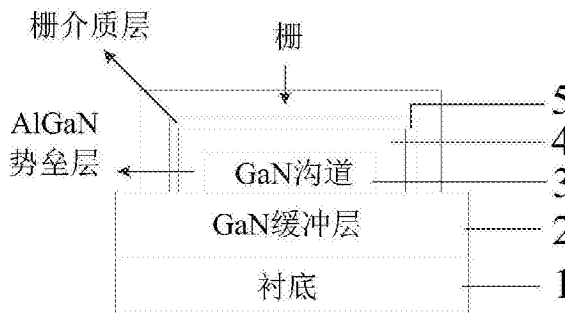
权利要求书1页 说明书5页 附图2页

(54)发明名称

GaN基纳米沟道高电子迁移率晶体管及制备方法

(57)摘要

本发明公开了一种GaN基纳米沟道高电子迁移率晶体管,主要解决现有技术短沟道效应严重,栅控能力差,漏电流和跨导较低的问题。其自下而上包括衬底(1)、GaN缓冲层(2)、GaN沟道(3)、AlGaN势垒层(4)、栅介质层(5)、钝化层(6)和源、栅、漏电极。其中GaN纳米沟道的两侧增设AlGaN势垒层,使GaN纳米沟道被包裹在AlGaN势垒层内,在GaN纳米沟道的上方和两侧形成AlGaN/GaN异质结;栅电极位于AlGaN/GaN异质结的两侧和上方。本发明具有栅控能力好,饱和电流大及源漏电阻小的优点,可作为小尺寸的高速高频器件。



1. 一种GaN基纳米沟道高电子迁移率晶体管,自下而上包括衬底(1)、GaN缓冲层(2)、鳍型GaN纳米沟道(3)、AlGaN势垒层(4)、栅介质层(5)、钝化层(6)和源、栅、漏电极,其特征在于:

鳍型GaN纳米沟道的两侧增设有AlGaN势垒层,使GaN纳米沟道被包裹在AlGaN势垒层内,形成AlGaN/GaN异质结;

栅电极位于AlGaN/GaN异质结的两侧和上方,使AlGaN/GaN异质结被包裹在栅电极内;

源、漏电极位于GaN纳米沟道两端,直接与AlGaN/GaN异质结生成二维电子气连接。

2. 根据权利要求1所述的GaN基纳米沟道高电子迁移率晶体管,其中衬底(1)采用蓝宝石或SiC或GaN。

3. 根据权利要求1所述的GaN基纳米沟道高电子迁移率晶体管,其中缓冲层(2)采用GaN,厚度为0.5~2 $\mu$ m。

4. 根据权利要求1所述的GaN基纳米沟道高电子迁移率晶体管,其中纳米沟道(3)采用GaN,厚度为50~150nm,宽度为50~100nm。

5. 根据权利要求1所述的GaN基纳米沟道高电子迁移率晶体管,其中势垒层(4)采用AlGaN,其Al组分为20%~35%,厚度为10~20nm。

6. 根据权利要求1所述的GaN基纳米沟道高电子迁移率晶体管,其中栅介质层(5)采用SiN或Al<sub>2</sub>O<sub>3</sub>,厚度为5~10nm。

7. 根据权利要求1所述的GaN基纳米沟道高电子迁移率晶体管,其中钝化层(6)采用SiN,厚度为50~100nm。

## GaN基纳米沟道高电子迁移率晶体管及制作方法

### 技术领域

[0001] 本发明属于微电子器件技术领域,具体地说是一种GaN基纳米沟道高电子迁移率晶体管HEMT,可用于高频高速集成电路。

### 背景技术

[0002] GaN材料作为第三代半导体材料,由于禁带宽度大、二维电子气2DEG浓度高和电子饱和速度高等优点,被认为是制作微波功率器件及高速器件的优良材料。特别是AlGa<sub>N</sub>/GaN异质结高电子迁移率晶体管HEMT,在军事与商用方面有广泛的应用价值。

[0003] 随着晶体管尺寸的缩小,栅长越来越短,传统高电子迁移率晶体管HEMT的短沟道效应越来越明显,表现为栅控能力变差,器件关断状态下泄漏电流变大,开关速度变慢。为了抑制短沟道效应,目前器件沟道三面环栅Fin结构的高电子迁移率晶体管HEMT备受关注,因为这种结构可以对沟道起到很好的栅控制能力。2013年Ki-Sik Im等人制备出了GaN纳米沟道FinFETs,最大漏电流达到670mA/mm,最大跨导为168mS/mm,泄漏电流约为 $10^{-11}$ mA,开关电流比达到 $10^8$ ,参见Im K S, Jo Y W, Lee J H, et al. Heterojunction-Free GaN Nanochannel FinFETs With High Performance[J]. Electron Device Letters IEEE, 2013, 34 (3) : 381-383。这种器件结构只是对GaN进行了重掺杂,没有形成异质结。但是由于AlGa<sub>N</sub>/GaN异质结具有高浓度的二维电子气2DEG,并且有很高的电子迁移率,所以这种没有异质结的器件的漏电流并不是很大,跨导也不是很高,开关速度也不够快。

### 发明内容

[0004] 本发明的目的在于针对上述高电子迁移率器件的不足,提出一种GaN基纳米沟道的高电子迁移率器件及制作方法,以提高漏电流和开关速度,增大跨导。

[0005] 为实现上述目的,本发明的技术思路如下:在衬底上生长GaN缓冲层,然后生长GaN沟道层,刻蚀形成鳍Fin型GaN纳米沟道,生长AlGa<sub>N</sub>势垒层包裹在GaN纳米沟道的两侧和上方,形成AlGa<sub>N</sub>/GaN异质结。这种结构使GaN沟道内电子密度增加,增大了器件的饱和漏电流。栅电极位于AlGa<sub>N</sub>/GaN异质结的两侧和上方,形成鳍型Fin三维栅结构,具有更好的栅控能力,能很好的抑制短沟道效应,提高开关电流比和跨导。

[0006] 依据上述技术思路,本发明的GaN基纳米沟道高电子迁移率晶体管,自下而上包括衬底、GaN缓冲层、鳍型GaN纳米沟道、AlGa<sub>N</sub>势垒层、栅介质层、SiN钝化层、源漏电极和栅电极,其特征在于:

[0007] 鳍型GaN纳米沟道的两侧增设AlGa<sub>N</sub>势垒层,使GaN纳米沟道被包裹在AlGa<sub>N</sub>势垒层内,形成AlGa<sub>N</sub>/GaN异质结;

[0008] 栅电极位于AlGa<sub>N</sub>/GaN异质结的两侧和上方,使AlGa<sub>N</sub>/GaN异质结被包裹在栅电极内。

[0009] 依据上述技术思路,本发明制作GaN基纳米沟道高电子迁移率晶体管的方法,包括如下步骤:

- [0010] 1) 在Si面SiC或c面蓝宝石或GaN单晶衬底上,利用金属有机化合物化学气相淀积MOCVD生长 $0.5\sim 2\mu\text{m}$ 的GaN缓冲层;
- [0011] 2) 在GaN层上生长 $50\sim 150\text{nm}$ 厚的GaN沟道层;
- [0012] 3) 通过刻蚀GaN沟道层,形成鳍型GaN纳米沟道;
- [0013] 4) 在GaN纳米沟道周围生长一层 $10\sim 20\text{nm}$ 厚的AlGaN势垒层,Al组分为 $20\%\sim 35\%$ ;
- [0014] 5) 在GaN纳米沟道两端制作源漏电极;
- [0015] 6) 利用原子层淀积ALD或等离子体增强化学气相淀积PECVD技术在AlGaN表面生长SiN作为栅介质层;
- [0016] 7) 在栅介质上光刻栅形状,并用电子束蒸发制备栅电极;
- [0017] 8) 在SiN和电极表面利用等离子体增强化学气相淀积PECVD淀积钝化层,刻蚀掉电极键合点上多余的钝化层,然后进行金属互连蒸发,完成器件的制备。
- [0018] 本发明具有如下优点:
- [0019] 1. 本发明器件由于采用鳍型Fin结构,三面环栅,能很好的抑制短沟道效应,从而可以做更小栅长的器件,同时由于采用鳍型Fin结构栅控能力好,开关电流比高。
- [0020] 2. 本发明器件由于采用GaN纳米沟道结构,沟道三面均与AlGaN势垒层形成AlGaN/GaN异质结,所以GaN沟道内电子密度较高,使器件有较大的饱和电流。
- [0021] 3. 本发明器件由于源漏电极直接与GaN纳米沟道接触,故源漏电阻很小。

#### 附图说明

- [0022] 图1是本发明器件的结构示意图;
- [0023] 图2是图1中水平a方向的剖视图;
- [0024] 图3是图1中垂直b方向的剖视图;
- [0025] 图4是本发明器件的工艺流程示意图。

#### 具体实施方式

- [0026] 以下结合附图对本发明作进一步详细描述。
- [0027] 参照图1、图2和图3,本发明器件包括衬底1、GaN缓冲层2、GaN纳米沟道3、AlGaN势垒层4、栅介质层5、SiN钝化层6和栅、源、漏电极。其中最下层是SiC或GaN或蓝宝石衬底1;衬底1上面是厚度为 $0.5\sim 2\mu\text{m}$ 的GaN缓冲层2;缓冲层2上面是厚度为 $50\sim 150\text{nm}$ ,宽度为 $50\text{nm}\sim 100\text{nm}$ 的GaN纳米沟道3;沟道3周围是一层厚度为 $10\sim 20\text{nm}$ 、Al组分为 $20\%\sim 35\%$ 的AlGaN势垒层4;AlGaN周围是栅介质层5,该栅介质层5采用SiN或 $\text{Al}_2\text{O}_3$ ,其厚度是 $5\sim 10\text{nm}$ ;栅电极位于AlGaN/GaN异质结的两侧和上方;源、漏电极分别位于在GaN纳米沟道两端;钝化层6覆盖在源、漏电极和栅介质层表面,该钝化层6采用厚度为 $50\sim 100\text{nm}$ 的SiN。
- [0028] 参照图4,本发明给出制备GaN基纳米沟道高电子迁移率晶体管的如下三种实施例。
- [0029] 实施例1:制作衬底为SiC,GaN缓冲层厚度是 $1\mu\text{m}$ ,GaN沟道层厚度是 $50\text{nm}$ ,AlGaN势垒层厚度为 $15\text{nm}$ ,Al组分为 $30\%$ ,栅介质层厚度是 $5\text{nm}$ ,钝化层厚度是 $50\text{nm}$ 的高电子迁移率器件。

[0030] 步骤1:在SiC衬底上利用金属有机化合物化学气相淀积MOCVD生长一层1 $\mu$ m厚的GaN缓冲层,其工艺条件如下:

[0031] 反应气体为三甲基镓和氨气,生长温度为800 $^{\circ}$ C,压强为 $1.5 \times 10^4$ Pa。

[0032] 步骤2:在GaN缓冲层上利用金属有机化合物化学气相淀积MOCVD生长一层50nm厚的GaN沟道层,其工艺条件如下:

[0033] 反应气体为三甲基镓和氨气,生长温度为850 $^{\circ}$ C,压强为 $1.5 \times 10^4$ Pa。

[0034] 上述步骤1和步骤2的生长结果如图4(a)。

[0035] 步骤3:刻蚀GaN纳米沟道。

[0036] 在GaN沟道层上涂光刻胶,利用电子束光刻机进行曝光,得到鳍型Fin沟道图案,再利用Cl<sub>2</sub>进行刻蚀,形成宽度为50nm的鳍型GaN纳米沟道,结果如图4(b)。

[0037] 步骤4:在GaN纳米沟道上方和侧壁利用金属有机化合物化学气相淀积MOCVD生长一层15nm厚,Al组分为30%的AlGa<sub>0.3</sub>N势垒层,结果如图4(c),其生长的工艺条件如下:

[0038] 反应物为三甲基镓、三甲基铝和氨气,生长温度为950 $^{\circ}$ C,压强为 $1.5 \times 10^4$ Pa。

[0039] 步骤5:制作源、漏电极。

[0040] 在鳍型AlGa<sub>0.3</sub>N/GaN异质结上涂光刻胶得到光刻胶掩模,利用电子束光刻机曝光形成源、漏区域,利用Cl<sub>2</sub>依次刻蚀掉AlGa<sub>0.3</sub>N势垒层和GaN沟道层,得到源、漏凹槽,在凹槽位置光刻源、漏图形,然后进行金属蒸发,选用Ti/Au做源、漏电极,其中Ti为10nm,Au为30nm,蒸发完成后进行金属剥离;再利用快速热退火炉在N<sub>2</sub>氛围中进行退火处理,得到源、漏电极,结果如图4(d)。

[0041] 步骤6:制作栅介质层。

[0042] 利用等离子体增强化学气相淀积PECVD在AlGa<sub>0.3</sub>N势垒层上生长一层30nm厚的SiN,然后涂胶,光刻得到栅图形;

[0043] 用SF<sub>6</sub>刻蚀掉栅区域25nm的SiN形成栅槽,剩余5nm厚的SiN作为栅介质层,结果如图4(e)。

[0044] 步骤7:制作栅电极。

[0045] 在栅槽位置采用电子束光刻机光刻栅形状,然后进行金属蒸发,选用Ti/Au做栅电极,其中Ti为5nm,然后进行金属剥离,最终形成栅金属电极;

[0046] 步骤8:制作钝化层。

[0047] 利用等离子体增强化学气相淀积PECVD淀积厚度为50nm的SiN钝化层,将栅介质层和源、漏电极表面完全覆盖;

[0048] 在电极键合点光刻露出互连窗口,使用Cl<sub>2</sub>刻蚀掉互连窗口处多余的SiN钝化层,进行金属互连蒸发,完成器件制作。

[0049] 上述步骤7和步骤8的制作结果如图4(f)。

[0050] 实施例2:制作衬底为蓝宝石,GaN缓冲层厚度是1.2 $\mu$ m,GaN沟道层厚度是70nm,AlGa<sub>0.3</sub>N势垒层厚度为20nm,Al组分为27%,栅介质层厚度是7nm,钝化层厚度是75nm的高电子迁移率器件。

[0051] 步骤一:在蓝宝石衬底上利用金属有机化合物化学气相淀积MOCVD生长一层1.2 $\mu$ m厚的GaN缓冲层,其工艺条件是:反应气体为三甲基镓和氨气,生长温度为800 $^{\circ}$ C,压强为 $1.5 \times 10^4$ Pa。

[0052] 步骤二:在GaN缓冲层上利用金属有机化合物化学气相淀积MOCVD生长一层70nm厚的GaN沟道层,其生长条件是:反应气体为三甲基镓和氨气,生长温度为850℃,压强为 $1.5 \times 10^4$ Pa。

[0053] 上述步骤一和步骤二的生长结果如图4(a)。

[0054] 步骤三:在GaN沟道层上涂光刻胶,利用电子束光刻机进行曝光,得到鳍型Fin沟道图案,再利用 $\text{Cl}_2$ 进行刻蚀,形成宽度为70nm的鳍型GaN纳米沟道,结果如图4(b)。

[0055] 步骤四:在GaN纳米沟道上方和侧壁利用金属有机化合物化学气相淀积MOCVD生长一层20nm厚,Al组分为27%的AlGaIn势垒层,结果如图4(c)。其工艺条件是:反应物为三甲基镓、三甲基铝和氨气,生长温度为950℃,压强为 $1.5 \times 10^4$ Pa。

[0056] 步骤五:制作源、漏电极。

[0057] 本步骤的实现与实施例1的步骤5相同,制作结果如图4(d)。

[0058] 步骤六:制作栅介质层。

[0059] 利用等离子体增强化学气相淀积PECVD在AlGaIn势垒层上生长一层30nm厚的SiN,然后涂胶,光刻得到栅图形;用 $\text{SF}_6$ 刻蚀掉栅区域23nm的SiN形成栅槽,剩余7nm厚的SiN作为栅介质层,制作结果如图4(e)。

[0060] 步骤七:制作栅电极。

[0061] 本步骤的实现与实施例1的步骤7相同。

[0062] 步骤八:制作钝化层。

[0063] 利用等离子体增强化学气相淀积PECVD淀积厚度为75nm的SiN钝化层,将栅介质层和源、漏电极表面完全覆盖;在电极键合点光刻露出互连窗口,使用 $\text{Cl}_2$ 刻蚀掉互连窗口处多余的SiN钝化层,进行金属互连蒸发,完成器件制备。

[0064] 上述步骤七和步骤八的制作结果如图4(f)。

[0065] 实施例3:制作衬底为GaIn, GaIn缓冲层厚度是2 $\mu\text{m}$ , GaIn沟道层厚度是60nm, AlGaIn势垒层厚度为20nm, Al组分为22%, 栅介质层厚度是10nm, 钝化层厚度是100nm的高电子迁移率器件。

[0066] 步骤a:在GaIn衬底上制作GaIn缓冲层。

[0067] 利用金属有机化合物化学气相淀积MOCVD在GaIn衬底上生长一层GaIn缓冲层,其生长的工艺条件为:反应气体为三甲基镓和氨气,生长温度为800℃,压强为 $1.5 \times 10^4$ Pa,生长的GaIn缓冲层厚度为2 $\mu\text{m}$ 。

[0068] 步骤b:在GaIn缓冲层上生长GaIn沟道层。

[0069] 利用金属有机化合物化学气相淀积MOCVD在GaIn缓冲层上生长GaIn沟道层,其生长的工艺条件是:反应气体为三甲基镓和氨气,生长温度为850℃,压强为 $1.5 \times 10^4$ Pa,生长的GaIn沟道层厚度为60nm。

[0070] 步骤c:在GaIn沟道层上刻蚀GaIn纳米沟道。

[0071] 在GaIn沟道层上涂光刻胶,利用电子束光刻机进行曝光,得到鳍型Fin沟道图案;利用 $\text{Cl}_2$ 进行刻蚀,形成宽度为100nm的鳍型GaIn纳米沟道。

[0072] 步骤d:在GaIn沟道层上方和侧壁生长AlGaIn势垒层。

[0073] 利用金属有机化合物化学气相淀积MOCVD在GaIn纳米沟道上方和侧壁上生长AlGaIn势垒层,生长的工艺条件是:反应物为三甲基镓、三甲基铝和氨气,生长温度为950℃,压强

为 $1.5 \times 10^4$ Pa;

[0074] AlGaIn势垒层的厚度是20nm,Al组分为22%。

[0075] 步骤e:制作源、漏电极。

[0076] 本步骤的实现与实施例1的步骤5相同。

[0077] 步骤f:在AlGaIn势垒层上制作栅介质层。

[0078] 利用等离子体增强化学气相淀积PECVD在AlGaIn势垒层上生长一层30nm厚的SiN,然后涂胶,光刻得到栅图形;用SF<sub>6</sub>刻蚀掉栅区域20nm的SiN形成栅槽,剩余10nm厚的SiN作为栅介质层。

[0079] 步骤g:制作栅电极。

[0080] 本步骤的实现与实施例1的步骤7相同。

[0081] 步骤h:在栅介质层和源、漏电极表面制作钝化层。

[0082] 利用等离子体增强化学气相淀积PECVD淀积厚度为100nm的SiN钝化层,将栅介质层和源、漏电极表面完全覆盖;在电极键合点光刻露出互连窗口,使用Cl<sub>2</sub>刻蚀掉互连窗口处多余的SiN钝化层,进行金属互连蒸发,完成器件制备。

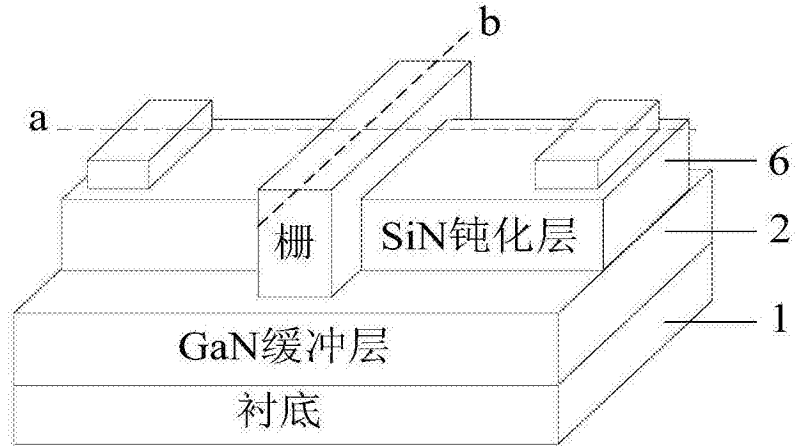


图1

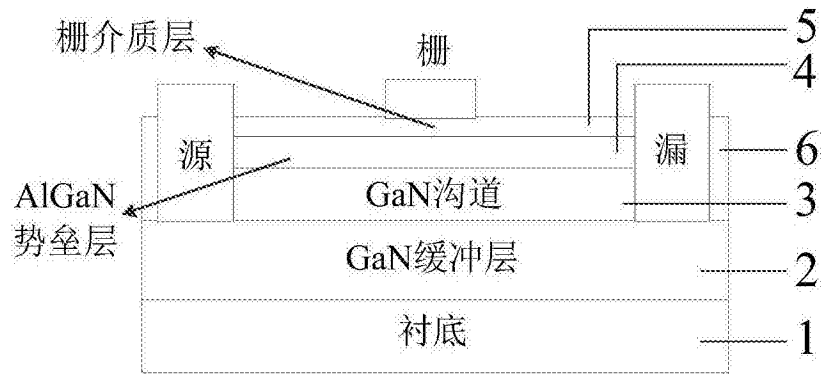


图2

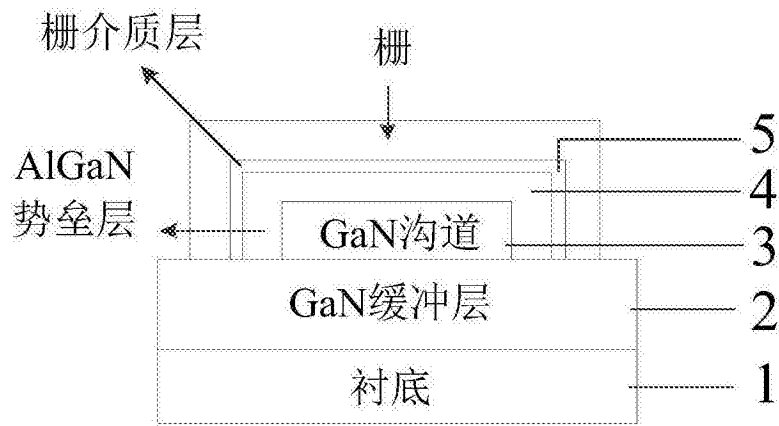


图3



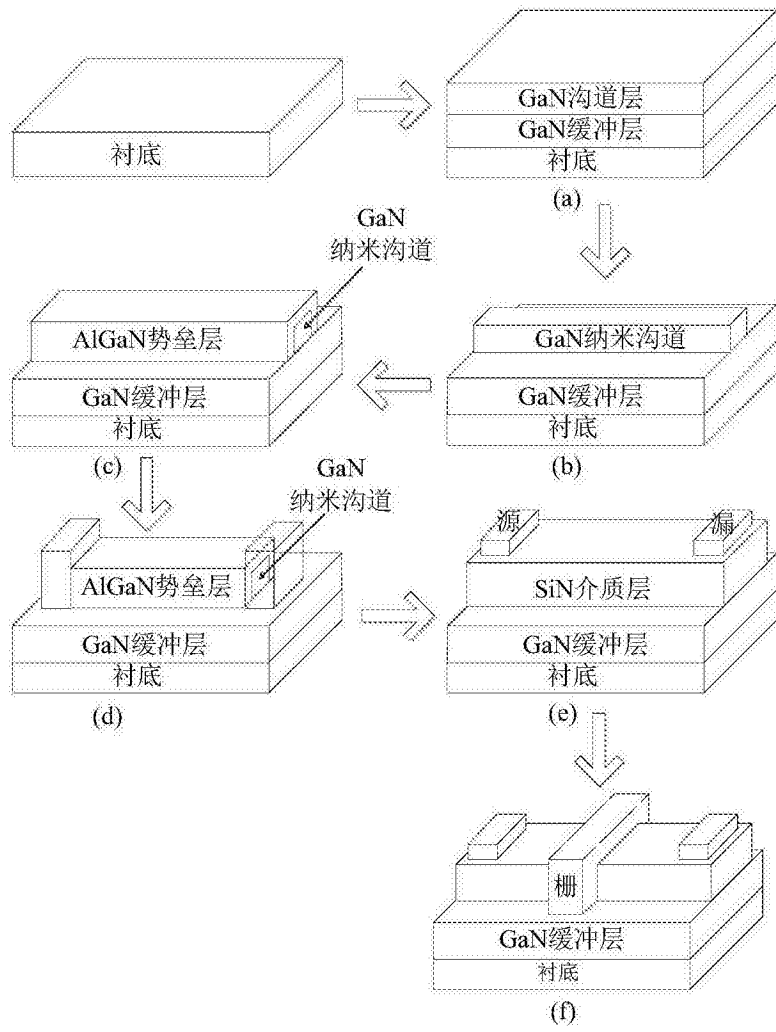


图4