



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I455148 B

(45) 公告日：中華民國 103 (2014) 年 10 月 01 日

(21) 申請案號：099143442

(22) 申請日：中華民國 99 (2010) 年 12 月 13 日

(51) Int. Cl. : **G11C7/10 (2006.01)**

(71) 申請人：世界先進積體電路股份有限公司 (中華民國) VANGUARD INTERNATIONAL SEMICONDUCTOR CORPORATION (TW)

新竹縣新竹科學工業園區園區三路 123 號

(72) 發明人：陳瑞隆 CHEN, JUI LUNG (TW)；黃天輝 HUANG, TIEN HUI (TW)；莊介堯 CHUANG, CHIEH YAO (TW)

(74) 代理人：洪澄文；顏錦順

(56) 參考文獻：

US 6173379B1

US 6473334B1

US 7251175B2

US 2007/0103954A1

US 2008/0239860A1

US 2009/0190389A1

WO 2006/127117A2

審查人員：蕭明椿

申請專利範圍項數：7 項 圖式數：4 共 0 頁

(54) 名稱

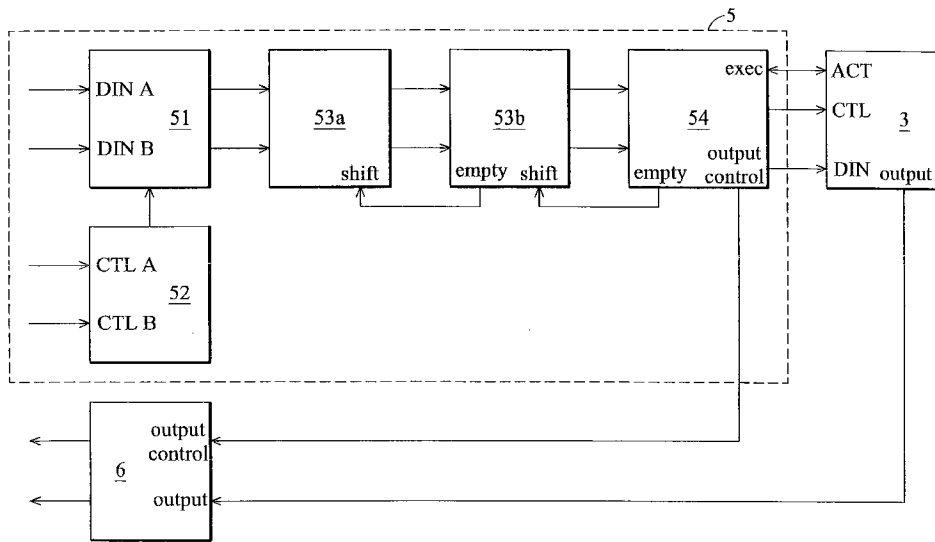
用以存取多埠輸入讀寫事件的積體裝置

INTEGRATED DEVICE FOR ACCESSING MULTI-PORT INPUT READ/WRITE EVENT

(57) 摘要

本發明係提供一種用以存取多埠輸入讀寫事件的積體裝置，包括：一單埠靜態隨機存取記憶體 (SRAM)；以及一事件佇列，連接至該單埠 SRAM，具有複數個輸入埠及複數個串聯的事件儲存器，該等事件儲存器分別存放透過該等輸入埠而接收之對該單埠 SRAM 的一讀寫事件。

The present invention provides an integrated device for accessing multi-port input read/write event, comprising a single port static random access memory (SRAM), and an event queue which is connected to the single port SRAM and has a plurality of input ports and a plurality of event store units which are series-connected. Each of the event store units stores a read/write event for the single port SRAM. The read/write event is received through one of the input ports.



第 4 圖

- 3 . . . 單埠 SRAM
- 5 . . . 事件佇列
- 51 . . . 事件分配器
- 52 . . . 事件觸發器
- 53a、53b . . . 事件儲存器
- 54 . . . 事件執行單元
- 6 . . . 輸出分配器
- DIN、DIN A、DINB . . . 輸入埠
- CTL、CTL A、CTL B . . . 控制端
- shift . . . 移位端
- empty . . . 空位端
- exec . . . 執行端
- output . . . 輸出端
- output control . . . 輸出控制端
- ACT . . . 動作端

公告本

發明專利說明書

100年1月8日修正
對線頁

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：99143442

※申請日：99.12.13

※IPC 分類：

G11C 7/10 (2006.01)

一、發明名稱：(中文/英文)

用以存取多埠輸入讀寫事件的積體裝置 / Integrated Device for Accessing Multi-port Input Read/Write Event

二、中文發明摘要：

本發明係提供一種用以存取多埠輸入讀寫事件的積體裝置，包括：一單埠靜態隨機存取記憶體 (SRAM)；以及一事件佇列，連接至該單埠 SRAM，具有複數個輸入埠及複數個串聯的事件儲存器，該等事件儲存器分別存放透過該等輸入埠而接收之對該單埠 SRAM 的一讀寫事件。

三、英文發明摘要：

The present invention provides an integrated device for accessing multi-port input read/write event, comprising a single port static random access memory (SRAM), and an event queue which is connected to the single port SRAM and has a plurality of input ports and a plurality of event store units which are series-connected. Each of the event store units stores a read/write event for the single port SRAM. The read/write event is received through one of the input ports.

106年1月28日修正 對線頁(本)

四、指定代表圖：

(一)本案指定代表圖為：第 (4) 圖。

(二)本代表圖之元件符號簡單說明：

- 3～單埠 SRAM； 5～事件佇列；
51～事件分配器； 52～事件觸發器；
53a、53b～事件儲存器； 54～事件執行單元；
6～輸出分配器；
DIN、DIN A、DINB～輸入埠；
CTL、CTL A、CTL B～控制端；
shift～移位端； empty～空位端；
exec～執行端； output～輸出端
output control～輸出控制端；
ACT～動作端。

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

略

六、發明說明：

【發明所屬之技術領域】

本發明係有關於一種積體裝置，且特別有關於一種使用單埠靜態隨機存取記憶體（Static Random Access Memory，SRAM）來存取多埠輸入讀寫事件的積體裝置。

【先前技術】

靜態隨機存取記憶體（Static Random Access Memory，SRAM）因具有讀寫速度快、不用進行刷新動作、增加CPU、GPU處理效率、良好的抗雜訊能力等優點，因此常被作為快取記憶體使用。隨著積體電路製程的進步及材料科學的發展，積體電路的操作頻率及運算能力快速地提昇，適當地增加SRAM有助於減少CPU存取資料的次數，使得系統產生熱量減少。

如第1圖所示，現有的系統晶片（System on a chip）或顯示器的驅動IC常使用雙埠SRAM 2以供處理器，例如微控制器（Microcontroller Unit）1來進行雙埠資料的讀寫。而因為雙埠SRAM字元線數與位元線數皆是單埠SRAM的兩倍，電晶體數目也較單埠SRAM要多，因此有著電路複雜龐大且佔有面積大的缺點。

因此也有一種作法如第2圖所示，是使用單埠SRAM 3再加上一時序控制電路4來提供微控制器1進行雙埠資料的讀寫。時序控制電路4會將A埠或B埠兩者當中先到達的讀寫事件輸出給單埠SRAM 3執行讀寫，並暫停後到達的另一讀寫事件的輸入，直到單埠SRAM 3完成先到達的讀寫事件後，才使後到達的讀寫事件輸入並且輸出至單埠

100年1月28日 修正頁(本)
註錄

SRAM 3。如此一來，時序控制電路 4 的時序必須與單埠 SRAM 3 的工作速度同步，微控制器 1 則必須等待單埠 SRAM 3 完成一個讀寫事件後，才能將下一個讀寫事件輸入時序控制電路 4，最後造成系統整體的速度下降。

【發明內容】

如上所述，傳統上使用雙埠 SRAM 會造成的佔有面積過大，而使用單埠 SRAM 與時序控制電路則會造成的系統速度下降。

有鑑於上述問題，本發明係提供一種用以存取多埠輸入讀寫事件的積體裝置，包括：一單埠 SRAM；以及一事件佇列，連接至該單埠 SRAM，具有複數個輸入埠及複數個串聯的事件儲存器，該等事件儲存器分別存放透過該等輸入埠而接收之對該單埠 SRAM 的一讀寫事件。

在根據本發明用以存取多埠輸入讀寫事件的積體裝置中，該事件佇列更具有一事件執行單元，連接至該等複數個串聯的事件儲存器與該單埠 SRAM 之間，根據該單埠 SRAM 的執行速度，控制該等事件儲存器所存放的該讀寫事件的資料移動至該單埠 SRAM。

具體而言，該事件執行單元在該單埠 SRAM 完成一讀寫事件時，會通知該事件執行單元前一級的該事件儲存器輸出所存放的下一個要執行的讀寫事件給該事件執行單元。

在根據本發明用以存取多埠輸入讀寫事件的積體裝置中，該等複數個串聯的事件儲存器中非第一級的事件儲存器的其中一者，若沒有存放一讀寫事件而具有空位，會通

知前一級的事件儲存器輸出所存放的一讀寫事件給該非第一級的事件儲存器的其中一者。

在根據本發明用以存取多埠輸入讀寫事件的積體裝置中，該事件佇列更具有一事件分配器，具有該等複數個輸入埠用以輸入該等複數個讀寫事件；及一輸出埠，依序輸出該等複數個讀寫事件給該等複數個串聯的事件儲存器；

在根據本發明用以存取多埠輸入讀寫事件的積體裝置中，該事件佇列更具有一事件觸發器，根據該讀寫事件來觸發該事件分配器中可先輸入的該輸入埠。

在根據本發明用以存取多埠輸入讀寫事件的積體裝置中，該事件分配器更設有一優先權處理邏輯電路，用以設定優先執行的讀寫事件。

在根據本發明用以存取多埠輸入讀寫事件的積體裝置中，該事件執行單元更可以控制一輸出分配器，決定該單埠 SRAM 的一輸出會透過該輸出分配器的複數輸出埠中的一輸出埠來輸出。

如上所述，本發明提供一種由單埠 SRAM 與事件佇列的架構，同時解決了使用雙埠 SRAM 的大面積問題，以及使用單埠 SRAM 與時序控制電路的系統速度下降的問題。

為使本發明之上述及其他目的、特徵和優點能更明顯易懂，下文特舉一具體之實施例，並配合所附圖式第做詳細說明。

【實施方式】

第 3 圖係顯示本發明使用單埠 SRAM 與事件佇列供微控制器進行資料讀寫的架構。如第 3 圖所示，單埠 SRAM 3

10年1月28日 修正頁(六)
對線

與微控制器 1 之間具有一事件佇列 5，取代習知技術的時序控制電路 4。

第 4 圖係顯示本發明的事件佇列 5 的詳細架構。如第 4 圖所示，事件佇列 5 具有一個事件分配器 51、一個事件觸發器 52、複數個事件儲存器 53a、53b(第 4 圖以兩個為例)、以及一個事件執行單元 54。一個讀寫事件會依序經由事件分配器 51、事件儲存器 53a、事件儲存器 53b、事件執行單元 54 後到達單埠 SRAM 3。

事件分配器 51 包括兩個輸入埠 DIN A、DIN B。而事件觸發器 52 包括兩個輸入控制端 CTL A、CTL B，會根據讀寫事件來觸發事件分配器 51 的哪一個輸入埠可先行輸入讀寫事件。因此事件分配器 51 會依序將兩個輸入埠 DIN A、DIN B 的讀寫事件輸出至事件儲存器 53a。

事件儲存器 53a 可存放一個讀寫事件，包括一移位端 shift 及一空位端 empty(未圖示)，並且更包括一記憶單元(未圖示)可以決定此事件儲存器 53a 是否具有空位，如果有空位，則允許讀寫事件進入，並將事件儲存器 53a 的輸入埠關閉，到下一級的事件儲存器 53b 有空位時，才將讀寫事件輸入下一級的事件儲存器 53b 並設定自己具有空位，打開事件儲存器 53a 的輸入埠允許新讀寫事件輸入。事件儲存器 53b 的構造及功能皆與事件儲存器 53a 相同，在此不重複說明。

因此具體而言，當事件分配器 51 輸出的一個讀寫事件輸入事件儲存器 53a 時，若事件儲存器 53b 沒有存放讀寫事件而具有空位的情況下，事件儲存器 53b 會透過空位端

empty 輸出信號（例如，高位準信號）至事件儲存器 53a 的移位端 shift，通知事件儲存器 53a 將輸入的讀寫事件移動至事件儲存器 53b；若事件儲存器 53b 存放有讀寫事件而不具有空位的情況下，事件儲存器 53b 會透過空位端 empty 輸出信號（例如，低位準信號）至事件儲存器 53a 的移位端 shift，通知事件儲存器 53a 先存放輸入的讀寫事件。而事件儲存器 53b 所輸出的讀寫事件會輸入事件執行單元 54，輸出後事件儲存器 53b 即具有空位。

事件執行單元 54 包括一空位端 empty、一輸出控制端 output control、一執行端 exec。事件執行單元 54 將由事件儲存器 53b 輸入的讀寫事件輸出給單埠 SRAM 3 的輸入埠 DIN，並輸出一控制信號至單埠 SRAM 3 的控制端 CTL 來執行讀寫。其中事件執行單元 54 會根據單埠 SRAM 3 的執行速度來控制前一級的事件儲存器 53b 是否進行資料移動。具體來說，當單埠 SRAM 3 的動作端 ACT 告知單埠 SRAM 3 的執行端 exec 單埠 SRAM 3 讀寫動作完成時，事件執行單元 54 便會透過空位端 empty 輸出信號（例如，高位準信號）至事件儲存器 53b 的移位端 shift，通知事件儲存器 53b 將輸入的讀寫事件移動至事件執行單元 54。而事件執行單元 54 更有控制一輸出分配器 6 輸出的功能，事件執行單元 54 透過輸出控制端 output control 輸出控制信號至輸出分配器 6 的輸出控制端 output control，決定單埠 SRAM 3 的輸出端 output 輸出的信號進入輸出分配器 6 的輸出端 output 後會由兩個輸出埠中的哪一個輸出埠來輸出。

藉由上述架構，當多埠的讀寫事件輸入事件佇列 5 時，讀寫事件會往串聯的事件儲存器 53a、53b 存放，因此只要有一個事件儲存器 53a（或 53b）具有空位，微控制器 1 就可將雙埠輸入的讀寫事件全部輸入事件佇列 5 中，而不需要停下來等待單埠 SRAM 3 完成讀寫動作。系統處理速度也因此可得到提昇。

再者就佔有面積而言，使用單埠 SRAM 3 的佔有面積大約是雙埠 SRAM 2 的佔有面積的 70% 左右，而使用事件佇列 5 僅增加 10% 左右的面積，因此本發明使用單埠 SRAM 3 與事件佇列 5 比起傳統上使用雙埠 SRAM 2 有著面積減小的優點。

本發明除了可使用單埠 SRAM 與事件佇列以事件驅動方式來模擬雙埠存取 SRAM 外，也可增加事件佇列中的事件儲存器數目來模擬多埠存取的檔案暫存器（file register）。再者本發明也可在事件分配器加上一優先權處理邏輯電路，以便設定不能等待的讀寫事件優先執行。因此雖已詳細說明較佳的實施例，但以上實施例僅為本發明的範例而非限定於此，本發明實際的範圍將由申請專利範圍來界定。

【圖式簡單說明】

第 1 圖係顯示傳統上使用雙埠 SRAM 供微控制器進行資料讀寫的架構。

第 2 圖係顯示傳統上使用單埠 SRAM 供微控制器進行資料讀寫的架構。

第 3 圖係顯示本發明使用單埠 SRAM 與事件佇列供微

控制器進行資料讀寫的架構。

第4圖係顯示本發明的事件佇列的詳細架構。

【主要元件符號說明】

- | | |
|-----------------------|----------------|
| 1～微控制器； | 2～雙埠 SRAM； |
| 3～單埠 SRAM； | 4～時序控制電路； |
| 5～事件佇列； | 51～事件分配器； |
| 52～事件觸發器； | 53a、53b～事件儲存器； |
| 54～事件執行單元； | 6～輸出分配器； |
| DIN、DIN A、DINB～輸入埠； | |
| CTL、CTL A、CTL B～控制端； | |
| shift～移位端； | empty～空位端； |
| exec～執行端； | output～輸出端； |
| output control～輸出控制端； | |
| ACT～動作端； | CTL～控制端。 |

第 099143442 號申請專利範圍修正欄

七、申請專利範圍：

1. 一種用以存取多埠輸入讀寫事件之積體裝置，包括：
一單埠靜態隨機存取記憶體（Static Random Access Memory，SRAM）；以及

一事件佇列，連接至該單埠 SRAM，具有複數個輸入埠及複數個串聯的事件儲存器，該等事件儲存器分別存放透過該等輸入埠而接收之對該單埠 SRAM 之一讀寫事件，其中該事件佇列更具有一事件執行單元，連接至該等複數個串聯的事件儲存器與該單埠 SRAM 之間，根據該單埠 SRAM 的執行速度，控制該等事件儲存器所存放的該讀寫事件的資料移動至該單埠 SRAM。

2. 如申請專利範圍第 1 項所述之用以存取多埠輸入讀寫事件之積體裝置，其中該事件執行單元在該單埠 SRAM 完成一讀寫事件時，會通知該事件執行單元前一級的該事件儲存器輸出所存放的下一個要執行的讀寫事件給該事件執行單元。

3. 如申請專利範圍第 1 項所述之用以存取多埠輸入讀寫事件之積體裝置，其中該等複數個串聯的事件儲存器中非第一級的事件儲存器的其中一者，若沒有存放一讀寫事件而具有空位，會通知前一級的事件儲存器輸出所存放的一讀寫事件給該非第一級的事件儲存器的其中一者。

4. 如申請專利範圍第 1 項所述之用以存取多埠輸入讀寫事件之積體裝置，其中該事件佇列更具有一事件分配器，具有：該等複數個輸入埠，用以輸入該等複數個讀寫事件；及一輸出埠，依序輸出該等複數個讀寫事件給該等

第 099143442 號申請專利範圍修正本

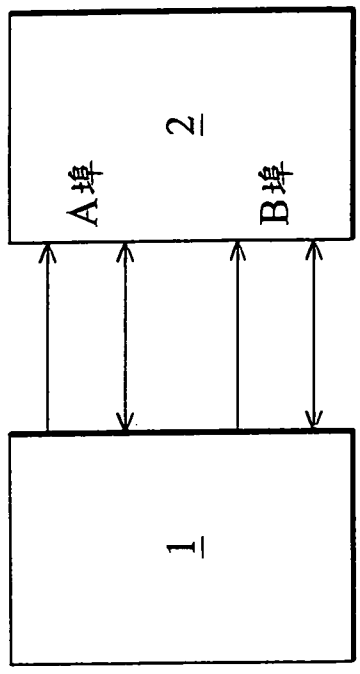
複數個串聯的事件儲存器。

5.如申請專利範圍第 4 項所述之用以存取多埠輸入讀寫事件之積體裝置，其中該事件佇列更具有有一事件觸發器，根據該讀寫事件來觸發該事件分配器中可先輸入的該輸入埠。

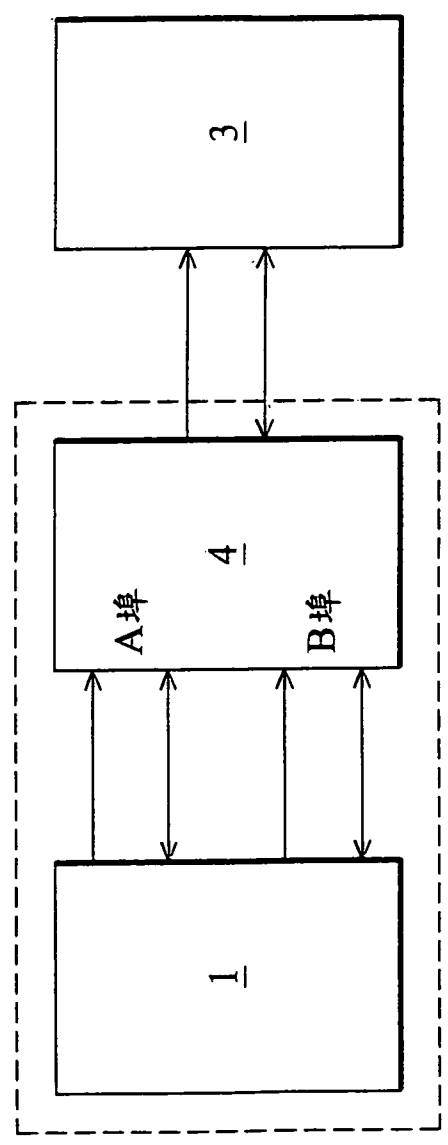
6.如申請專利範圍第 4 項所述之用以存取多埠輸入讀寫事件之積體裝置，其中該事件分配器更設有一優先權處理邏輯電路，用以設定優先執行的讀寫事件。

7.如申請專利範圍第 1 項所述之用以存取多埠輸入讀寫事件之積體裝置，其中該事件執行單元更可以控制一輸出分配器，決定該單埠 SRAM 的一輸出會透過該輸出分配器的複數輸出埠中的一輸出埠來輸出。

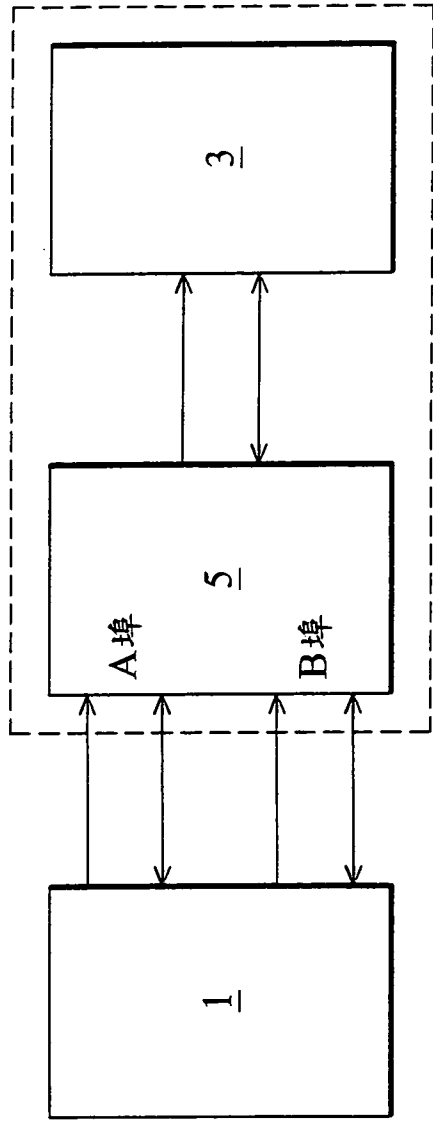
103 年 5 月 13 日修正替換頁



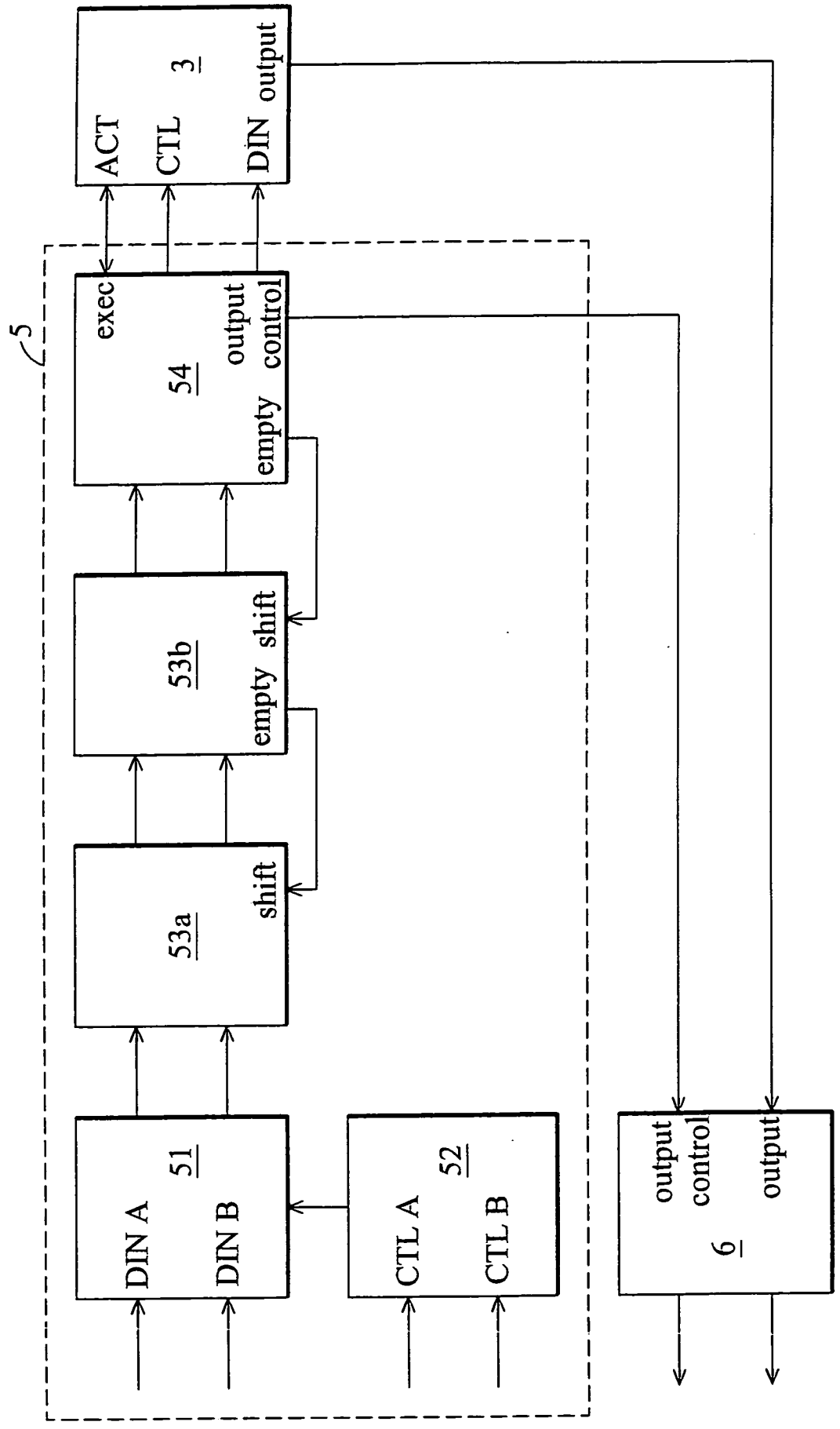
第 1 圖



第 2 圖



第 3 圖



第 4 圖