



(12) 发明专利

(10) 授权公告号 CN 102612748 B

(45) 授权公告日 2015.06.10

(21) 申请号 201080040859.5

(22) 申请日 2010.07.13

(30) 优先权数据

12/458,543 2009.07.15 US

(85) PCT国际申请进入国家阶段日

2012.03.14

(86) PCT国际申请的申请数据

PCT/US2010/041836 2010.07.13

(87) PCT国际申请的公布数据

W02011/008767 EN 2011.01.20

(73) 专利权人 桑迪士克 3D 公司

地址 美国加利福尼亚州

(72) 发明人 R·马卡拉 V·邓顿 Y·田中

S·麦斯威尔 T·张

S·J·瑞迪格安

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 邱军

(51) Int. Cl.

H01L 27/10(2006.01)

H01L 27/24(2006.01)

(56) 对比文件

US 2008/0113469 A1, 2008.05.15, 说明书第 [0025] 段 - 第 [0049] 段, 附图 4A-4L.

US 2008/0113469 A1, 2008.05.15, 说明书第 [0025] 段 - 第 [0049] 段, 附图 4A-4L.

WO 2009/005700 A2, 2009.01.08, 说明书第 15 页第 3-17 行.

US 2005/0242386 A1, 2005.11.03, 说明书第 [0049] 段 - 第 [0060] 段, 附图 3.

US 2006/0258076 A1, 2006.11.16, 全文.

审查员 张斌

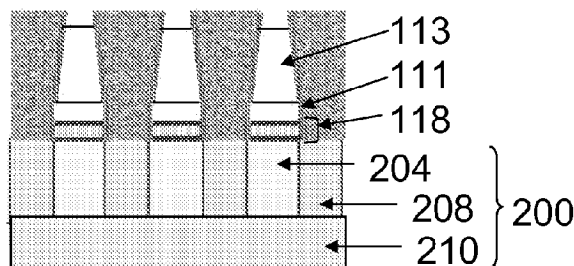
权利要求书4页 说明书7页 附图6页

(54) 发明名称

使用牺牲材料制造大马士革二极管的方法

(57) 摘要

一种制造半导体器件的方法,其包括:在底层之上形成包括籽晶材料的第一层;在第一层之上形成包括牺牲材料的第二层,牺牲材料不同于籽晶材料;将第一层和第二层图形化为多个分离的特征部;在多个分离的特征部之间形成绝缘填充材料;从分离的特征部中去除牺牲材料,从而在绝缘填充材料中形成多个开口,使得籽晶材料暴露于多个开口中;以及在多个开口中暴露的籽晶材料上生长半导体材料。



1. 一种制造半导体器件的方法,其包括:

在底层之上形成第一层,所述第一层包括籽晶材料;

在所述第一层之上形成第二层,所述第二层包括牺牲材料,所述牺牲材料不同于所述籽晶材料;

将所述第一层和所述第二层图形化成多个分离的特征部,所述多个分离的特征部中的每一个至少包括位于牺牲材料部分之下的籽晶材料部分;

在所述多个分离的特征部之间形成绝缘填充材料;

从所述分离的特征部中去除所述牺牲材料部分,从而在所述绝缘填充材料中形成多个开口,使得所述籽晶材料部分暴露于所述多个开口中,其中所述牺牲层完全被从所述器件去除;以及

在所述多个开口中暴露的籽晶材料上生长半导体材料,

其中:

所述籽晶材料包括金属硅化物;或

所述籽晶材料包括第一导电型的半导体材料,以及生长所述半导体材料的步骤包括选择性地生长本征半导体材料或第二导电型的半导体材料。

2. 根据权利要求 1 所述的方法,其中所述籽晶材料包括所述金属硅化物。

3. 根据权利要求 1 所述的方法,其中

所述籽晶材料包括所述第一导电型的所述半导体材料;以及

生长所述半导体材料的步骤包括选择性地生长所述本征半导体材料或所述第二导电型的所述半导体材料。

4. 根据权利要求 1 所述的方法,其中所述籽晶材料和所述半导体材料各自包括硅、锗或硅锗合金。

5. 根据权利要求 1 所述的方法,其中

所述牺牲材料包括无定形碳、氮化硅或锗;以及

所述绝缘填充材料包括无机绝缘材料。

6. 根据权利要求 1 所述的方法,进一步包括在所述多个分离的特征部之间形成所述绝缘填充材料的步骤之前,在所述多个分离的特征部之上形成衬垫。

7. 根据权利要求 1 所述的方法,其中所述多个分离的特征部中的每一个包括基柱或导轨。

8. 一种制造半导体器件的方法,其包括:

在底层之上形成第一层,所述第一层包括籽晶材料;

在所述第一层之上形成第二层,所述第二层包括牺牲材料,所述牺牲材料不同于所述籽晶材料;

将所述第一层和所述第二层图形化成多个分离的特征部,所述多个分离的特征部中的每一个至少包括位于牺牲材料部分之下的籽晶材料部分;

在所述多个分离的特征部之间形成绝缘填充材料;

从所述分离的特征部中去除所述牺牲材料部分,从而在所述绝缘填充材料中形成多个开口,使得所述籽晶材料部分暴露于所述多个开口中,其中所述牺牲层完全被从所述器件去除;以及

在所述多个开口中暴露的籽晶材料上生长半导体材料；  
其中所述多个分离的特征部中的每一个包括圆柱形基柱，并且其中所述半导体器件包括二极管。

9. 一种制造多个二极管的方法，其包括：

在底层之上形成第一层，所述第一层包括籽晶材料；

在所述第一层之上形成第二层，所述第二层包括牺牲材料；

将所述第一层和所述第二层图形化成多个基柱，所述多个基柱中的每一个包括位于牺牲材料部分之下的籽晶材料部分；

在所述多个基柱之间形成绝缘填充材料；

去除所述多个基柱的牺牲材料部分，从而在所述绝缘填充材料中形成多个开口，使得所述多个基柱的籽晶材料暴露于所述多个开口中，其中所述牺牲层完全被从所述多个二极管去除；以及

在所述多个开口中暴露的籽晶材料上生长半导体材料，从而形成所述多个二极管。

10. 根据权利要求 9 所述的方法，其中所述籽晶材料包括金属硅化物。

11. 根据权利要求 9 所述的方法，其中所述籽晶材料和所述半导体材料包括硅、锗或硅锗合金。

12. 根据权利要求 9 所述的方法，其中：

所述牺牲材料包括无定形碳、氮化硅或锗；以及

所述绝缘填充材料包括无机填充材料。

13. 根据权利要求 9 所述的方法，进一步包括在所述多个分离的特征部之间形成所述绝缘填充材料的步骤之前，在所述多个基柱之上形成衬垫。

14. 根据权利要求 9 所述的方法，其中：

所述籽晶材料包括第一导电型的半导体材料，其包括所述多个二极管的下部分；以及生长半导体材料的步骤包括在所述籽晶材料之上的所述多个开口中选择性地生长本征半导体材料，从而形成所述多个二极管的本征部分。

15. 根据权利要求 14 所述的方法，进一步包括：

在所述本征半导体部分之上的所述多个开口中形成所述多个二极管的上部分，

其中：

所述上部分包括不同于所述第一导电型的第二导电型半导体材料；以及

形成所述上部分的步骤包括非选择性淀积或选择性生长所述第二导电型的半导体。

16. 根据权利要求 14 所述的方法，进一步包括将掺杂剂注入至所述本征半导体部分的顶部部分，从而形成所述多个二极管的上部分，其中所述上部分包括不同于所述第一导电型的第二导电型半导体材料。

17. 根据权利要求 9 所述的方法，其中生长半导体材料的步骤包括在所述籽晶材料上的所述多个开口中选择性生长第一导电型的半导体材料，从而形成所述多个二极管的下部分。

18. 根据权利要求 17 所述的方法，进一步包括：

在所述多个二极管的下部分之上的所述多个开口中选择性生长或非选择性淀积所述多个二极管的本征部分；以及

将掺杂剂注入至所述多个二极管的本征半导体部分的顶部部分,从而形成所述多个二极管的上部分,所述多个二极管的上部分包括不同于所述第一导电型的第二导电型半导体材料。

19. 根据权利要求 17 所述的方法,进一步包括:

在所述多个二极管的下部分之上的所述多个开口中形成所述多个二极管的上部分,其中:

所述上部分包括不同于所述第一导电型的第二导电型半导体材料;以及形成所述上部分的步骤包括非选择性淀积或选择性生长所述第二导电型的半导体。

20. 根据权利要求 19 所述方法,进一步包括在形成所述上部分的步骤之前,在所述多个二极管的下部分之上的所述多个开口中形成所述多个二极管的本征部分,其中形成所述本征部分的步骤包括非选择性淀积或选择性生长本征半导体。

21. 一种制造非易失性存储器件的方法,其包括:

形成非易失性存储器单元的多个存储元件;

形成多个基柱,所述多个基柱中的每一个包括位于牺牲材料部分之下的籽晶材料部分;

在所述多个基柱之上形成衬垫;

在所述多个基柱之间形成绝缘填充材料;

去除所述多个基柱的牺牲材料部分,从而在所述绝缘填充材料中形成多个开口,使得所述多个基柱的籽晶材料部分暴露于所述多个开口中,其中所述牺牲层完全被从所述器件去除;以及

在所述多个开口中形成多个二极管换向元件。

22. 根据权利要求 21 所述的方法,其中:

所述多个二极管换向元件中的每一个至少包括下部分以及位于所述下部分之上的上部分;

所述多个存储元件中的每一个选自于:反熔丝、熔丝、金属氧化物存储器、可转换络合金属氧化物、碳纳米管存储器、石墨烯电阻率可转换材料、碳电阻率可转换材料、相变材料存储器、导电桥元件或可转换聚合体存储器;以及

在每个非易失性存储单元中,所述存储元件位于所述二极管换向元件之上、或位于所述二极管换向元件之下、或位于所述多个二极管换向元件中的每一个的下部分和上部分之间。

23. 根据权利要求 21 所述的方法,其中在所述多个开口中形成所述多个二极管换向元件的步骤包括在所述籽晶材料部分之上的所述多个开口中选择性生长第一导电型半导体材料,从而形成所述多个二极管换向元件的下部分。

24. 根据权利要求 23 所述的方法,其中在所述多个开口中形成多个二极管换向元件的步骤进一步包括:

非选择性淀积或选择性生长本征半导体,从而在所述多个二极管换向元件的下部分之上的所述多个开口中形成所述多个二极管换向元件的本征部分;以及

将掺杂剂注入至所述本征半导体部分的顶部部分,从而形成所述多个二极管换向元件的上部分,所述多个二极管换向元件的上部分包括不同于所述第一导电型的第二导电型半

导体材料。

25. 根据权利要求 23 所述的方法,其中在所述多个开口中形成所述多个二极管换向元件的步骤进一步包括非选择性淀积或选择性生长不同于所述第一导电型的第二导电型半导体,从而在所述多个二极管换向元件的所述下部分之上的所述多个开口中形成所述多个二极管换向元件的上部分。

26. 根据权利要求 25 所述的方法,其中在所述多个开口中形成所述多个二极管换向元件的步骤进一步包括在所述多个开口中选择性生长本征半导体,从而在形成所述多个二极管换向元件的上部分的步骤之前,在所述多个二极管换向元件的下部分之上形成所述多个二极管换向元件的本征部分。

## 使用牺牲材料制造大马士革二极管的方法

### 技术领域

[0001] 本发明总体涉及半导体器件加工领域,具体涉及制造非易失性存储器件的方法。

### 背景技术

[0002] Herner 等人 2004 年 9 月 29 日提交的美国专利申请 No. 10/955,549(其对应于美国公布申请 2005/0052915A1),通过引用合并于此,其描述了三维存储器阵列,在其中存储器单元的数据状态储存在柱形半导体结二极管的多晶半导体材料的电阻率状态中。相减法(subtractive method)用于制作这类基柱二极管器件。该方法包括淀积一个或多个硅层、锗层或其它半导体材料层。接着刻蚀淀积的一个或多个半导体层从而获得半导体基柱。可以使用 SiO<sub>2</sub>层作为用于基柱刻蚀的硬掩膜,之后去除 SiO<sub>2</sub>层。接下来,在基柱之间和顶部上淀积 SiO<sub>2</sub>或其它缝隙填充电介质材料。接着,进行化学机械抛光(CMP)或回刻蚀步骤,从而使缝隙填充电介质和基柱上表面齐平。

[0003] 为了额外描述相减基柱制作过程,参见 Herner 等人 2004 年 12 月 17 日提交的题为“Non-volatile Memory Cell Comprising a Reduced Height Vertical Diode”的美国专利申请 No. 11/015,824 和 2005 年 7 月 25 日提交的美国专利申请 No. 11/819,078。然而,在相减法中,半导体基柱的高度会受用作刻蚀掩膜的薄且软的光刻胶限制。光刻胶掩膜材料以低于半导体材料的速率刻蚀,但是虽然如此刻蚀,当半导体刻蚀完成时必须存留一些掩膜材料。当基柱之间的开口的纵横比增加和/或缝隙填充层的 CMP 工艺或回刻蚀去除了绝大部分厚度的所淀积的半导体材料时,基柱刻蚀之后的氧化物缝隙填充步骤存在着加工上的挑战。

### 发明内容

[0004] 本发明的一个实施例提供制造半导体器件的方法,其包括:在底层之上形成包括籽晶材料的第一层;在第一层之上形成包括牺牲材料的第二层,牺牲材料与籽晶材料不同;将第一层和第二层图形化成多个分离的特征部;在多个分离的特征部之间形成绝缘填充材料;从分离的特征部中去除牺牲材料,从而在绝缘填充材料中形成多个开口,使得籽晶材料暴露于多个开口中;以及在多个开口中暴露的籽晶材料上生长半导体材料。

[0005] 本发明的另一个实施例提供制造多个二极管的方法,其包括:在底层之上形成包括籽晶材料的第一层;在第一层之上形成包括牺牲材料的第二层;将第一层和第二层图形化成多个基柱,多个基柱中的每一个包括位于牺牲材料部分之下的籽晶材料部分;在多个基柱之间形成绝缘填充材料;去除多个基柱的牺牲材料部分,从而在绝缘填充材料中形成多个开口,使得多个基柱的籽晶材料部分暴露于多个开口中;以及在多个开口中暴露的籽晶材料部分上生长半导体材料,从而形成多个二极管。

[0006] 本发明的另一个实施例提供制造非易失性存储器件的方法,其包括:形成多个非易失性存储器单元的存储元件;形成多个基柱,多个基柱中的每一个包括位于牺牲材料部分之下的籽晶材料部分;在多个基柱之上形成衬垫;在多个基柱之间形成绝缘填充材料;

去除多个基柱的牺牲材料部分,从而在绝缘填充材料中形成多个开口,使得多个基柱的籽晶材料部分暴露在多个开口中;以及在多个开口中形成多个二极管换向元件。

### 附图说明

[0007] 图 1a 至 1e 为根据本发明实施例的侧横断面视图,其说明半导体器件形成的阶段。

[0008] 图 2a 至 2b 示意性示出本发明一些实施例的二极管结构。

[0009] 图 3a 至 3c 为根据本发明实施例的侧横断面视图,其说明半导体器件形成的阶段。

[0010] 图 4 为根据本发明实施例的完整非易失性存储器件的三维视图。

[0011] 图 5 至 8 为根据本发明非限制性示例的半导体器件形成阶段的横断面 SEM 图像。

### 具体实施方式

[0012] 本发明的一个实施例提供制造半导体器件的方法,其包括:在底层上形成包含籽晶材料的第一层;在第一层上形成包含牺牲材料的第二层,牺牲材料与籽晶材料不同;将第一层和第二层图形化成多个分离的特征部;在多个分离的特征部之间形成绝缘填充材料;从分离的特征部中去除牺牲材料从而在绝缘填充材料中形成多个开口,使得籽晶材料暴露于多个开口中;以及在多个开口中的暴露的籽晶材料上生长半导体材料。

[0013] 在一些实施例中,半导体器件包括形成于多个开口中的多个二极管。在一些实施例中,多个二极管可以为柱形。每个二极管至少包括第一导电型(例如,n型)半导体材料和位于第一导电型半导体材料上的第二导电型(例如,p型)半导体材料。在一些实施例中,二极管的取向可以反向。可选地,二极管可以包括位于第一导电型半导体材料和第二导电型半导体材料之间的本征半导体材料。

[0014] 半导体器件可以为非易失性存储器件,其包括多个存储元件和多个二极管换向(steering)元件。每个存储元件形成在对应的二极管换向元件之下或之上。替换地,存储元件可以形成在二极管的下部分(例如,第一导电型半导体材料)和上部分(例如,第二导电型半导体材料)之间。

[0015] 图 1a 至 1d 示出使用选择性淀积形成基柱器件的优选方法。

[0016] 参考图 1a,可以在衬底 210 上形成底层 200。衬底可以为本领域中已知的任何半导体衬底,例如单晶硅、IV-IV 化合物(例如硅锗或硅锗碳)、III-V 化合物、II-VI 化合物、在这类衬底上的外延层,或任何其它半导体或非半导体材料,例如玻璃、塑料、金属或陶瓷衬底。衬底可以包括制造于其上的集成电路,例如用于存储器件的驱动器电路。绝缘层(未示出)优选形成于底层 200 之下。

[0017] 在一些实施例中,底层 200 可以包括多个底电极 204 和将底电极 204 分开的绝缘材料 208。可以使用本领域中已知的任何导电材料,例如钨和/或其它材料,包括铝、钽、钛、铜、钴或其合金。在一些实施例中,底电极 204 可以进一步包括位于导电材料之上/之下的粘附层。例如,底电极 204 可以包括导电材料叠层,例如,Ti(底部)/Al/TiN(顶部)、或 Ti/TiN/Al/TiN、或 Ti/Al/TiW、或这些材料的任意组合。在优选实施例中,底电极 204 可以为大体上平行、大体上共面的轨状物。

[0018] 接着,可以在底电极 204 之上和之间形成绝缘材料 208,例如氧化硅、氮化硅或氮氧化硅,之后使用底电极 204 的顶表面作为停止点进行 CMP 或回刻蚀步骤。

[0019] 可以在底层 200 上形成第一层 500。第一层 500 可以包括由任何合适的籽晶材料构成的籽晶层 511, 例如硅、锗、硅锗合金、或金属硅化物, 其用于生长 IV 族半导体材料。可以使用其它籽晶材料用于生长 III-V、II-VI 等半导体。籽晶层 511 的厚度可以大约为 20-50nm。

[0020] 在一些实施例中, 第一层 500 可以进一步包括在籽晶层 511 之下形成的存储材料叠层 518。存储材料叠层 518 可以包括金属-电介质-金属型叠层, 其包括两个导电(例如, TiN) 层 520 和 521 之间的存储材料层 519。电阻率转换材料层 519 可以包括任何合适的材料, 例如反熔丝(即, 反熔丝电介质)、熔丝、多晶硅记忆效应材料、金属氧化物(例如氧化镍、钙钛矿材料等)、碳纳米管(单壁纳米管、多壁纳米管、或单壁纳米管和多壁纳米管的混合)、无定形碳、多晶碳、石墨烯电阻率转换材料、相变材料、可转换络合金属氧化物、导电桥元件、或可转换聚合体等。在一些实施例中, 如果期望, 可以省略导电层 520 和 / 或导电层 521。

[0021] 接着, 可以在第一层 500 之上形成第二层 600。第二层 600 可以包括牺牲层 612, 其由任意合适的牺牲材料构成, 例如无定形碳、氮化硅或锗。可以使用其它牺牲材料, 例如有机材料或光敏(例如光刻胶)材料。第二层 600 可以进一步包括形成于牺牲层 612 之上的硬掩膜层 614, 如图 1a 所示。硬掩膜层 614 可以包括一个或多个任意合适的硬掩膜和 / 或防反射材料, 例如氧化硅、氮化硅等。在一些实施例中, 如果期望, 可以省略硬掩膜层 614。

[0022] 最后, 在可选的光学硬掩膜层 614 上(或者, 若硬掩膜层 614 被省略, 则在牺牲层 612 上)形成光刻胶或类似的光敏材料特征部 606, 得到如图 1a 所示结构。若牺牲层 612 为感光性的, 则可以省略特征部 606 和硬掩膜层 614。在该实施例中, 可以通过辐射(若层 614 为光刻胶)或电子束(若层 614 为电子束敏感抗蚀剂)来图形化感光牺牲层 614。

[0023] 接着, 使用光刻胶特征部 606 作为掩膜来刻蚀第二层 600(例如, 硬掩膜层 614 和牺牲层 612)和第一层 500(例如, 籽晶层 511 和存储材料层 518), 从而形成多个分离的特征部 700。多个分离的特征部 700 中的每一个包括牺牲材料部分 602 之下的籽晶材料部分 111 以及可选地包括位于籽晶材料部分 111 之下的存储材料部分 118, 如图 1b 所示。分离的特征部 700 可以为柱形或导轨形。在一些实施例中, 多个分离的特征部 700 包括圆柱形基柱, 其具有与下面的电极 204 大约相同的间距和大约相同的宽度。可以容许一些未对准。

[0024] 在一些实施例中, 在刻蚀牺牲层 612、第一层 511 和存储材料 518 的叠层的步骤期间, 会完全消耗硬掩膜层 614。分离的特征部 700 的形状可以为但不必须为如图 1b 中所示的锥形。

[0025] 替换地, 可以在图形化底电极 204 的同一步骤期间而不是在图形化第二层 600 的同一步骤期间, 对第一层 500 图形化。因此, 在该实施例中, 得到的籽晶材料部分 111 和存储材料部分 118 可以为如底电极 204 的导轨形, 而不是牺牲材料部分 602 的柱形。

[0026] 接着, 转向图 1c, 可以在多个分离的特征部 700 之上可选地形成衬垫 702。衬垫 702 可以包括氮化硅或其它合适的绝缘材料。

[0027] 接着, 可以在多个分离的特征部 700 之上或之间形成绝缘填充材料 258, 得到如图 1c 所示的结构。绝缘填充材料 258 可以包括无机绝缘材料, 例如氧化硅、氮化硅、高介电常数薄膜、硅-碳-氧-氢薄膜或任何其它合适的绝缘材料。

[0028] 接着, 可以通过 CMP 或回刻蚀平坦化绝缘填充材料 258, 其中牺牲材料部分 602 的



上表面作为停止点,从而暴露由绝缘填充材料 258 分离的牺牲材料部分 602。接着,去除牺牲材料部分 602,从而在绝缘填充材料 258 中形成多个开口 632,使得籽晶材料部分 111 暴露于多个开口 632 中,得到图 1d 中所示结构。可以通过选择性刻蚀或灰化(若牺牲材料部分 602 包括无定形碳或其它合适的有机材料)来进行牺牲材料部分 602 的去除。

[0029] 接着,可以在多个开口 632 中暴露的籽晶材料 111 之上形成半导体材料 113,如图 1e 所示。开口 632 可以是但不必须是如图 1e 所示的那样部分填充。在优选实施例中,半导体材料 113 包括半导体结二极管。在此使用的术语结二极管指的是带有非欧姆导电性质的半导体器件,其具有两个终端电极,并且由半导体材料构成,一个电极为 p 型且另一个为 n 型。示例包括如图 2a 中所示的 p-i-n 二极管 300(在其中本征(无掺杂)半导体材料 114 介于第一导电型(例如 n 型)半导体材料 112 和第二导电型(例如 p 型)半导体材料 116 之间)以及 p-n 二极管和 n-p 二极管(例如本征部分 114 被省略的 Zener 二极管,如图 2b 所示)。当然,第二导电型可以代替地为 n 型,而第一导电型为 p 型。

[0030] 二极管 300 的半导体材料 113 可以包括任何合适的半导体材料,例如,硅、锗、或硅锗合金。在以下描述中提到的选择性生长方法包括用于在暴露于开口 632 中的籽晶材料 111 之上选择性生长对应的半导体材料(即基本不淀积在开口 632 的侧壁上)的任意合适方法,例如选择性 CVD 方法,例如,使用硅烷和氯源气体来淀积硅的 LPCVD。例如,在 2005 年 6 月 22 日提交的美国专利申请 No. 11/159,031(其作为美国公布申请 2006/0292301A1 公布)中描述的方法可以用于淀积锗,该文献通过引用合并到此。

[0031] 在一些实施例中,形成半导体材料 113 的步骤包括在籽晶材料部分 111 之上的多个开口 632 中选择性生长第一导电型的半导体材料,从而形成多个二极管 300 的下部分(即第一导电型部分)112。任何合适方法可以用于形成第一导电型半导体材料。例如,形成重掺杂 n 型材料的步骤可以包括淀积本征材料,之后是掺杂步骤,或者通过在半导体材料的选择性 CVD 期间流过含掺杂剂的气体来进行原位掺杂,该含掺杂剂的气体提供 n 型掺杂剂原子,例如磷(即,以磷化氢气体加入锗烷和/或硅烷气体的形式)。重掺杂区域 112 厚度优选在大约 10nm 和大约 80nm 之间。

[0032] 可以在单独的 CVD 步骤期间进行本征材料 114 淀积,或者可以在与淀积区域 112 相同的 CVD 步骤期间,通过关闭掺杂剂气体流(例如磷化氢)来进行本征材料 114 淀积。本征区域 114 的厚度可以在大约 40nm 和大约 200nm 之间,优选为大约 50nm。

[0033] 在一些实施例中,可以在开口 632 中和之上非选择性地形成半导体材料 113,如图 3a 所示。在这类实施例中,可以进行 CMP 步骤,从而去除绝缘层 258 顶部上任何桥接的半导体材料 113,形成如图 3b 示出的结构。任何其它合适的方法可以用于平坦化半导体材料 113,例如,使用 HBr/O<sub>2</sub> 化学剂等的标准干法刻蚀。在于 2008 年 1 月 15 日提交的美国专利申请 No. 12/007,781 中描述了非选择性二极管淀积方法,全文通过引用合并到此。

[0034] 此外,可以将掺杂剂注入多个二极管 300 的本征半导体部分 114 的顶部部分,从而形成多个二极管 300 的上部分,如图 3c 所示。多个二极管 300 的上部分 116 包括不同于第一导电型的第二导电型的半导体材料。第二导电型区域 116 的形成完成了柱形二极管 300 的形成。

[0035] 替换地,不是进行离子注入,而是可以非选择性淀积或选择性生长第二导电型半导体,从而在多个二极管 300 的本征部分 114 之上或下部分 112 之上(若本征部分 114 被

省略)的多个开口 632 中形成上部分 116。例如,可以在与本征区域 114 淀积步骤分开的 CVD 步骤期间进行 p 型顶部区域 116 淀积,或者通过在与区域 114 淀积步骤相同的 CVD 步骤期间打开掺杂剂气体流(例如,三氯化硼)来进行 p 型顶部区域 116 淀积。P 型区域 116 的厚度可以在大约 10nm 和大约 80nm 之间。

[0036] 在一些其它实施例中,籽晶材料部分 111 包括第一导电型的半导体材料,其包括如图 2a 所示的多个二极管 300 的下部分 112。在这些实施例中,形成半导体材料 113 的步骤包括在籽晶材料部分 111 之上的多个开口 632 中选择性生长本征半导体材料,从而形成多个二极管 300 的本征部分 114。接着,可以在本征部分 114 之上非选择性淀积或选择性生长第二导电型的半导体材料,从而形成多个二极管 300 的上部分 116,如图 2a 所示。替换地,可以进行离子注入来转换本征半导体部分 114 的顶部部分,从而形成多个二极管 300 的上部分 116,而不是通过非选择性地淀积或选择性生长第二导电型(例如,p 型)的半导体材料来形成多个二极管 300 的上部分 116。上部分 116 包括不同于第一导电型的第二导电型半导体材料。

[0037] 在说明性示例中,底部区域 112 为  $N^+$ (重掺杂 n 型),且顶部区域 116 为  $P^+$ 。然而,垂直基柱也可以包括其它结构。例如,底部区域 112 可以为  $P^+$ ,而顶部区域 116 为  $N^+$ 。此外,中间部分可以有意地轻掺杂,或它可以为本征的,或非有意掺杂的。未掺杂区域(即,本征区域)永远不是完全电中性的,其总是具有缺陷或污染,这些缺陷或污染使其表现为如同轻 n 型掺杂或 p 型掺杂。这种二极管可以视为 p-i-n 二极管。因此,可以形成  $P^+/N^-/N^+$ 、 $P^+/P^-/N^+$ 、 $N^+/N^-/P^+$  或  $N^+/P^-/P^+$  二极管。

[0038] 通常,二极管 300 优选具有大致圆柱形,其具有直径大约为 250nm 或更小的圆形或大致圆形的横截面。二极管 300 的间距和宽度由开口 632 限定,且可以按需要改变。在一个优选实施例中,二极管 300 的间距(从一个二极管的中心到下一个二极管的中心的距离)为大约 48nm,而二极管 300 的宽度在大约 24nm 和 28nm 之间变化。在另一个优选实施例中,二极管 300 的间距大约为 48nm,而二极管 300 的宽度在大约 18nm 和 24nm 之间变化。

[0039] 接着,可以在二极管 300 和绝缘填充材料 258 之上形成上部电极 400。上部电极可以包括导电材料叠层,例如 Ti(底部)/Al/TiN(顶部)、或 Ti/TiN/Al/TiN、或 Ti/Al/TiW、或这些材料的任意组合。顶部的 TiN 或 TiW 层可以充当抗反射涂层,其用于图形化导体和在随后的绝缘层 CMP 中用作抛光停止材料,在下文中将进行说明。使用任何合适的掩膜技术和刻蚀技术来图形化和刻蚀以上描述的上部电极 400,从而形成大体平行、大体共面的导体导轨,其优选垂直于底电极 204 延伸。

[0040] 接着,在导体导轨 400 之上和之间淀积另一个绝缘层(未示出)。绝缘层可以为任何已知的电气绝缘材料,例如氧化硅、氮化硅或氮氧化硅。在优选实施例中,氧化硅用作该绝缘材料。可以通过 CMP 或回刻蚀使该绝缘层与导体导轨 400 的上表面齐平。图 4 中示出得到的器件的三维视图。

[0041] 在替换实施例中,存储元件可以位于半导体二极管之上或二极管的下部分和上部分之间,而不是在二极管之下。在该实施例中,可以省略如上解释的位于籽晶层之下的存储材料层,且在开口中形成二极管之后形成存储元件。在另一个非限制性示例中,籽晶层包括二极管的下部分,在籽晶层之上选择性生长本征部分,接着在二极管的本征部分之上形成存储材料层,之后非选择性淀积二极管的上部分。在该非限制性示例中,得到的结构包括位

于二极管的下部分和上部分之间的存储部分。

[0042] 半导体器件可以包括一次性可编程 (OTP) 或可重写非易失性存储单元。例如,每个二极管 300 可以充当存储单元的换向元件,存储材料 118 充当电阻率转换材料(即,在施加编程电流或电压之后,其通过电阻率状态的永久改变存储数据),其与二极管 300 串联在电极 204 和 400 之间,如图 4 所示。

[0043] 在一些实施例中,柱形二极管 300 自身可以用作数据存储器件。在这些实施例中,通过施加电极 204 和 400 之间提供的正向和 / 或反向偏压改变二极管 300 的电阻率,如 2004 年 9 月 29 日提交的美国专利申请 No. 10/955,549(其对应于美国公布申请 2005/0052915A1) 和 2007 年 3 月 30 日提交的美国专利申请 No. 11/693,845(其对应于美国公布申请 2007/0164309A1) 中所描述的,两篇全文通过引用合并到此。在该实施例中,如果期望,可以省略电阻率转换材料 118。

[0044] 可选地,可以形成一个或多个粘附 / 阻挡层,从而改善得到的器件的性能。任何合适的材料可以用作可选的粘附 / 阻挡层,例如,过渡金属、金属硅化物、金属氮化物,例如钛、硅化钛、氮化钛、硅化钨、氮化钨、硅化镍或氮化镍。例如,在一个实施例中,在存储材料部分和籽晶材料部分之间形成氮化钛粘附层。

[0045] 已经描述了第一存储器级的形成。可以在该第一存储器级之上形成额外的存储器级,从而形成单片三维存储器阵列。在一些实施例中,可以在存储器级之间共享导体;即顶部导体 400 将充当下一个存储器级的底部导体。在另一个实施例中,在第一存储器级之上形成级间电介质(未示出),它的表面是平坦的,且在该平坦的级间电介质上开始构造第二存储器级,而没有共享的导体。

[0046] 单片三维存储器阵列是:在其中,在单个衬底(例如晶圆)之上形成多个存储器级,没有介入的衬底。在现有的一个或多个级的层之上直接淀积或生长形成一个存储器级的层。相比之下,通过在分开的衬底上形成存储器级并且将存储器级粘附在彼此的顶上来构造堆叠的存储器,如 Leedy 的名为“Three dimensional structure memory”的美国专利 No. 5,915,167。在键合之前可以减薄衬底或从存储器级中去除衬底,但是由于存储器级最初形成于分开的衬底之上,这类存储器并不是真正的单片三维存储器阵列。和 Leedy 描述的工艺相比,在本发明的实施例中,二极管共享两个相邻层之间的导线或电极。在该配置中,“底部”二极管将“指向”与“上”层中的二极管相反的方向(即,每个二极管的相同导电型层电接触位于二极管之间的同一导线或电极)。借助该配置,两个电极可以共享它们之间的导线且仍不存在读或写干扰的问题。

[0047] 在衬底之上形成的单片三维存储器阵列包括形成于衬底之上第一高度处的至少第一存储器级和形成于第二高度处的第二存储器级,第二高度不同于第一高度。可以以这种多级阵列的方式在衬底之上形成三个、四个、八个或事实上任意数目的存储器级。

[0048] 上述实施例的一个优势为,在开口中选择性生长(例如,准外延生长)半导体材料(例如,硅、锗或硅-锗)可以得到比通过传统的非选择性淀积方法淀积的半导体材料很多的颗粒。这种大颗粒材料(例如,大颗粒多晶硅)可以承受转换存储单元的存储材料所需要的较高的电流。因此,可以省略传统用于增加颗粒大小的高温后退火。此外,可以通过用刻蚀牺牲材料(非常容易刻蚀)的步骤替换传统方法要求的刻蚀厚叠层的器件层的步骤,以此来改善在存储单元的制造步骤期间各层的粘附。

[0049] 非限制性示例

[0050] 在非限制性示例中,形成钨底电极。接着, TiN 层、多晶硅籽晶层和先进图形化薄膜(即,无定形碳牺牲材料,也称为 APF 层)按该顺序淀积在底电极之上。

[0051] 接着,对该 TiN/Si/APF 叠层进行图形化,从而形成多个基柱。图 5 示出 SEM 图像,其中 APF 层已经被刻蚀成硅和 TiN 层上的基柱。

[0052] 接着,在 TiN/Si/APF 基柱之上和之间形成氮化硅衬垫。该步骤在图 6 中示出。接着,在基柱之上和之间通过 PECVD 形成氧化硅绝缘填充层。在淀积氧化硅填充材料步骤期间,基柱中无定形碳收缩至更小的尺寸,其可能是由于用于淀积氧化硅填充材料的氧化物等离子体而造成的。

[0053] 在 CMP 步骤使用无定形碳基柱部分的顶部表面作为停止点对氧化硅填充材料平坦化之后,通过氧等离子体灰化去除基柱的碳部分,从而形成开口阵列,如图 7 所示。硅籽晶材料暴露于开口阵列中。

[0054] 接着,在暴露于开口中的硅籽晶材料上选择性生长硅基柱,如图 8 所示。在该非限制性示例中,在 620 摄氏度使用  $\text{SiH}_4$  和  $\text{Cl}_2$  作为源气体进行低压化学气相淀积(LPCVD)。生长的硅材料的平均颗粒宽度为大约 15nm 至 25nm,从孔的底部一直垂直延伸到顶部。近似地,在该非限制性示例中,每个开口中仅形成二到四个(例如三个)多晶颗粒。若 LPCVD 的参数和/或孔的大小改变,则颗粒大小和每个孔的颗粒数目也会变化。

[0055] 基于本公开的教导,可以预见,本领域技术人员能够容易实施本发明。在此提供的多种实施例的说明被认为是提供本发明的足够内涵和细节,从而使本领域技术人员能够实践本发明。虽然未具体描述某些支持电路和制造步骤,但这类电路和协议是众所周知的,且在实践本发明的背景下这类步骤的特定变化不提供特殊的优势。而且,我们相信,借助本公开的教导,本领域技术人员将能够执行本发明而不需要过度的试验。

[0056] 前述的细节描述仅描述了本发明的许多可能实现中的一部分。因此,该详细的描述旨在说明而非限制。可以基于此处阐述的描述对此处公开的实施例做出变化和修改,而不偏离本发明的范围和精神。仅权利要求,包括所有等价物,限定本发明的范围。

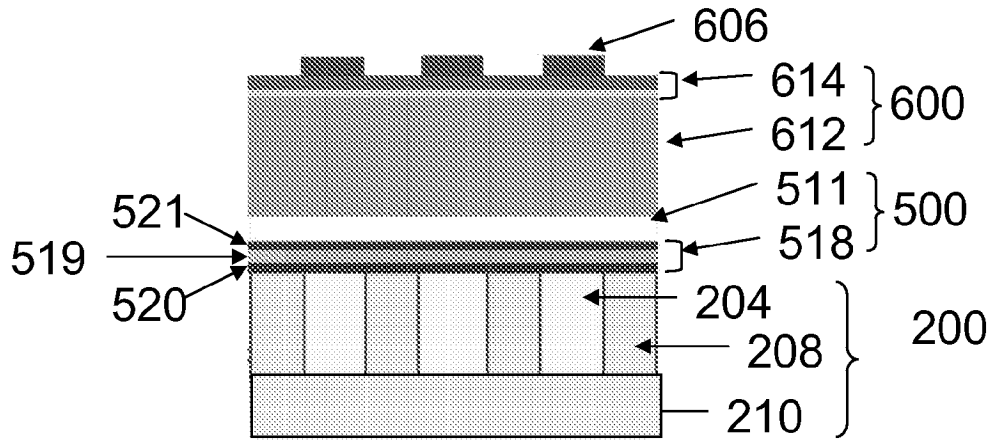


图 1a

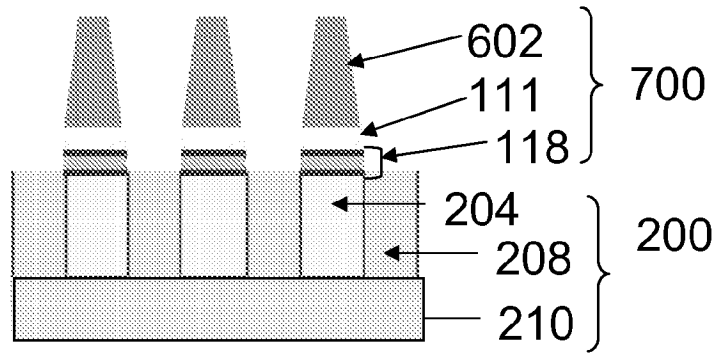


图 1b

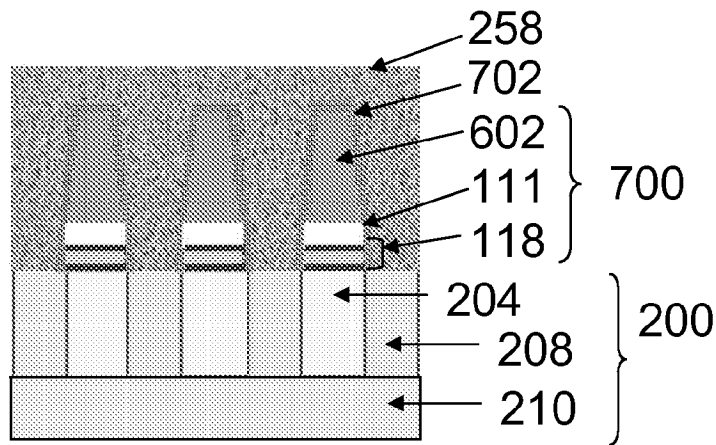


图 1c

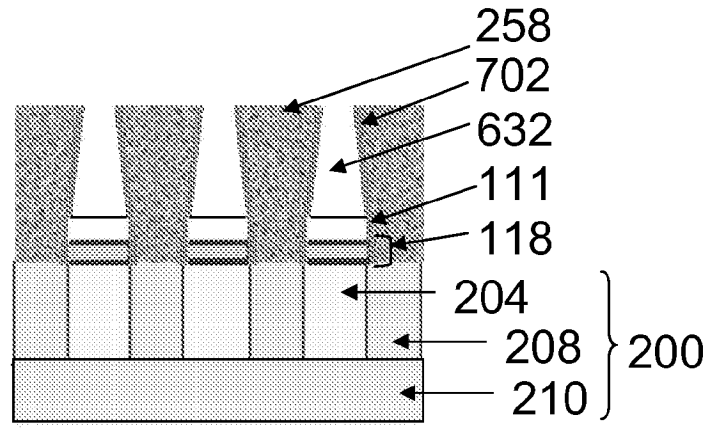


图 1d

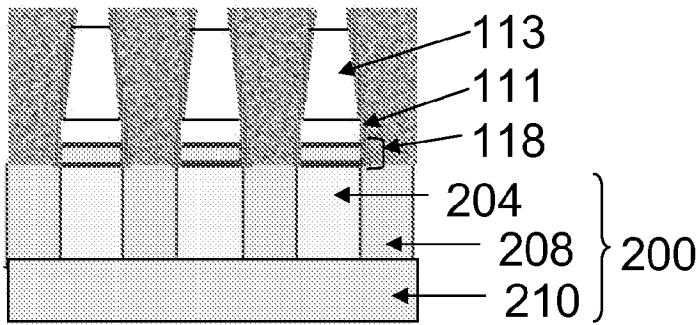


图 1e

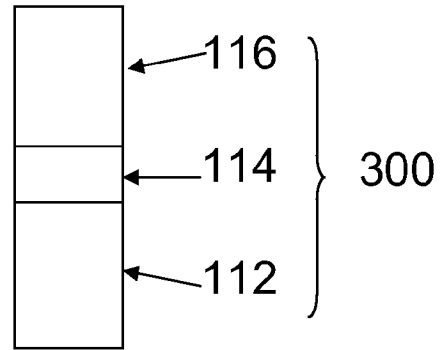


图 2a

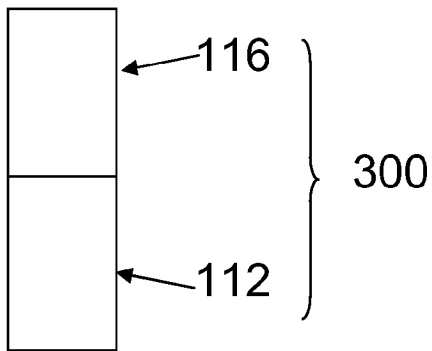


图 2b

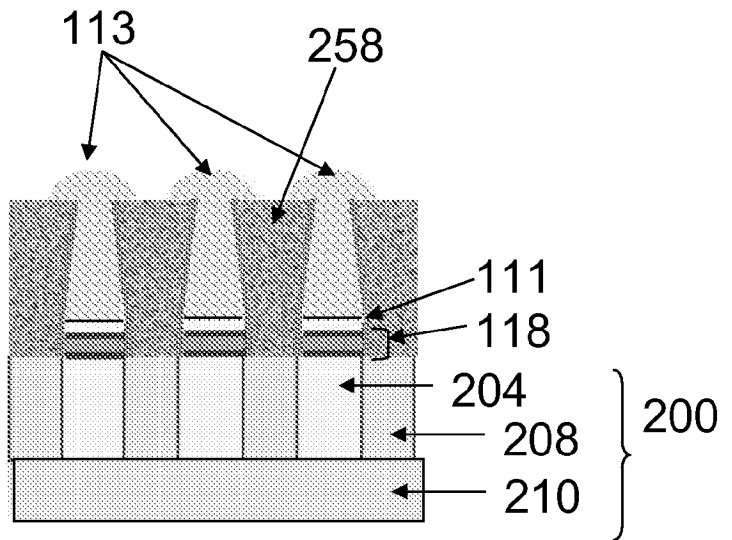


图 3a

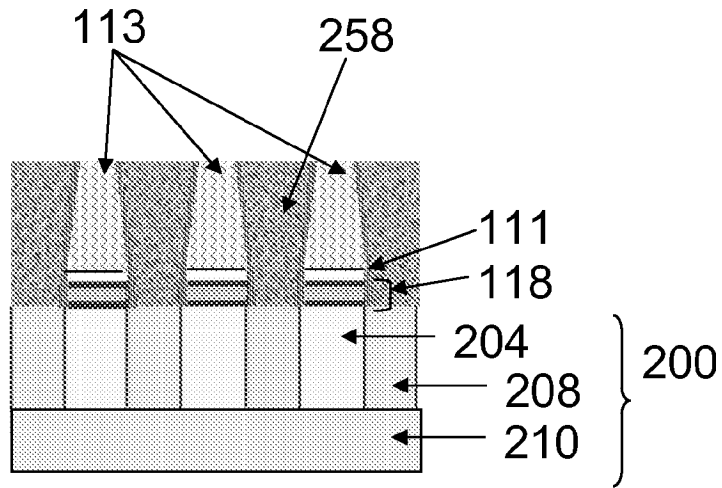


图 3b

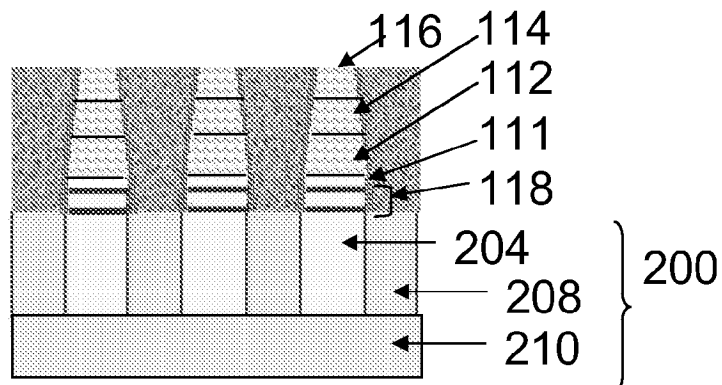


图 3c

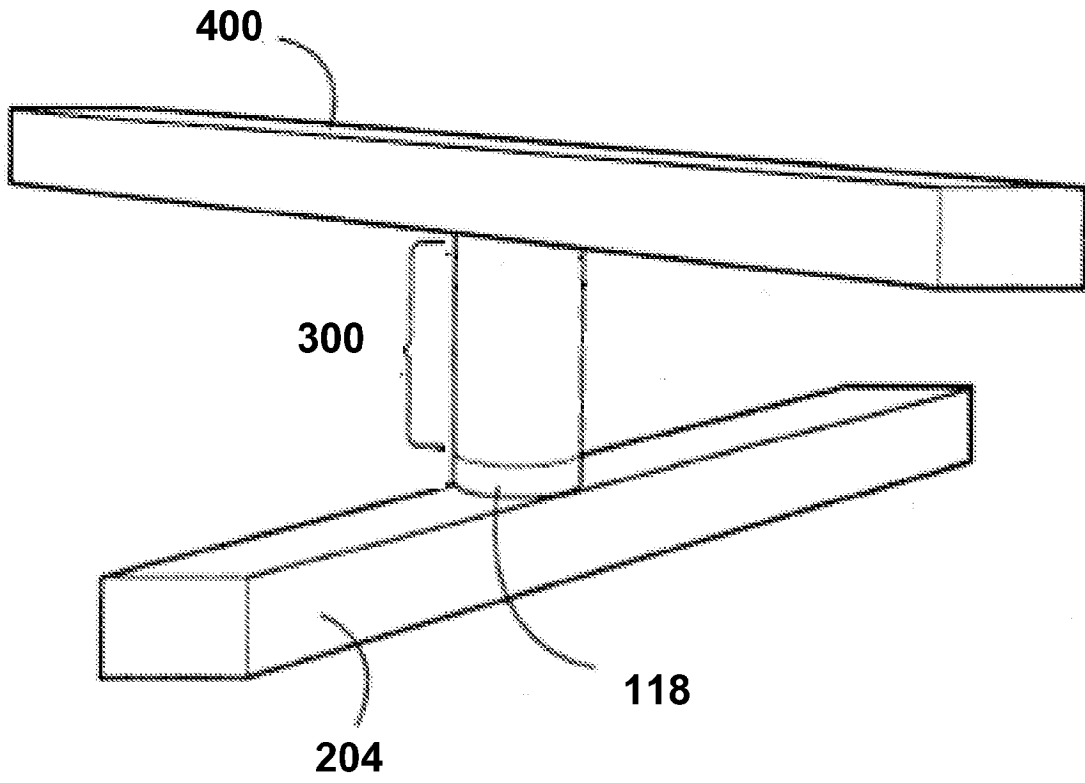


图 4

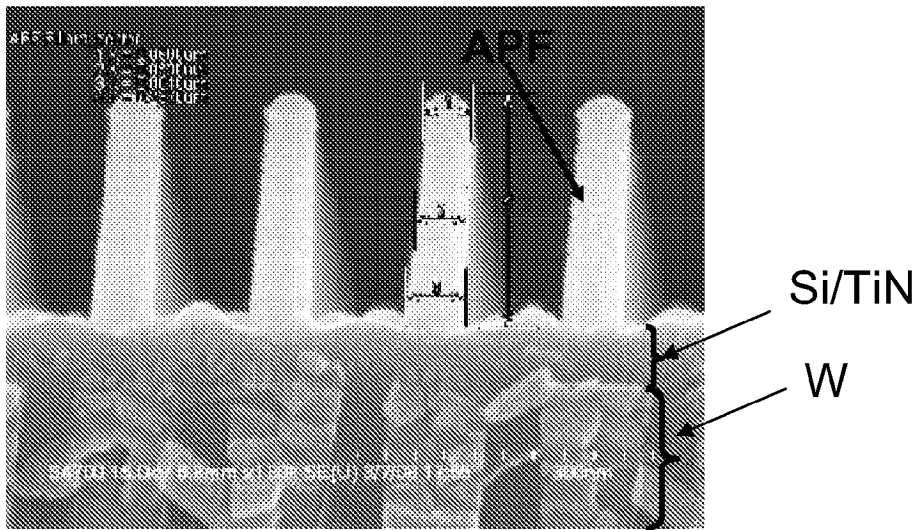


图 5



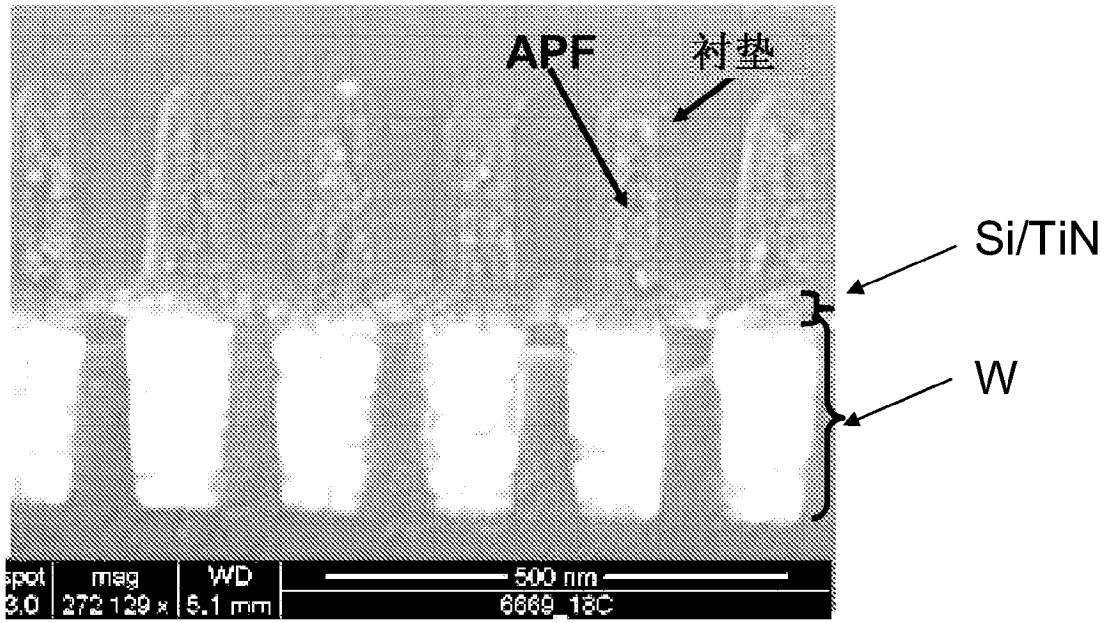


图 6

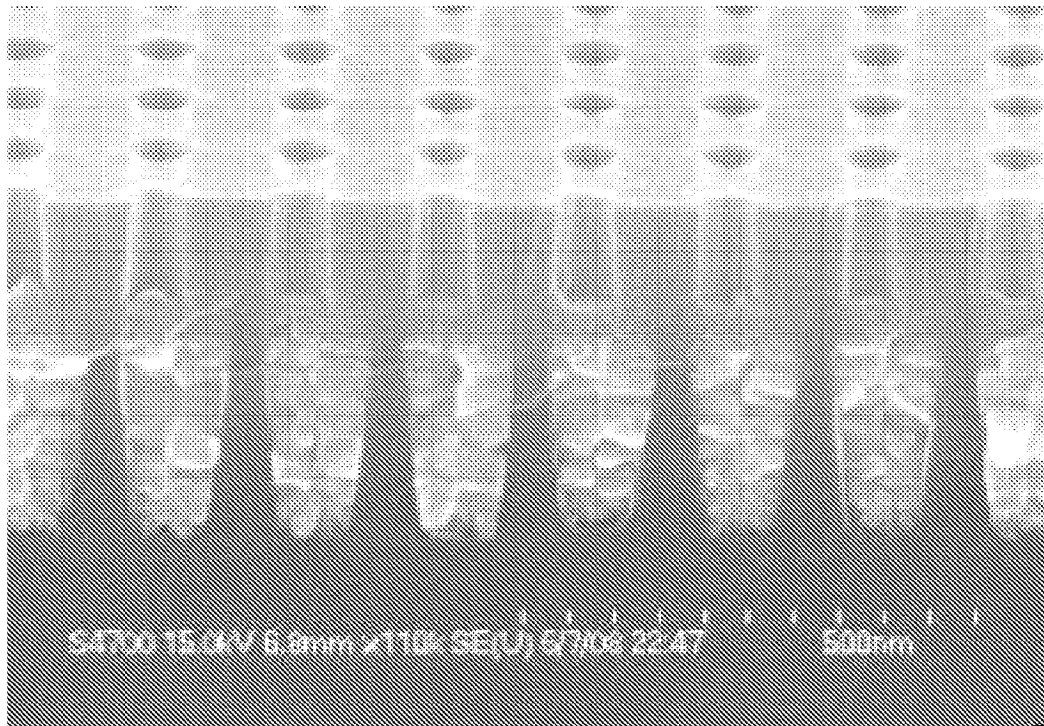


图 7

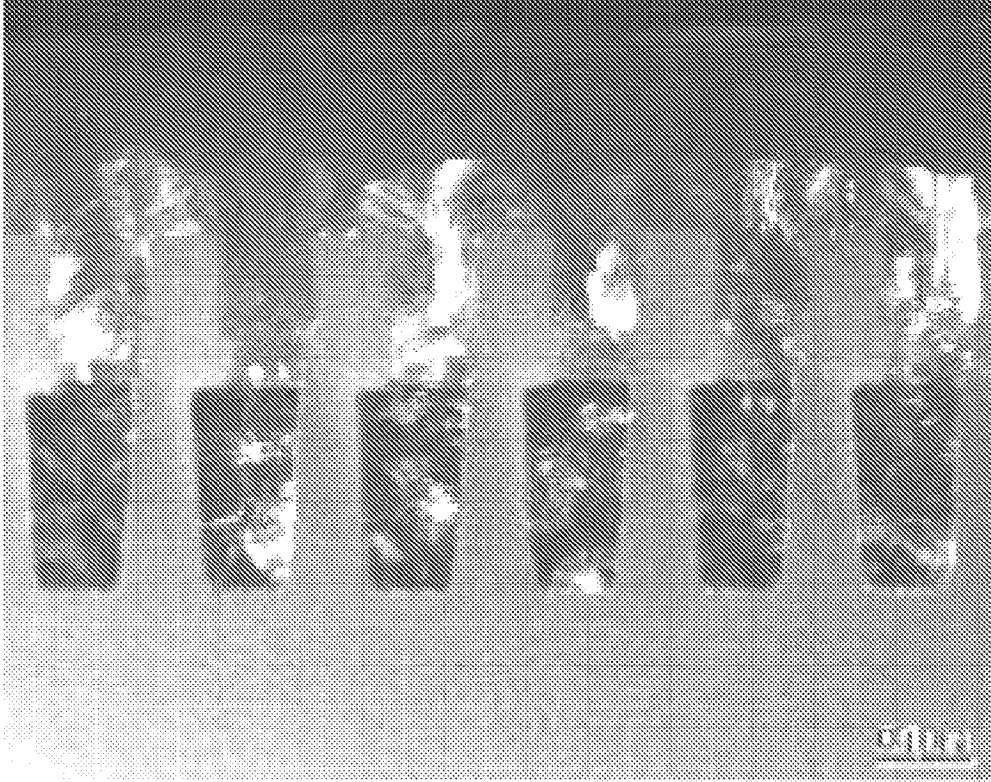


图 8