



(10) **DE 10 2014 203 796 B4** 2016.03.03

(12) **Patentschrift**

(21) Aktenzeichen: **10 2014 203 796.4**  
(22) Anmeldetag: **03.03.2014**  
(43) Offenlegungstag: **11.09.2014**  
(45) Veröffentlichungstag  
der Patenterteilung: **03.03.2016**

(51) Int Cl.: **H01L 21/336** (2006.01)  
**H01L 29/423** (2006.01)  
**H01L 21/822** (2006.01)  
**H01L 29/78** (2006.01)

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:  
**13/792,730**                      **11.03.2013**      **US**

(73) Patentinhaber:  
**GLOBALFOUNDRIES Inc., Grand Cayman, KY**

(74) Vertreter:  
**Grünecker Patent- und Rechtsanwälte PartG  
mbB, 80802 München, DE**

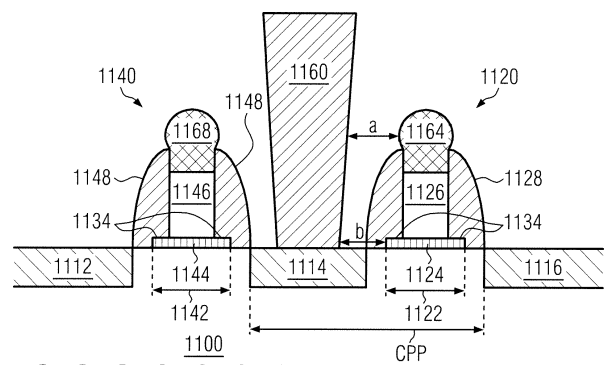
(72) Erfinder:  
**Richter, Ralf, 01445 Radebeul, DE; Javorka, Peter,  
01471 Radeburg, DE; Hoentschel, Jan, 01309  
Dresden, DE; Flachowsky, Stefan, 01219 Dresden,  
DE**

(56) Ermittelter Stand der Technik:

<b>US</b>	<b>6 306 715</b>	<b>B1</b>
<b>US</b>	<b>6 515 320</b>	<b>B1</b>
<b>US</b>	<b>6 927 110</b>	<b>B2</b>
<b>US</b>	<b>7 118 954</b>	<b>B1</b>

(54) Bezeichnung: **Kontaktgeometrie mit einer von einer Transistorlänge entkoppelten Gatesiliziumlänge**

(57) Hauptanspruch: Verfahren zum Bilden einer Halbleitervorrichtung, umfassend:  
Bereitstellen eines aktiven Gebiets in einem Halbleitersubstrat;  
Bilden einer Gatestruktur in dem aktiven Gebiet, wobei die Gatestruktur eine Gateisolationsschicht und eine Gateelektrodenstruktur mit einer Gateelektrodenschicht mit vertikalen Seitenwandflächen und einer Gatemetallschicht aufweist;  
Anwenden eines Verkürzungsprozesses auf die vertikalen Seitenflächen der Gateelektrodenschicht zum Entfernen von Material mit einer ersten Dicke entlang der gesamten vertikalen Seitenflächen der Gateelektrodenschicht; und  
Bilden einer Abstandshalterstruktur an der verkürzten Gateelektrodenschicht, wobei die Abstandshalterstruktur wenigstens eine zweite Dicke aufweist, die größer oder gleichder ersten Dicke ist.



## Beschreibung

**[0001]** Die vorliegende Erfindung betrifft im Allgemeinen Kontaktgeometrien in Halbleitervorrichtungen von integrierten Schaltungen. Die vorliegende Erfindung betrifft Vorrichtungsstrukturen mit einer Gatesiliziumlänge, die von einer Transistorlänge entkoppelt ist, und insbesondere die Aufrechterhaltung der Transistorlänge.

**[0002]** Der Großteil gegenwärtiger integrierter Schaltungen (ICs) wird unter Verwendung einer Vielzahl von verbundenen Feldeffekttransistoren (FETs) gebildet, die auch als Metalloxidhalbleiterfeldeffekt-Transistoren (MOSFETs) oder einfach MOS-Transistoren bezeichnet werden. Moderne integrierte Schaltungen werden typischerweise durch Millionen von Transistoren gebildet, die auf einem Chip mit gegebener Oberfläche gebildet sind.

**[0003]** In MOS-Transistoren wird, unabhängig davon, ob ein PMOS-Transistor oder ein NMOS-Transistor betrachtet wird, ein Stromfluss durch einen zwischen dem Source und Drain eines MOS-Transistors gebildeten Kanal mittels eines Gates gesteuert, das typischerweise über dem Kanalbereich angeordnet ist. Zur Steuerung eines MOS-Transistors wird eine Spannung an das Gate des Transistors angelegt und ein Strom fließt durch den Kanal, sobald die angelegte Spannung größer ist als eine den MOS-Transistor charakterisierende Schwellspannung. Die Schwellspannung hängt im Allgemeinen nicht trivial von Eigenschaften eines Transistors ab, wie z. B. der Größe, Material usw.

**[0004]** In Bestrebungen, integrierte Schaltungen mit einer größeren Anzahl an Transistoren und schnellere Halbleitervorrichtungen zu bauen, ist der Trend auf eine Integration bei sehr geringen Größen (ULSI, ultra large scale integration) gerichtet, was in der Halbleitertechnologie zu ICs mit abnehmender Größe führte, so dass folglich die Größe von MOS-Transistoren fortwährend reduziert wurde. In moderner Halbleitertechnologie nähern sich mittlerweile minimale Merkmalsgrößen von mikroelektronischen Vorrichtungen dem tiefen Submikrometerbereich an, um der Nachfrage nach schnelleren Mikroprozessoren mit geringerem Leistungsverbrauch und schnelleren digitalen Schaltungen mit geringerem Leistungsverbrauch und im Allgemeinen nach Halbleitervorrichtungsstrukturen mit einer größeren Energieeffizienz zu genügen. Im allgemeinen wird eine kritische Dimension (CD) durch eine Breiten- oder Längendimension einer Linie oder eines Bereichs dargestellt, die oder der für den ordentlichen Betrieb der herzustellenden Vorrichtung als kritisch erkannt wurde und darüber hinaus das Leistungsvermögen der Vorrichtung bestimmt.

**[0005]** Die fortwährende Zunahme im Leistungsvermögen von ICs führte IC-Entwickler dazu, kritische Dimensionen zu kleineren Größen hin zu reduzieren, was eine Erhöhung der Integrationsdichte von IC-Strukturen erlaubt. Es ist leicht erkennbar, dass die Integrationsdichte von den Dimensionen der MOS-Transistoren abhängt, die die Kernbausteine von ICs darstellen. Ein wichtiger Parameter zur Charakterisierung der Transistorgröße wird durch den „contacted poly pitch“ (CPP, kann als Abstand zwischen zwei Polykontakten dargestellt werden) gegeben, der ein Maß für einen Abstand zwischen einem Sourcekontakt und einem Drainkontakt oder ein Maß für einen Pitch zwischen dem Source und Drain eines Transistors darstellt. In modernen Halbleitertechnologien wurde der CPP bis auf ungefähr 80 nm verkleinert. Das Herunterskalieren des CPP ging mit einem Skalieren der kritischen Dimension von Gateelektroden und insbesondere deren Längendimensionen einher. An einem Technologieknoten kann die Gatelänge grob zu ungefähr einem Viertel der CPP abgeschätzt werden. Beispielsweise kann ein CPP von 192 nm für ein Gate eine kritische Dimension von ungefähr 49 nm bedeuten. Zum Beispiel kann ein CPP von 130 nm ein Gate mit einer kritischen Dimension von ungefähr 32 nm aufweisen. Zum Beispiel kann bei einem CPP von 113 nm eine kritische Dimension für ein Gate auf ungefähr 28 nm geschätzt werden.

**[0006]** Fig. 1 stellt eine herkömmliche Halbleitervorrichtungsstruktur in einem Middle-End-of-Line (MEOL)-Herstellungsprozess-Flow dar, in dem Sourcekontaktstrukturen, Drainkontaktstrukturen und Gateelektroden-Kontaktstrukturen gebildet werden.

**[0007]** Fig. 1 zeigt ein Halbleitersubstrat **100** und zwei Gateelektrodenstrukturen **120** und **140**, die auf einer Oberfläche des Halbleitersubstrats **100** angeordnet sind. Es sind Source- und Drainbereiche **112**, **114** und **116** im Halbleitersubstrat **100** neben der entsprechenden Gateelektrodenstruktur **120** und **140** gebildet, wie in Fig. 1 schematisch dargestellt ist. Es wird angemerkt, dass mögliche Source- und Drainerweiterungsbereiche und Halogegebiete nicht explizit dargestellt sind. Die Gateelektrodenstruktur **120** umfasst eine Gateisolationsschicht **124**, eine Gateelektroden-schicht **126** und ein Gatesilizid **164**, das über der Gateelektroden-schicht **126** gebildet ist. An jeder Seite der Gateelektrodenstruktur **120** ist eine Seitenwandabstandshalterstruktur **128** gebildet. Die Gateelektrodenstruktur **140** umfasst demgemäß eine Gateisolationsschicht **144**, eine Gateelektroden-schicht **146** und ein Gatesilizid **168**, das auf der Gateelektroden-schicht **146** gebildet ist. An jeder Seite der Gateelektrodenstruktur **146** sind Seitenwandabstandshalter **148** gebildet.

**[0008]** Eine Längendimension der Gateelektrodenstruktur **120** ist durch einen Pfeil **122** schematisch

dargestellt und legt im wesentlichen die Länge eines Kanalbereichs fest, der sich zwischen den Source- und Drainbereichen **114** und **116** unterhalb der Gateelektrodenstruktur **120** erstreckt. Entsprechend weist die Gateelektrodenstruktur **140** eine Längendimension auf, die schematisch durch einen Pfeil **142** dargestellt ist und im wesentlichen die Länge eines Kanalbereichs festlegt, der sich zwischen den Source- und Drainbereichen **112** und **114** unterhalb der Gateelektrodenstruktur **140** erstreckt. Ein Kontakt **160** stellt schematisch einen Kontakt zum Kontaktieren von Source und Drain einer Transistorstruktur dar, die die Gateelektrodenstruktur **120** oder die Gateelektrodenstruktur **140** aufweist. Der Kontakt **160** ist auf dem Source- oder Drainbereich **114** angeordnet. Gemäß der Darstellung in **Fig. 1** ist ein CPP schematisch als ein Pitch zwischen den Source- und Drainbereichen **114** und **116** dargestellt.

**[0009]** An einem Technologieknoten ist der CPP als eine gegebene Größe anzusehen und stellt keine variable Größe dar. Daher legt der CPP zusammen mit der Kanallänge **122** den für den Kontakt **160** verfügbaren Bereich dar, in dem der Kontakt **160** zwischen zwei benachbarten Gateelektrodenstrukturen **120** und **140** angeordnet werden kann, wie hinsichtlich der Darstellung in **Fig. 1** ersichtlich ist. Eine Kontaktgeometrie, wie sie in **Fig. 1** dargestellt ist, kann ferner durch zwei Parameter „a“ und „b“ parametrisiert werden, wie schematisch in **Fig. 1** dargestellt ist. Hierbei bezeichnet der Parameter „b“ den Abstand zwischen dem Kontakt **160** und dem Gateelektrodenstapel **124**, **126** der Gateelektrodenstruktur **120** und der Parameter „a“ bezeichnet den Abstand zwischen dem Kontakt **160** und dem Gatesilizid **164**.

**[0010]** Anhand **Fig. 1** ist erkennbar, dass eine Skalierung des CPP zu kleineren Dimensionen als erstes zu Kontaktgeometrien führt, die kleinere Parameter „a“ und „b“ aufweisen. Zielt man auf kleinere Technologieknoten ab, so treten hinsichtlich der Kontaktgeometrie einige Probleme auf, die zu kleineren Skalen hin zunehmend an Bedeutung gewinnen.

**[0011]** Bei einer Verringerung der Kanallänge eines Transistors wird eine Kopplung zwischen Source/ Drain und Kanal stärker, so dass die Schwellspannung für Transistoren mit kleineren Gatelängen effektiv niedrig ist, was im Allgemeinen als  $V_{th}$ -roll-off bezeichnet wird. Bei gegebenem CPP ist es also erforderlich, die Gatelänge (beispielsweise Bezugszeichen **122** in **Fig. 1**) so groß wie möglich zu wählen, wobei sich der Parameter „a“ verringert. Auf der anderen Seite ist es erforderlich, die kritische Dimension CD eines Kontakts (beispielsweise Bezugszeichen **160** in **Fig. 1**) so groß wie möglich einzustellen, um für den Kontakt (beispielsweise Bezugszeichen **160** in **Fig. 1**) ausreichend Platz in Form von z. B. einem ausreichenden Bereich bereitzustellen, indem der Kontakt zwischen zwei benachbarten Gate-

elektrodenstrukturen (beispielsweise Bezugszeichen **120** und **140** in **Fig. 1**) angeordnet werden kann. In jedem Fall ist der Parameter „a“ kleiner als der Parameter „b“. Insbesondere ist der Parameter „a“ als hinsichtlich eines CA-PC Lecks kritisch zu erachten, das von dem Abstand zwischen dem Gatesilizid (beispielsweise Bezugszeichen **164** in **Fig. 1**), das auf einer Gateelektrodenstruktur (beispielsweise Bezugszeichen **126** in **Fig. 1**) gebildet ist, und dem Kontakt (beispielsweise Bezugszeichen **160** in **Fig. 1**) und dem Kontaktneigungswinkel des Kontakts (beispielsweise Bezugszeichen **160** in **Fig. 1**) abhängt. Bei einer Vergrößerung des Parameters „a“ durch Vergrößern der CD eines Kontakts (beispielsweise Bezugszeichen **160** in **Fig. 1**) bei fester Gatelänge nimmt der Kontaktwiderstand des Kontakts (beispielsweise Bezugszeichen **160** in **Fig. 1**) zu und es ergibt sich demzufolge für entsprechende Transistorstrukturen ein großer Kontaktwiderstand. Folglich tritt bei modernen Halbleitervorrichtungen an geringen Technologieknoten ein zunehmender Verlust und ein geringes Vorrichtungsleistungsvermögen bei großen Schwankungen in den Vorrichtungseigenschaften auf.

**[0012]** Dokument US 7 118 954 B1 zeigt die Herstellung eines MOS-Transistors für Hochspannungsanwendungen, wobei auf einer unstrukturierten Gatedielektrikumsschicht eine strukturierte Gateelektrode aus Polysilizium gebildet wird. Die strukturierte Gateelektrode wird mit einer Lackmaske bedeckt, die einen Teilbereich der Gatedielektrikumsschicht abdeckt, und es wird die freiliegende Gatedielektrikumsschicht bezüglich der Lackmaske zurückgeätzt.

**[0013]** Die Schriften US 6 927 110 B2, US 6 306 715 B1 und US 6 515 320 B1 zeigen jeweils eine Gateelektrode, deren unterer Teilabschnitt relativ zum Rest der Gateelektrode eine Einschnürung aufweist.

**[0014]** Es ist folglich wünschenswert, Kontaktgeometrien mit kleinem CPP und geringem Parameter „a“ bereitzustellen, ohne das Leistungsvermögen von skalierten Transistoren nachteilig zu beeinflussen. Es ist ferner wünschenswert, Kontaktgeometrien bereitzustellen, die an einem gegebenen Technologieknoten einen genügend großen Parameter „a“ aufweisen.

**[0015]** Angesichts der vorangehenden Diskussion besteht daher ein Bedarf an Verfahren zum Bilden einer Halbleitervorrichtung und an einer Halbleitervorrichtungsstruktur, die einen geringen Produktionsausschuss und geringen Kontaktwiderstand aufweisen, während ein großes Vorrichtungsleistungsvermögen oder sogar ein größeres Vorrichtungsleistungsvermögen bei kleinen Schwankungen in den Vorrichtungseigenschaften bereitgestellt wird.

**[0016]** Die unabhängigen Ansprüche 1, 8, 11 und 14 definieren ein Verfahren zum Bilden einer Halbleitervorrichtung, während der unabhängige Anspruch 17 eine Halbleitervorrichtung definiert. In den abhängigen Ansprüchen 2 bis 7, 9 bis 10, 12 bis 13, 15 bis 16 und 18 bis 19 sind anschauliche Ausgestaltungen der jeweiligen unabhängigen Ansprüche definiert.

**[0017]** Gemäß einem Aspekt der vorliegenden Erfindung wird ein Verfahren zum Bilden einer Halbleitervorrichtung bereitgestellt. In einigen anschaulichen Ausführungsformen wird eine Gatestruktur gebildet, wobei die Gatestruktur eine Gateisolationsschicht und eine Gateelektrodenstruktur aufweist, die auf der Gateisolationsschicht gebildet ist. Verfahren gemäß einigen anschaulichen Ausführungsformen umfassen ferner ein Verringern einer Dimension der Gateelektrodenstruktur relativ zu der Gateisolationsschicht entlang einer Richtung, die sich parallel zu einer Richtung erstreckt, die Source und Drain verbindet.

**[0018]** Gemäß einem anderen Aspekt der vorliegenden Erfindung wird eine Halbleitervorrichtungsstruktur mit einer Gatestruktur bereitgestellt. Gemäß einiger anschaulicher Ausführungsformen umfasst die Gatestruktur eine Gateisolationsschicht und eine Gateelektrodenstruktur, die über der Gateisolationsschicht gebildet ist, wobei eine Dimension der Gateelektrodenstruktur entlang einer Richtung, die sich parallel zu einer Richtung erstreckt, welche von Source zu Drain orientiert ist, relativ zu einer Dimension der Gateisolationsschicht entlang der Richtung verringert ist. In einigen anschaulichen Beispielen können gekürzte Gatestrukturen (trimmed gate structures) mit einer von der Kanallänge entkoppelten Gatesiliziumlänge bereitgestellt werden, wobei die Kanallänge durch die Gatestruktur hervorgerufen wird.

**[0019]** Gemäß einiger anschaulicher Ausführungsform der vorliegenden Erfindung wird ein Verfahren zum Bilden einer Halbleitervorrichtung bereitgestellt, wobei das Verfahren ein Bereitstellen eines aktiven Gebiets in einem Halbleitersubstrat, ein Bilden einer Gatestruktur in dem aktiven Gebiet, und ein Anwenden eines Verkürzungsprozesses (trimming process) auf die Gateelektrodenstruktur zum Entfernen von Material mit einer ersten Seitenwanddicke von der Gateelektrodenstruktur und ein Bilden einer Abstandshalterstruktur auf der verkürzten (trimmed) Gatestruktur umfasst, wobei die Gatestruktur eine Gateisolationsschicht und eine Gateelektrodenstruktur mit einer Gatemetallschicht aufweist und die Abstandshalterstruktur eine zweite Seitenwanddicke aufweist, die nicht geringer ist als die erste Seitenwanddicke.

**[0020]** Gemäß einer anderen anschaulichen Ausführungsform der vorliegenden Erfindung wird ein

Verfahren zum Bilden einer Halbleitervorrichtung bereitgestellt, wobei das Verfahren ein Bilden einer Gatestruktur in einem aktiven Gebiet eines Halbleitersubstrats umfasst, wobei die Gatestruktur eine High-k-Gateisolationsschicht, eine Gatemetallschicht und ein Polysiliziummaterial aufweist. Das Verfahren umfasst ferner ein Freilegen eines oberen Oberflächenbereichs von der High-k-Gateisolationsschicht und/oder der Gatemetallschicht und ein Bilden einer Abstandshalterstruktur auf der Gatestruktur, so dass der freigelegte obere Oberflächenbereich bedeckt wird.

**[0021]** Gemäß einer weiteren anschaulichen Ausführungsform der vorliegenden Erfindung wird ein Verfahren zum Bilden einer Halbleitervorrichtung bereitgestellt, wobei das Verfahren ein Strukturieren eines Gateelektrodenstapels in einem aktiven Gebiet einer Halbleitervorrichtung umfasst, wobei der Gateelektrodenstapel eine Gateisolationsschicht und eine Gatemetallschicht aufweist, die auf der Gateisolationsschicht angeordnet ist. Das Verfahren umfasst ferner ein Zurückätzen des Gateelektrodenstapels, so dass Dimensionen der Gateisolationsschicht und/oder Gatemetallschicht im Gateelektrodenstapel beibehalten werden, und ein Bilden einer Abstandshalterstruktur in Kontakt mit dem Gateelektrodenstapel.

**[0022]** Gemäß einer weiteren anschaulichen Ausführungsform der vorliegenden Erfindung wird ein Verfahren zum Bilden einer Halbleitervorrichtung bereitgestellt, wobei das Verfahren ein Strukturieren einer Gatestruktur in einem aktiven Gebiet eines Halbleitersubstrats umfasst, wobei die Gatestruktur eine Gateisolationsschicht, eine Abstandshalterstruktur und eine Gateelektrodenstruktur aufweist. Das Verfahren umfasst ferner ein Verkürzen (trimming) eines oberen Bereichs der Gatestruktur, um eine freiliegende Oberfläche der Gateelektrodenstruktur durch Verkürzen (trimming) der Abstandshalterstruktur zu vergrößern, und ein Durchführen eines Silizidierungsprozesses nach dem Verkürzen (trimming) der Gatestruktur.

**[0023]** In einer weiteren anschaulichen Ausführungsform der vorliegenden Erfindung wird eine Halbleitervorrichtungsstruktur bereitgestellt, die ein Halbleitersubstrat mit einem aktiven Gebiet, eine verkürzte (trimmed) Gatestruktur und im aktiven Gebiet neben der verkürzten (trimmed) Gatestruktur gebildete Source- und Drainbereiche umfasst. Die verkürzte (trimmed) Gatestruktur weist eine Gateisolationsschicht und ein Gateelektrodenmaterial auf. Hierbei ist eine erste Richtung parallel zu einer Kanallänge orientiert, wobei sich der Kanal zwischen Source und Drain erstreckt. Die verkürzte (trimmed) Gatestruktur ist konfiguriert, so dass eine Länge der Gateisolationsschicht, die sich entlang der ersten Richtung erstreckt, größer ist als eine Länge des Gateelektrodenmaterials, das sich entlang der ersten Richtung erstreckt.

**[0024]** Die vorliegende Erfindung wird nachfolgend mit Bezug auf die folgenden Figuren beschrieben, wobei ähnliche Bezugszeichen ähnliche Elemente bezeichnen und in welchen:

**[0025]** Fig. 1 schematisch eine herkömmliche Halbleitervorrichtungsstruktur während eines typischen MEOL-Prozessflows in einer Querschnittsansicht darstellt;

**[0026]** Fig. 2 bis Fig. 5 schematisch einige anschauliche Ausführungsformen der vorliegenden Erfindung in Querschnittsansichten darstellen;

**[0027]** Fig. 6 bis Fig. 10 schematisch weitere anschauliche Ausführungsformen der vorliegenden Erfindung in Querschnittsansichten darstellen;

**[0028]** Fig. 11 schematisch einer Halbleitervorrichtungsstruktur gemäß einiger anschaulicher Ausführungsformen der vorliegenden Erfindung in einer Querschnittsansicht darstellt; und

**[0029]** Fig. 12 bis Fig. 13 schematisch weitere anschauliche Ausführungsformen der vorliegenden Erfindung in Querschnittsansichten darstellen.

**[0030]** Integrierte Schaltungen (ICs) können mit Millionen von Transistoren gebildet werden. Viele ICs werden unter Verwendung von Metalloxidhalbleitern oder MOS-Transistoren entworfen, die auch als Feldeffekttransistoren (FETs) oder MOS-FETs bezeichnet werden. Obwohl der Ausdruck „MOS-Transistor“ eigentlich eine Vorrichtung mit einer Metallgateelektrode und einem aus Oxidmaterial gebildeten Gateisolator bezeichnet, wird dieser Ausdruck in der vorliegenden Beschreibung auf eine beliebige Halbleitervorrichtung angewendet, die eine leitfähige Gateelektrode (aus Metall oder einem anderen leitfähigen Material), die über einem Gateisolator (aus einem Oxid oder einem anderen isolierenden Material) angeordnet ist, umfasst, wobei der Gateisolator wiederum über einem Halbleitersubstrat angeordnet ist. Ein Gateisolator kann beispielsweise als ein oder mehrere Gate isolierende Materialschichten bzw. Gateisolationsschichten verstanden werden, die über einem Substrat angeordnet sind.

**[0031]** Es wird angemerkt, dass MOS-Transistoren als P-Kanal-Transistoren oder PMOS-Transistoren und als N-Kanal-Transistoren oder NMOS-Transistoren bereitgestellt werden können und beide mit oder ohne beweglichkeitsverbessernden Verspannungsmerkmalen oder verspannungsinduzierenden Merkmalen vorgesehen werden können. Hierbei wird angemerkt, dass Verspannung und Verformung über das Young Modul miteinander in Beziehung stehen. Ein Schaltungsentwickler kann verschiedene Vorrichtungsstrukturen unter Verwendung von PMOS- und NMOS-Transistoren, verspannt und unverspannt, mi-

schen und aufeinander abstimmen, um die besten Eigenschaften von jedem Vorrichtungstyp auszunutzen, wie sie für die herzustellende Schaltung am besten einzusetzen sind.

**[0032]** Da ein kontaktierter Polypitch (CPP) für einen Technologieknoten definiert wird, und demzufolge nicht einen veränderlichen Parameter darstellt, ist ein Kompromiss zwischen einer Länge einer Gateelektrode und einer kritischen Dimension (CD) eines Source/Drainkontakts einzugehen, da die Gateelektrodenlänge und die Kontakt-CD jeweils so groß wie möglich sein sollen. Die Länge einer Gateelektrode wird hierin als sich entlang einer Richtung erstreckend angesehen, die parallel zu einer Richtung orientiert ist, welche sich zwischen dem Source und dem Drain erstreckt. Insbesondere wird davon ausgegangen, dass die Länge einer Gateelektrode entlang einer Richtung orientiert ist, die parallel zu einer Richtung orientiert ist, entlang welcher ein Kanal zwischen Source und Drain vorgesehen ist. Die vorliegende Erfindung bezieht sich in einigen Aspekten auf ein Konzept, welches eine Vergrößerung der Kontakt-CD ermöglicht, und insbesondere auf den Raum bzw. verfügbaren Platz zwischen zwei benachbarten Gates, der für eine Kontaktbildung von Source und Drain zur Verfügung steht.

**[0033]** Gemäß einigen anschaulichen Ausführungsformen schlägt die vorliegende Erfindung vor, eine Längendimension eines Gateelektrodenmaterials zu verringern, das über einer Gateisolationsschicht angeordnet ist, während eine entsprechende Dimension der Gateisolationsschicht beibehalten wird. Gemäß anderen anschaulichen Ausführungsformen stellt die vorliegende Erfindung ein Verkürzen (trimming) eines Siliziumbereichs oder -abschnitts einer Gatestruktur bereit, so dass ein oberer Bereich einer Gatesiliziumschicht verkürzt (trimmed) wird. Hierbei kann der für einen Kontakt zur Kontaktbildung zur Verfügung stehende Bereich zwischen zwei nebeneinander angeordneten Gateelektrodenstrukturen vergrößert werden.

**[0034]** Im Folgenden werden Halbleitervorrichtungsstrukturen und Verfahren zum Bilden einer Halbleitervorrichtung gemäß verschiedenen beispielhaften Ausführungsformen der vorliegenden Erfindung beschrieben. Es wird angemerkt, dass obwohl dargestellte Bereiche von Halbleitervorrichtungen und Halbleitervorrichtungsstrukturen lediglich eine einzige MOS-Struktur aufweisen können, in einer tatsächlichen Ausbildung von integrierten Schaltungen eine große Anzahl solcher Strukturen vorgesehen sein kann.

**[0035]** Fig. 2 stellt eine Halbleitervorrichtungsstruktur **200** während eines Prozesses zur Herstellung einer Halbleitervorrichtung dar. Die Halbleitervorrichtungsstruktur **200** umfasst ein Halbleitersubstrat **210**

und eine Gatestruktur **220**, die über einer Oberfläche des Halbleitersubstrats **210** gebildet ist. Das Halbleitersubstrat **210** kann Silizium, Silizium gemischt mit Germanium, Silizium gemischt mit anderen Elementen und dergleichen aufweisen, wie in der Halbleiterindustrie gegenwärtig eingesetzt wird. Beispielsweise kann das Halbleitersubstrat aus Silizium oder Silizium-Germanium gebildet sein. Im Folgenden wird das Substrat unabhängig von seiner speziellen Zusammensetzung lediglich als Halbleiter- oder Siliziumsubstrat bezeichnet. Das Substrat kann als Bulksubstrat oder gemäß einer Silizium-auf-Isolator(SOI)-Struktur bereitgestellt sein. In einer SOI-Struktur ist das Halbleitersubstrat **210** als eine dünne Schicht aus monokristallinem Halbleitermaterial vorgesehen, das auf einer isolierenden Schicht bereitgestellt wird, die wiederum auf einem Trägersubstrat angeordnet sein kann.

**[0036]** Die Gatestruktur **220** kann eine High-k-Schicht **224**, eine Gatemetallschicht **225** und eine Gateelektrodenschicht **226** umfassen. Die High-k-Schicht **224** kann beispielsweise  $\text{HfO}_2$ ,  $\text{HfSiO}_2$ ,  $\text{ZrO}_2$  oder  $\text{ZrSiO}_2$  oder eine Kombination von zwei oder mehreren Materialien oder Unterschichten davon umfassen. Es wird angemerkt, dass die High-k-Schicht **224** eine Materialschicht darstellen kann, die eine Dielektrizitätskonstante größer als 4 aufweist. Die Gatemetallschicht **225** kann beispielsweise ein Metall, wie z. B. Ru, eine Metalllegierung, wie z. B. TiNi, ein Metallnitrid, wie z. B. TaN, TaSiN, TaSiN, TiN, HfN oder ein Metalloxid, wie z. B.  $\text{RuO}_2$  oder Kombinationen davon umfassen. Die Gateelektrodenschicht **226** kann eine Silizium aufweisende Schicht sein, wie z. B. eine Schicht, die amorphes Silizium, Polysilizium, Silizium-Germanium oder Kombinationen davon umfasst. Es wird angemerkt, dass anstelle der Schichten **224** und **225** alternativ eine dielektrische Schicht vorgesehen sein kann, und dass die Schicht **226** ein Metallmaterial aufweisen kann. Es ist auch möglich, dass eine zusätzliche dünne Schicht (liner) unter der Gateelektrodenschicht **226** angeordnet sein kann. Die zusätzliche dünne Schicht kann beispielsweise in die Oberfläche des Halbleitersubstrats **210** eingebettet oder darauf ausgebildet sein. Die zusätzliche dünne Schicht kann beispielsweise ein verspannungsinduzierendes Material zur Einstellung der Schwellspannung und/oder zur Verbesserung der Beweglichkeit von Ladungsträgern in einem Kanalbereich des Halbleitersubstrats **210** unter der Gatestruktur **220** umfassen. Zum Beispiel kann in PMOS-Transistoren eine dünne Kanalsilizium-Germanium-Schicht (cSiGe-Schicht) vorgesehen sein.

**[0037]** Auf die Gatestruktur **220** kann ein Verkürzungsprozess **230** (trimming process) angewendet werden, wie in Fig. 2 dargestellt ist. Gemäß einigen anschaulichen Ausführungsformen kann der Verkürzungsprozess **230** (trimming process) als ein zusätz-

licher Prozess direkt nach einem Strukturieren der Gatestruktur **220** durchgeführt werden, wie in Fig. 2 dargestellt ist. Alternativ kann der Verkürzungsprozess **230** (trimming process) nach einem Strukturieren der Gateelektrodenschicht **226** und vor einem Strukturieren der Gateisolationsschicht **224** durchgeführt werden.

**[0038]** Gemäß einigen beispielhaften Ausführungsformen kann der Verkürzungsprozess **230** (trimming process) einen isotropen Siliziumätzprozess mit hoher Selektivität von Silizium bezüglich des High-k-Materials und/oder des Gatemetallmaterials umfassen.

**[0039]** Gemäß anderen anschaulichen Ausführungsformen kann der Verkürzungsprozess **230** (trimming process) im Falle einer aus Polysilizium gebildeten Gateelektrodenschicht alternativ derart durchgeführt werden, dass auf einer Zeitskala eine  $\text{SiO}_2$  aufweisende Reaktionsschicht gebildet wird, wobei die Zeitskala für die Herstellung von Halbleitervorrichtungen praktikabel ist. Die Zeitskala kann z. B. von den Plasmaverarbeitungsbedingungen und der Substrattemperatur abhängen. Gemäß einem anschaulichen Beispiel hierin kann ein Reaktivgas, das eine angeregte Sauerstoffsorte aufweist, verwendet werden, um mit dem Polysiliziummaterial zu reagieren, so dass eine  $\text{SiO}_2$  aufweisende Reaktionsschicht gebildet wird. Die angeregte Sauerstoffsorte kann unter Verwendung einer  $\text{O}_2$ -Plasmaquelle erzeugt werden. Die  $\text{O}_2$ -Plasmaquelle kann eine entfernte Plasmaquelle sein, wenn die Quelle von dem Substrat im Verarbeitungssystem beabstandet sein soll. Es wird angemerkt, dass ein Sauerstoff aufweisendes Gas, wie z. B.  $\text{O}_2$  oder  $\text{H}_2\text{O}$ , zum thermischen Oxidieren des Poly-Silizium-Materials verwendet werden kann, um eine  $\text{SiO}_2$ -Reaktionsschicht zu bilden.

**[0040]** Alternativ kann stattdessen ein Nass-Oxidationsprozess durchgeführt werden. Hierbei kann das Substrat in warmes  $\text{H}_2\text{O}$  oder in eine saure Lösung eingetaucht werden. Es wird angemerkt, dass optional im Anschluss an die Bildung der  $\text{SiO}_2$ -Reaktionsschicht auf der Oberfläche des Halbleitersubstrats **210** eine SiN-Schicht abgeschieden werden kann. Als nächstes kann die  $\text{SiO}_2$ -Reaktionsschicht entfernt oder von der nicht reagierten Gateelektrodenschicht **226** abgelöst (stripped) werden. Gemäß einigen anschaulichen Beispielen hierin kann ein Ätzgas angewendet werden, das beispielsweise aus wässrigem HF-Dampf (aqueous HF vapor) oder  $\text{NH}_3$  ausgewählt sein kann, gefolgt von einer Wärmebehandlung, um das verkürzte (trimmed) Produkt abzulösen.

**[0041]** Es wird angemerkt, dass in beispielhaften Ausführungsformen anschauliche Verkürzungsprozesse (trimming processes) auf Grundlage von einer Vielzahl von Aspekten durchgeführt werden können, wie z. B. von Ionengassorten, Ätzbiases (etch bia-

ses), Ätzkammern und der Steuerung mittels Spannungen, Über- bzw. Unterätzungen und Nassätzungen. Es wird angemerkt, dass verschiedene Aspekte beider Durchführungen anschaulicher Ausführungsformen der vorliegenden Erfindung in Betracht gezogen werden können.

**[0042]** Fig. 3 zeigt eine Halbleitervorrichtungsstruktur **300** mit einer verkürzten (trimmed) Gatestruktur **320**, die auf einer Oberfläche eines Halbleitersubstrats **310** angeordnet ist. Die Halbleitervorrichtungsstruktur **300** wird nach einer Durchführung des Verkürzungsprozesses **230** (trimming process) auf die Halbleitervorrichtungsstruktur **200** erhalten werden, wie mit Bezug auf die beispielhaften Ausführungsformen beschrieben ist, die in Fig. 2 dargestellt sind. Die verkürzte (trimmed) Gatestruktur **320** umfasst eine Gateisolationsschicht **324** und eine Gatemetallschicht **325**, die auf der Gateisolationsschicht **324** angeordnet ist. Über der Gateisolationsschicht **324** und der Gatemetallschicht **325** ist eine Gateelektrodenschicht **326** gebildet. Die Gateelektrodenschicht **326** der verkürzten (trimmed) Gatestruktur **320** überlagert die Gatemetallschicht **325**, so dass freiliegende Oberflächen **332** und **334** der Gatemetallschicht **325** nicht durch die Gateelektrodenschicht **326** bedeckt werden. Es wird angemerkt, dass die freiliegenden Oberflächen **332** und **334** abstehende Bereiche der Gatemetallschicht **325** und der Gateisolationsschicht **324** festlegen, die sich von der verkürzten Gatestruktur **320** um einen Abstand weg erstrecken, der mit dem Bezugszeichen **350** bezeichnet ist.

**[0043]** Fig. 4 zeigt eine Halbleitervorrichtungsstruktur **400** und ein Halbleitersubstrat **410** gemäß einer anschaulichen Ausführungsform der vorliegenden Erfindung. Die Halbleitervorrichtungsstruktur **400** umfasst eine Gatestruktur **420**, neben der Seitenwandabstandshalter **462** und **464** gebildet sind. Die Gatestruktur **420** umfasst eine Gateisolationsschicht **424**, eine Gatemetallschicht **425**, die auf der Gateisolationsschicht **424** angeordnet ist, und eine verkürzte (trimmed) Gateelektrodenschicht **426**. Es wird angemerkt, dass obwohl Fig. 4 explizit eine beispielhafte Ausführungsform mit zwei Seitenwandabstandshaltern **462** und **464** darstellt, die neben der verkürzten (trimmed) Gatestruktur **420** an jeder Seite der Gatestruktur **420** gebildet sind, lediglich ein Seitenwandabstandshalter oder alternativ mehr als zwei Seitenwandabstandshalter vorgesehen sein können. Die in Fig. 4 dargestellte beispielhafte Ausführungsform zeigt einen dünnen Abstandshalter **462**, der neben der Gateelektrodenschicht **426** und dem Schichtstapel der Gate isolierenden Schicht **424** und der Gatemetallschicht **425** gebildet ist, um die Oberflächen **434** und **432** der Gatemetallschicht **425** zu bedecken, die nicht durch eine Gateelektrodenmaterialschicht **426** bedeckt sind, welche auf der Gatemetallschicht **425** angeordnet ist. Gemäß der in Fig. 4 dargestellten anschaulichen Ausführungsform kann

der dünne Abstandshalter **426** eine „W“-artige Gestalt aufweisen. Gemäß einigen anschaulichen Beispielen hierin kann die Dicke des dünnen Abstandshalters **462** in einem Bereich von ca. 1 bis 10 nm oder einem Bereich von ca. 2 bis 5 nm liegen.

**[0044]** Gemäß einer anschaulichen Ausführungsform eines beispielhaften Prozess-Flows wird die Halbleitervorrichtungsstruktur **400** nachfolgend an ein Bilden einer verkürzten (trimmed) Gatestruktur erhalten, wie z. B. der verkürzten (trimmed) Gatestruktur **320** aus Fig. 3, und einem Bilden von einem oder mehreren Seitenwandabstandhaltern neben der verkürzten (trimmed) Gatestruktur. Es wird angemerkt, dass das Bilden des einen oder der mehreren Seitenwandabstandshalter einen Prozess zum Bilden von einem oder mehreren Abstandshaltern umfassen kann, beispielsweise durch Abscheiden eines Abstandshalter bildenden Materials zum Bilden von einer oder mehreren Schichten aus Abstandshalter bildendem Material mit einer Dicke, die dem Abstand **350** in Fig. 3 entspricht. Folglich können ein oder mehrere Schichten aus Abstandshalter bildendem Material gebildet werden, um das Material auf der Gateelektrodenschicht zu ersetzen, das bei der Durchführung des Verkürzungsprozesses (trimming process) entfernt wird, wie hinsichtlich der Fig. 2 und Fig. 3 dargestellt ist. Es wird angemerkt, dass alternativ eine Dicke einer abgeschiedenen Schicht aus Abstandshalter bildendem Material größer sein kann als der Abstand **350**, der in Fig. 3 dargestellt ist.

**[0045]** Fig. 5 zeigt schematisch eine Querschnittsansicht einer Halbleitervorrichtungsstruktur **500** und eines Halbleitersubstrats **510**. Auf einer Oberfläche des Halbleitersubstrats **510** ist eine Gatestruktur **520** gebildet, wobei die Gatestruktur **520** eine Gateisolationsschicht **524**, eine Gatemetallschicht **525** und eine verkürzte (trimmed) Gateelektrodenschicht **526** umfasst. In einem oberen Bereich der verkürzten (trimmed) Gateelektrodenschicht **526** ist ein Gatesilizidbereich **566** gebildet. Die verkürzte (trimmed) Gateelektrodenschicht **526** ist relativ zu der Gatemetallschicht **525** und der Gateisolationsschicht **524** verkürzt, so dass Oberflächen **532** und **534** der Gatemetallschicht **525** nicht durch die verkürzte (trimmed) Gateelektrodenschicht **526** bedeckt sind. Die Oberflächen **532** und **534** der Gatemetallschicht **525** legen Abstandsbereiche der Gateisolationsschicht **524** und der Gatemetallschicht **525** fest, die sich von der verkürzten (trimmed) Gateelektrodenschicht **526** weg erstrecken.

**[0046]** Es sind Abstandshalter **562** und **564** gebildet, die die freiliegenden Oberflächen **532** und **534** überlagern. Es wird angemerkt, dass ein oder mehrere Abstandshalter neben der Gateelektrodenschicht **526** und der Gatemetallschicht **525** und der Gateisolationsschicht **524** gebildet sein können, um Seitenwände der verkürzten (trimmed) Gateelektroden-

schicht (526), der Gatemetallschicht 525 und der Gateisolationsschicht 524 zu bedecken. Gemäß einer anschaulichen Ausführungsform wird neben der Gateelektrodenerschicht 526 nur ein Abstandshalter (nicht dargestellt) gebildet, der eine Dicke aufweist, so dass der abstehende Bereich der Gatemetallschicht 525 und der Gateisolationsschicht 524 durch den Abstandshalter eingekapselt wird.

[0047] Gemäß der in Fig. 5 dargestellten beispielhaften Ausführungsform sind zwei Abstandshalter 562 und 564 dargestellt, wobei die Abstandshalter 562 und 564 neben der Gatestruktur 520 gebildet sind. In einem anschaulichen Beispiel hierin kann die Dicke des Abstandshalters 562 geringer sein als ein Abstand, der durch eine Länge von einer der Oberflächen 532 und 534 entlang einer Richtung gemessen wird, die von der verkürzten (trimmed) Gateelektrodenerschicht 526 weg gerichtet ist. Gemäß alternativen anschaulichen Beispielen hierin kann eine Dicke des Abstandshalters 562 größer sein als die Länge der Oberflächen 532 und 534 entlang einer Richtung, die sich von der verkürzten (trimmed) Gateelektrodenerschicht 526 weg erstreckt. Es wird angemerkt, dass die Oberflächen 532 und 534 durch wenigstens einen Abstandshalter bedeckt sein können.

[0048] Die Halbleitervorrichtungsstruktur 500, die in Fig. 5 dargestellt ist, umfasst ferner tiefe Source- und Drainbereiche 572 und Source/Drain-Erweiterungsbereiche 574. Ferner sind in Ausrichtung zu dem Abstandshalter 564 in Source/Drain (mit dem Bezugszeichen 572 und 574 in Fig. 5 entsprechend bezeichnet) Silizidbereiche 582 gebildet.

[0049] Die in Fig. 5 dargestellte Halbleitervorrichtungsstruktur 500 wird nach einem Bilden der Halbleitervorrichtungsstruktur 400, die in Fig. 4 dargestellt ist, durch Durchführen von Source/Drain-Erweiterungsimplantierprozessen, Source- und Drainimplantationsprozessen und Bilden von Silizidbereichen 582 in Source/Drain 572, 574 neben der Gatestruktur 520 erhalten. Es wird angemerkt, dass die Silizidbereiche 582 in Ausrichtung zu der Gatestruktur 520 und den Seitenwandabstandshaltern 562 und 564 bereitgestellt werden können, so dass diese nicht von der verkürzten (trimmed) Gateelektrodenerschicht 526 abhängen. Es wird angemerkt, dass die Seitenwandabstandshalter in einigen anschaulichen Ausführungsformen im Prozess-Flow früher entfernt werden können und durch eine andere Seitenwandabstandshalterstruktur ersetzt werden kann, so dass die in Fig. 4 dargestellten Seitenwandabstandshalter 462 und 464 eine Dummy-Abstandshalterstruktur darstellen kann, die während eines Zwischenprozesses, der im Prozess-Flow zwischen den mit Bezug auf die Fig. 4 und Fig. 5 dargestellten Prozessphase ausgeführt werden kann, vorgesehen wird.

[0050] Anhand der Fig. 6 bis Fig. 10 werden weitere Ausführungsformen der Erfindung beschrieben, wobei eine Halbleitervorrichtungsstruktur mit einer Gatestruktur bereitgestellt wird, die eine Gateisolationsschicht und eine Gateelektrodenstruktur umfasst, die über der Gateisolationsschicht gebildet ist, wobei eine Dimension der Gateelektrodenstruktur entlang einer Richtung, die sich parallel zu einer Richtung erstreckt, welche von Source zu Drain orientiert ist, relativ zu einer Dimension der Gateisolationsschicht entlang der Richtung verringert ist.

[0051] Fig. 6 zeigt eine Halbleitervorrichtungsstruktur 600 gemäß alternativen anschaulichen Ausführungsformen. Die Halbleitervorrichtungsstruktur 600 ist in einem Halbleitersubstrat 610 gebildet, so dass eine Gatestruktur 620 auf einer Oberfläche des Halbleitersubstrats 610 angeordnet ist. Die Gatestruktur 620 umfasst eine Gateisolationsschicht 624, eine Gatemetallschicht 625 und eine Gateelektrodenerschicht 626. Neben der Gatestruktur 620 sind Seitenwandabstandshalter 642 gebildet. Die Seitenwandabstandshalter 642 können ein oder mehrere Seitenwandabstandshalterschichten aufweisen, wie vorangehend mit Bezug auf andere anschauliche Ausführungsformen beschrieben ist.

[0052] Gemäß einem anschaulichen Beispiel kann die Halbleitervorrichtungsstruktur 600 nachfolgend an ein Bereitstellen der Halbleitervorrichtungsstruktur 200 gebildet werden, die in Fig. 2 dargestellt ist. In dieser Phase im Prozess-Flow wird ein Prozess zum Bilden der Seitenwandabstandshalter 642 vor einem Durchführen eines Verkürzungsprozesses (trimming process) durchgeführt werden.

[0053] Fig. 7 zeigt eine Halbleitervorrichtungsstruktur 700 und ein Halbleitersubstrat 710 gemäß einer anschaulichen Ausführungsform. Die Halbleitervorrichtungsstruktur 700 umfasst eine Gatestruktur 720, die auf einer Oberfläche des Halbleitersubstrats 710 angeordnet ist. Die Halbleitervorrichtungsstruktur 700 umfasst ferner Source- und Drainerweiterungsbereiche 774, die in dem Halbleitersubstrat 710 in Ausrichtung zu der Gatestruktur 720 und/oder der Abstandshalterstruktur 742 gebildet sind. Alternativ oder zusätzlich können Halobereiche (nicht dargestellt) in dem Halbleitersubstrat 710 gebildet sein.

[0054] Gemäß einem anschaulichen Beispiel wird die Halbleitervorrichtungsstruktur 700 unter Durchführen eines Implantationsprozesses nach einem Bereitstellen der Halbleitervorrichtungsstruktur 600 erhalten werden, die in Fig. 6 dargestellt ist. Mittels des Implantationsprozesses (nicht dargestellt) können Source/Drain-Erweiterungsbereiche und/oder Halobereiche mittels entsprechender Source/Drain-Erweiterungsbereich-Implantationsprozessen und Halobereich-Implantationsprozessen gebildet werden. Es wird angemerkt, dass wenigstens ein oder mehre-



re Seitenwandabstandshalter als eine Implantationsmaske zum Ausrichten der Source- und Drainerweiterungsbereiche **774** und/oder Halobereiche (nicht dargestellt) hinsichtlich der Gatestruktur **720** dienen können. Alternativ können Implantationsprozesse durchgeführt werden, nachdem die Seitenwandabstandshalterstruktur der Halbleitervorrichtungsstruktur **600** entfernt wurde, die in **Fig. 6** dargestellt ist.

**[0055]** **Fig. 8** stellt schematisch eine Halbleitervorrichtungsstruktur **800** und ein Halbleitersubstrat **810** gemäß einer anschaulichen Ausführungsform der vorliegenden Erfindung dar. Die Halbleitervorrichtungsstruktur **800** umfasst eine Gatestruktur **820** und Source- und Drainerweiterungsbereiche **874** in Ausrichtung zu der Gatestruktur **820**, wobei die Gatestruktur **820** auf einer Oberfläche eines Halbleitersubstrats **810** gebildet ist. Die Source- und Drainerweiterungsbereiche **874** sind neben der Gatestruktur **820** an jeder Seite der Gatestruktur **820** in dem Halbleitersubstrat **810** gebildet. Zusätzlich oder alternativ können in dem Halbleitersubstrat **810** ferner Halobereiche (nicht dargestellt) vorgesehen sein. Gemäß der in **Fig. 8** dargestellten anschaulichen Ausführungsform umfasst die Gatestruktur **820** eine Gateisolationsschicht **824**, eine Gatemetallschicht **825** und eine Gateelektrodenschicht **826**.

**[0056]** Gemäß einem anschaulichen Beispiel wird die Halbleitervorrichtungsstruktur **800**, die in **Fig. 8** dargestellt ist, unter Durchführen eines Ätzprozesses an der Halbleitervorrichtungsstruktur **700** erhalten, die in **Fig. 7** dargestellt ist, wobei der Ätzprozess zum Entfernen der Seitenwandabstandshalter **742** in **Fig. 7** konfiguriert ist. Es wird angemerkt, dass die Seitenwandabstandshalterstruktur **742**, die in **Fig. 7** dargestellt ist, eine Dummy-Abstandshalterstruktur darstellen kann.

**[0057]** **Fig. 9** zeigt eine Halbleitervorrichtungsstruktur **900** mit einer Gatestruktur **920**, die auf einer Oberfläche eines Halbleitersubstrats **910** angeordnet ist. Die Gatestruktur **920** umfasst eine Gateisolationsschicht **924** und eine Gatemetallschicht **925**, die auf der Gateisolationsschicht **924** angeordnet ist. Über der Gateisolationsschicht **924** und der Gatemetallschicht **925** ist eine verkürzte (trimmed) Gateelektrodenschicht **926** gebildet. Die Gatestruktur **920** kann gemäß anschaulichen Ausführungsformen gebildet werden, die mit Bezug auf die Gatestruktur **220** beschrieben sind, wie in **Fig. 2** dargestellt ist.

**[0058]** Die verkürzte (trimmed) Gateelektrodenschicht **926** der verkürzten (trimmed) Gatestruktur **920** überlagert die Gatemetallschicht **925**, so dass freiliegende Oberflächen **932** und **934** der Gatemetallschicht **925** nicht durch die Gateelektrodenschicht **926** bedeckt sind. Es wird angemerkt, dass die freiliegenden Oberflächen **932** und **934** abstehende Bereiche der Gatemetallschicht **925** und der Gateisola-

tionsschicht **924** festlegen, die sich von der verkürzten (trimmed) Gateelektrodenschicht **926** um einen Abstand weg erstrecken, der in **Fig. 9** mit dem Bezugszeichen **950** bezeichnet ist. In dem Halbleitersubstrat **910** sind in Ausrichtung zu der Gatemetallschicht **925** und der Gateisolationsschicht **924** Source- und Drainerweiterungsbereiche **974** gebildet. Es wird angemerkt, dass die Gatestruktur **920** der Halbleitervorrichtungsstruktur **900**, wie in **Fig. 9** dargestellt ist, eine Längendimension aufweist, die von der Anordnung der Source- und Drainerweiterungsbereiche **974** entkoppelt ist, die eine Kanallänge eines Kanals definieren, der sich unter der Gatestruktur **920** im Halbleitersubstrat **910** erstreckt.

**[0059]** Die in **Fig. 9** dargestellte Halbleitervorrichtungsstruktur **900** wird nach der in **Fig. 8** dargestellten Herstellungsphase erhalten.

**[0060]** **Fig. 10** zeigt eine Halbleitervorrichtungsstruktur **1000** und ein Halbleitersubstrat **1010** gemäß einer anschaulichen Ausführungsform der vorliegenden Erfindung. Die Halbleitervorrichtungsstruktur **1000** umfasst eine Gatestruktur **1020**, die auf einer Oberfläche des Halbleitersubstrats **1010** angeordnet ist. Die Gatestruktur **1020** weist eine Gateisolationsschicht **1024**, eine Gatemetallschicht **1025** und eine verkürzte (trimmed) Gateelektrodenschicht **1026** auf. Neben der Gatestruktur **1020** sind ein oder mehrere Seitenwandabstandshalter **1062** und **1064** gebildet. Es wird angemerkt, dass neben der Gatestruktur **1020** an jeder Seite der Gatestruktur **1020** lediglich ein Seitenwandabstandshalter oder alternativ mehr als zwei Seitenwandabstandshalter anstelle der in **Fig. 10** explizit dargestellten beispielhaften Ausführungsform mit zwei Seitenwandabstandshaltern **1062** und **1064** vorgesehen sein können.

**[0061]** Die in **Fig. 10** dargestellte anschauliche Ausführungsform zeigt einen dünnen Abstandshalter **1062**, der neben der verkürzten (trimmed) Gateelektrodenschicht **1026** und dem Schichtstapel aus der Gateisolationsschicht **1024** und der Gatemetallschicht **1025** gebildet ist, um die Oberflächen **1034** und **1032** der Gatemetallschicht **1025** zu bedecken, die durch die verkürzte (trimmed) Gateelektrodenschicht **1026** nicht bedeckt sind. In dem Halbleitersubstrat **1010** sind in Ausrichtung zu der Gateisolationsschicht **1024** und der Gatemetallschicht **1025** Source- und Drainerweiterungsbereiche **1074** gebildet. Die Seitenwandabstandshalter **1062** und **1064** sind über den Source- und Drainerweiterungsbereichen **1074** gebildet, so dass Bereiche der Seitenwandabstandshalter **1062** und **1064** auf den Source- und Drainerweiterungsbereichen **1074** angeordnet sind, um die Source- und Drainerweiterungsbereiche **1074** teilweise zu bedecken. Gemäß einem anschaulichen Beispiel kann der dünne Abstandshalter **1064** eine im Wesentlichen deformierte „W“-Gestalt aufweisen, wie in **Fig. 10** dargestellt ist. Gemäß eini-

gen anschaulichen Ausführungsformen ist eine Dicke des dünnen Abstandshalters **1062** in einem Bereich von 1 bis 10 nm oder in einem Bereich von 2 bis 5 nm.

**[0062]** Gemäß einem anschaulichen Beispiel wird die Halbleitervorrichtungsstruktur **1000** nach dem Bilden der Gatestruktur **920** aus **Fig. 9** durch Bilden von einem oder mehreren Seitenwandabstandshaltern neben der Gatestruktur **920** aus **Fig. 9** erhalten. Es wird angemerkt, dass das Bilden von einem oder mehreren Seitenwandabstandshaltern ein Bilden eines Abstandshalters durch Abscheiden eines Abstandhalter bildenden Materials mit einer Dicke entsprechend dem Abstand **950** in **Fig. 9** umfassen kann, wobei **Fig. 9** ein Gateelektrodenmaterial der Gateelektroden-schicht darstellt, welches bei Durchführung des Verkürzungsprozesses zum Bilden der verkürzten Gateelektroden-schicht **926** entfernt wurde (wie in **Fig. 9** dargestellt ist). Alternativ kann eine Dicke eines abgeschiedenen Abstandshalter bildenden Materials größer sein als der Abstand **950** aus **Fig. 9**.

**[0063]** **Fig. 11** zeigt eine Halbleitervorrichtungsstruktur während eines Middle-End-of-Line(MEOL)-Herstellungsprozessflows gemäß einigen anschaulichen Ausführungsformen der vorliegenden Erfindung.

**[0064]** **Fig. 11** zeigt ein Halbleitersubstrat **1100** und zwei Gatestrukturen **1120** und **1140**, die auf einer Oberfläche des Halbleitersubstrats **1100** angeordnet sind. Source/Drain-Bereiche **1112**, **1114** und **1116** sind in dem Halbleitersubstrat **1100** neben jeder Gatestruktur **1120**, **1140** ausgebildet, ohne dass explizit Source- und Drainerweiterungsbereiche und optionale Halobereiche dargestellt sind. Die Gatestruktur **1120** weist eine Gateisolationsschicht **1124**, eine verkürzte (trimmed) Gateelektroden-schicht **1126** und ein Gatesilizid **1164** auf, das auf der verkürzten (trimmed) Gateelektroden-schicht **1126** gebildet ist. Obwohl um einer vereinfachten Darstellung willen lediglich die Gateisolationsschicht **1124** explizit dargestellt ist, ist keine Beschränkung der vorliegenden Erfindung beabsichtigt. Es wird angemerkt, dass die dargestellte Schicht **1124** eine Gateisolationsschicht und eine Gate-metallschicht umfassen kann, die gemäß der vorangehenden Beschreibung auf der Gateisolationsschicht gebildet sein kann. Seitenwandabstandshalter **1128** sind an jeder Seite der Gatestruktur **1120** gebildet, so dass die Oberflächen **1134** der Schicht **1124** durch die Seitenwandabstandshalter **1128** bedeckt sind, wobei die Oberflächen **1134** nicht durch die verkürzte (trimmed) Gateelektroden-schicht **1126** bedeckt werden.

**[0065]** Folglich weist die Gatestruktur **1140** eine Gateisolationsschicht **1144**, eine verkürzte (trimmed) Gateelektroden-schicht **1146** und ein Gatesilizid **1168** auf, das auf der verkürzten (trimmed) Gateelektroden-schicht **1146** gebildet ist. In einer vereinfachten Darstellung ist zwar die Gateisolationsschicht **1144**

explizit dargestellt, jedoch wird dadurch keine Beschränkung der vorliegenden Erfindung beabsichtigt. Es wird angemerkt, dass die dargestellte Schicht **1144** eine Gateisolationsschicht und eine Gate-metallschicht aufweisen kann, die über der Gateisolationsschicht gemäß der vorangehenden Beschreibung gebildet ist. An jeder Seite der verkürzten (trimmed) Gatestruktur **1140** sind Seitenwandabstandshalter **1148** gebildet, so dass Oberflächen **1134** der Schicht **1144** durch die Seitenwandabstandshalter **1148** bedeckt werden, wobei die Oberflächen **1134** nicht durch die verkürzte (trimmed) Gateelektroden-schicht **1146** bedeckt sind.

**[0066]** Eine Länge der Gateisolationsschicht **1124** ist durch einen Pfeil **1122** bezeichnet, während eine Länge der Gateisolationsschicht **1144** durch einen Pfeil **1142** dargestellt wird. Es wird angemerkt, dass Pfeile **1124** und **1142** entsprechende Längendimensionen von Kanälen darstellen, die sich unter die entsprechenden Gatestrukturen **1120** und **1140** erstrecken. Es wird angemerkt, dass Halbleitervorrichtungen mittels der Gatestrukturen **1120**, **1140** mit Gateelektroden-schichten **1126**, **1146** bereitgestellt sein können, wobei die Gateelektroden-schichten **1126**, **1146** Längendimensionen aufweisen, die von den entsprechenden Kanallängen **1122**, **1142** entkoppelt sind. Ein Kontakt **1160** stellt schematisch einen Kontakt zum Kontaktieren von Source und Drain einer Transistorstruktur dar, die die Gateelektroden-struktur **1120** oder die Gateelektroden-struktur **1140** aufweist. Der Kontakt **1160** ist auf dem Source oder Drainbereich **1114** angeordnet. Gemäß der Darstellung in **Fig. 11** ist ein CPP schematisch als ein Pitch zwischen den Source- und Drainbereichen **1114** und **1116** dargestellt.

**[0067]** Die Kontaktgeometrie gemäß der dargestellten Ausführungsform, wie in **Fig. 11** gezeigt ist, wird ferner durch zwei Parameter „a“ und „b“ parametrisiert, wobei der Parameter „b“ einen Abstand zwischen dem Kontakt **1160** und der Gateisolationsschicht **1124** der verkürzten (trimmed) Gatestruktur **1120** bezeichnet und der Parameter „a“ einen Abstand zwischen dem Kontakt **1160** und dem Gatesilizid **1164** der Gatestruktur **1120** bezeichnet. Aufgrund der verkürzten (trimmed) Gateelektroden-schicht **1126** der Gatestruktur **1120** kann der Parameter „a“ bei gegebenem CPP als größer als der Parameter „b“ angenommen werden ( $a > b$ ). Es wird angemerkt, dass der Parameter „a“ bezüglich dem aus dem Stand der Technik bekannten Parameter „a“ in **Fig. 1** vergrößert sein kann, ohne den Source/Drainkontakt **1160** und insbesondere ohne den Kontaktwiderstand des Kontakts **1160** zu beeinflussen.

**[0068]** Hinsichtlich der **Fig. 12** und **Fig. 13** werden einige alternative Ausführungsformen der vorliegenden Erfindung beschrieben. **Fig. 12** zeigt eine Halbleitervorrichtungsstruktur **1200** und ein Halb-

leitersubstrat **1210**. Die Halbleitervorrichtungsstruktur weist eine Gatestruktur **1220** auf, die auf einer Oberfläche des Halbleitersubstrats **1210** gebildet ist. Die Gatestruktur **1220** umfasst eine Gateisolationsschicht **1224**, eine Gatemetallschicht **1225** und eine Gateelektrodenschicht **1226**. Neben der Gatestruktur **1220** ist an jeder Seite der Gatestruktur **1220** eine Seitenwandabstandshalterstruktur **1248** gebildet.

[0069] Es wird angemerkt, dass die Halbleitervorrichtungsstruktur **1200**, die in **Fig. 12** dargestellt ist, einer Konfiguration entsprechen kann, die hinsichtlich **Fig. 6** oben beschrieben ist. Es wird ferner angemerkt, dass die Halbleitervorrichtungsstruktur **1200** alternativ der Halbleitervorrichtungsstruktur **700** entsprechen kann, die mit Bezug auf **Fig. 7** beschrieben ist, obwohl in **Fig. 12** nicht explizit Source- und Drainerweiterungsbereiche dargestellt sind.

[0070] Als Nächstes kann ein Verkürzungsprozess **1230** (trimming process) auf die Halbleitervorrichtungsstruktur **1200** angewendet werden, um die Halbleitervorrichtungsstruktur **1300** bereitzustellen, wie in **Fig. 13** dargestellt ist. Bei Anwenden des Verkürzungsprozesses **1230** (trimming process) wird eine verkürzte (trimmed) Gatestruktur **1320** gebildet. Die verkürzte (trimmed) Gatestruktur **1320** ist gemäß der Darstellung in **Fig. 13** auf einer Oberfläche eines Halbleitersubstrats **1310** angeordnet. Die verkürzte (trimmed) Gatestruktur **1320** umfasst eine Gateisolationsschicht **1324**, eine Gatemetallschicht **1325** und eine verkürzte (trimmed) Gateelektrodenschicht **1326**. An jeder Seite der verkürzten (trimmed) Gatestruktur **1320** ist eine verkürzte (trimmed) Seitenwandabstandshalterstruktur **1348** gebildet.

[0071] Der Verkürzungsprozess (**1230** in **Fig. 12**; trimming process) kann konfiguriert sein, so dass der obere Bereich der verkürzten (trimmed) Gateelektrodenschicht **1326** die Gestalt einer abgerundeten Spitze annimmt. Es wird angemerkt, dass aufgrund des Verkürzungsprozesses (**1230** in **Fig. 12**; trimming process) ein Bereich zum Vorsehen eines Kontakts zwischen nachfolgenden Verarbeitungsprozessen zwischen zwei benachbarten Gatestrukturen vergrößert werden kann.

[0072] Gemäß einigen anschaulichen Ausführungsformen hierin kann der Ätzprozess einen formenden Prozess umfassen, der den oberen Bereich aus Polysilizium in eine bestimmte Form bringt, wobei die Gateisolationsschicht **1324** und die Gatemetallschicht **1325** durch ein Abstandshaltermaterial geschützt sind. Gemäß einem speziellen Beispiel hierin ist es möglich, anisotrope physikalische Ätzkomponenten, wie z. B. Ar-Ionen, einzubauen, die zu der Waferoberfläche hin beschleunigt werden und dann an dem oberen Bereich von Polysilizium dieses durch einen Impulsübertrag der beschleunigten Ionen, bei-

spielsweise Ar-Ionen, auf Polysiliziumatome physikalisch entfernen.

[0073] Der Verkürzungsprozess (Bezugszeichen **1230** in **Fig. 12**; trimming process) kann nicht nur die verkürzten (trimmed) Gateelektrodenschicht **1326** beeinflussen, sondern kann auch einen Einfluss auf die verkürzte (trimmed) Seitenwandabstandshalterstruktur **1348** aufweisen, so dass wenigstens ein Seitenwandabstandshalter zurückgeätzt werden kann, wie in **Fig. 13** dargestellt ist. Beim Zurückätzen von einem oder mehreren Seitenwandabstandshaltern kann ein oberer Bereich der Gateelektrodenschicht **1326** freigelegt werden, so dass der obere Bereich der Gateelektrodenschicht **1326** ebenfalls durch ein weiteres Verkürzen (trimming) verkürzt (trimmed) werden kann. Gemäß einer anschaulichen Ausführungsform kann eine Gateelektrodenschicht mit einem runden Spitzenbereich (tip portion) anstelle eines mehr oder weniger abgeflachten Spitzenbereichs erhalten werden.

[0074] Es wird angemerkt, dass die alternativen anschaulichen Ausführungsformen, die mit Bezug auf die **Fig. 12** und **Fig. 13** beschrieben sind, einen größeren Abstand zwischen einem oberen Bereich einer Gatestruktur (beispielsweise einen oberen Bereich der Gatestruktur **1320** in **Fig. 13**) und einem Source/Drainkontakt (beispielsweise dem Bezugszeichen **1160** in **Fig. 11** entsprechend) ergeben kann, so dass ein entsprechender Parameter „a“ vergrößert werden kann, während ein Parameter „b“ im Wesentlichen beibehalten wird, so dass eine Beziehung, wie z. B. Parameter „a“ ist größer oder gleich Parameter „b“, in einer Kontaktgeometrie in Entsprechung mit dieser alternativen Ausführungsformen erreicht werden kann.

[0075] Es wird angemerkt, dass in verschiedenen anschaulichen Ausführungsformen der vorliegenden Erfindung insgesamt Grenzwertbedingungen für eine Verringerung der Längendimension, insbesondere einer Länge einer Gateelektrodenschicht, erhalten werden können, so dass die verringerte Länge der Gateelektrodenschicht groß genug erhalten wird, so dass Kontakte auf Silizidbereichen bereitgestellt werden können, die an Gateelektrodenschichten ausgebildet sind, ohne die kritischen Dimensionen von Kontakten zu verringern und Kontaktwiderstände negativ zu beeinflussen.

[0076] Es wird angemerkt, dass die Anwendung der vorliegenden Erfindung einen größeren Rahmen für einen Bereich ergeben kann, in dem Kontakte zwischen zwei benachbarten Gatestrukturen bereitgestellt werden können, und daher kann die vorliegende Erfindung einen großen Beitrag zu bestehenden Technologieknoten bei 32 nm und 28 nm liefern.

**[0077]** Die vorliegende Erfindung stellt Verfahren zum Bilden einer Halbleitervorrichtung bereit. In einigen anschaulichen Ausführungsformen wird eine Gatestruktur gebildet, wobei die Gatestruktur eine Gateisolationsschicht und eine Gateelektroden-schicht aufweist, die auf der Gateisolationsschicht gebildet ist. Die Verfahren stellen ein Verringern einer Dimension der Gateelektrodenstruktur relativ zu der Gateisolationsschicht entlang einer Richtung bereit, die sich parallel zu einer Richtung erstreckt, in der Source und Drain durch einen Kanal verbunden werden können. Die vorliegende Erfindung stellt ferner eine Halbleitervorrichtungsstruktur mit einer Gatestruktur bereit. Die Gatestruktur umfasst eine Gateisolationsschicht und eine Gateelektroden-schicht, die über der Gateisolationsschicht gebildet ist, wobei eine Dimension der Gateelektroden-schicht, die sich entlang einer Richtung erstreckt, die parallel zu einer Richtung orientiert ist, in der Source und Drain durch einen Kanal verbunden werden können, relativ zu einer Dimension der Gateisolationsschicht entlang der Richtung verkleinert ist. Gemäß einigen anschaulichen Ausführungsformen werden Gatestrukturen bereitgestellt, die eine Gatesiliziumlänge aufweisen, welche von der Kanallänge entkoppelt ist, die durch die Gatestruktur hervorgerufen wird. Gemäß einigen anschaulichen Ausführungsformen kann eine Abstandshalterstruktur auf einem oberen Oberflächenbereich der Gateisolationsschicht angeordnet werden, wobei der obere Oberflächenbereich zu einer Oberfläche des Halbleitersubstrats parallel orientiert ist, wobei die Oberfläche des Halbleitersubstrats durch die Gatestruktur bedeckt wird. Gemäß anderen anschaulichen Ausführungsformen kann die Gatestruktur einen abgerundeten Spitzenbereich aufweisen.

### Patentansprüche

1. Verfahren zum Bilden einer Halbleitervorrichtung, umfassend:  
Bereitstellen eines aktiven Gebiets in einem Halbleitersubstrat;  
Bilden einer Gatestruktur in dem aktiven Gebiet, wobei die Gatestruktur eine Gateisolationsschicht und eine Gateelektrodenstruktur mit einer Gateelektroden-schicht mit vertikalen Seitenwandflächen und einer Gatemetallschicht aufweist;  
Anwenden eines Verkürzungsprozesses auf die vertikalen Seitenflächen der Gateelektroden-schicht zum Entfernen von Material mit einer ersten Dicke entlang der gesamten vertikalen Seitenflächen der Gateelektroden-schicht; und  
Bilden einer Abstandshalterstruktur an der verkürzten Gateelektroden-schicht, wobei die Abstandshalterstruktur wenigstens eine zweite Dicke aufweist, die größer oder gleich der ersten Dicke ist.

2. Verfahren nach Anspruch 1, ferner umfassend ein Anwenden eines Silizidierungsprozesses nach dem Bilden der Abstandshalterstruktur.

3. Verfahren nach Anspruch 1 oder 2, wobei der Verkürzungsprozess ein Durchführen eines isotropen Ätzprozesses an der Gateelektrodenstruktur zum Freilegen eines oberen Oberflächenbereichs der Gateisolationsschicht und/oder der Gatemetallschicht umfasst.

4. Verfahren nach einem der Ansprüche 1 bis 3, ferner umfassend ein Festlegen von dotierten Bereichen in dem Halbleitersubstrat, wobei die dotierten Bereiche bezüglich der Abstandshalterstruktur ausgerichtet sind.

5. Verfahren nach einem der Ansprüche 1 bis 4, wobei die Gateisolationsschicht ein High-k-Material umfasst.

6. Verfahren nach einem der Ansprüche 1 bis 5, wobei das Bilden der Gatestruktur ein Bilden einer Dummyabstandshalterstruktur neben der Gatestruktur, ein Durchführen von einem oder mehreren Implantationssequenzen zum Bilden von Source/Drainbereichen und/oder Source/Drainerweiterungsbereichen und/oder Halobereichen umfasst.

7. Verfahren nach Anspruch 6, ferner umfassend ein Entfernen der Dummyabstandshalterstruktur vor dem Anwenden des Verkürzungsprozesses.

8. Verfahren zum Bilden einer Halbleitervorrichtung, umfassend:  
Bilden einer Gatestruktur in einem aktiven Gebiet eines Halbleitersubstrats, wobei die Gatestruktur eine Gateisolationsschicht aus High-k-Material, eine Gatemetallschicht und ein Polysiliziummaterial umfasst;  
Freilegen eines oberen horizontalen Oberflächenbereichs der Gateisolationsschicht aus High-k-Material und/oder der Gatemetallschicht durch ein teilweises Entfernen des Polysiliziummaterials auf den oberen horizontalen Oberflächenbereichen; und  
Bilden einer Abstandshalterstruktur an der Gatestruktur, so dass der freiliegende obere Oberflächenbereich bedeckt wird.

9. Verfahren nach Anspruch 8, ferner umfassend Bilden eines silizidierten Gatebereichs in dem Polysiliziummaterial, wobei der silizidierte Gatebereich bezüglich der Abstandshalterstruktur ausgerichtet ist.

10. Verfahren nach Anspruch 8 oder 9, wobei das Freilegen eines oberen Oberflächenbereichs ein Durchführen eines isotropen Siliziumätzprozesses mit großer Selektivität von Silizium bezüglich dem High-k-Material umfasst.

11. Verfahren zum Bilden einer Halbleitervorrichtung, umfassend:

Strukturieren eines Gateelektrodenstapels in einem aktiven Gebiet einer Halbleitervorrichtung, wobei der Gateelektrodenstapel eine Gateisolationsschicht und eine Gatemetallschicht umfasst, die auf der Gateisolationsschicht angeordnet ist;

Zurückätzen des Gateelektrodenstapels, so dass Dimensionen der Gateisolationsschicht und/oder der Gatemetallschicht in dem Gateelektrodenstapel erhalten bleiben; und

Bilden einer Abstandshalterstruktur in Kontakt mit dem Gateelektrodenstapel.

12. Verfahren nach Anspruch 11, wobei das Strukturieren des Gateelektrodenstapels ferner ein Bilden einer Abstandshalterstruktur neben dem Gateelektrodenstapel zum Austauschen des Materials umfasst, das von dem Gateelektrodenstapel beim Zurückätzen des Gateelektrodenstapels entfernt wurde.

13. Verfahren nach Anspruch 11 oder 12, wobei ein oberer Oberflächenbereich der Gateisolationsschicht und/oder der Gatemetallschicht beim Zurückätzen freigelegt wird und die Abstandshalterstruktur gebildet wird, so dass der freiliegende obere Oberflächenbereich bedeckt wird.

14. Verfahren zum Bilden einer Halbleitervorrichtung, umfassend:

Strukturieren einer Gatestruktur in einem aktiven Gebiet eines Halbleitersubstrats, wobei die Gatestruktur eine Gateisolationsschicht, eine Abstandshalterstruktur und eine Gateelektrodenstruktur umfasst;

Verkürzen eines oberen Bereichs der Gatestruktur, um einen freiliegenden Bereich der Gateelektrodenstruktur durch Verkürzen der Abstandshalterstruktur zu vergrößern; und

Durchführen eines Silizidierungsprozesses nach dem Verkürzen der Gatestruktur.

15. Verfahren nach Anspruch 14, wobei das Verkürzen der Gatestruktur einen Ätzprozess zum Verringern der Abstandshalterstruktur in einer Höhenrichtung umfasst, die sich entlang einer Richtung normal zu der Oberfläche des Halbleitersubstrats erstreckt.

16. Verfahren nach Anspruch 14 oder 15, wobei der Silizidierungsprozess ein Abscheiden eines Metalls auf der freiliegenden Oberfläche der Gateelektrodenstruktur umfasst, die durch das Verkürzen der Gatestruktur vergrößert wurde.

17. Halbleitervorrichtung, umfassend:

ein Halbleitersubstrat mit einem aktiven Gebiet; eine Gatestruktur, die in dem aktiven Gebiet gebildet ist, wobei die Gatestruktur eine Gateisolationsschicht und ein verkürztes Gateelektrodenmaterial umfasst; und

ein Source und ein Drain, die in dem aktiven Gebiet neben der Gatestruktur gebildet sind,

wobei eine erste Richtung parallel zu einer Kanallänge orientiert ist, die sich zwischen dem Source und Drain erstreckt; und

wobei eine Länge der Gateisolationsschicht, die sich entlang der ersten Richtung erstreckt, größer ist als eine Länge des verkürzten Gateelektrodenmaterials, das sich entlang der ersten Richtung erstreckt, wobei das verkürzte Gateelektrodenmaterial einen runden Spitzenbereich aufweist.

18. Halbleitervorrichtungsstruktur nach Anspruch 17, wobei eine Länge der Gatemetallschicht entlang der ersten Richtung größer ist als die Länge des verkürzten Gateelektrodenmaterials entlang der ersten Richtung.

19. Halbleitervorrichtungsstruktur nach Anspruch 18, ferner umfassend eine Abstandshalterstruktur, wobei die Abstandshalterstruktur wenigstens teilweise über einem oberen Oberflächenbereich der Gatemetallschicht angeordnet ist, wobei der obere Oberflächenbereich parallel zu einer Oberfläche des Halbleitersubstrats orientiert ist, das durch die Gatestruktur bedeckt wird.

Es folgen 7 Seiten Zeichnungen

Anhängende Zeichnungen

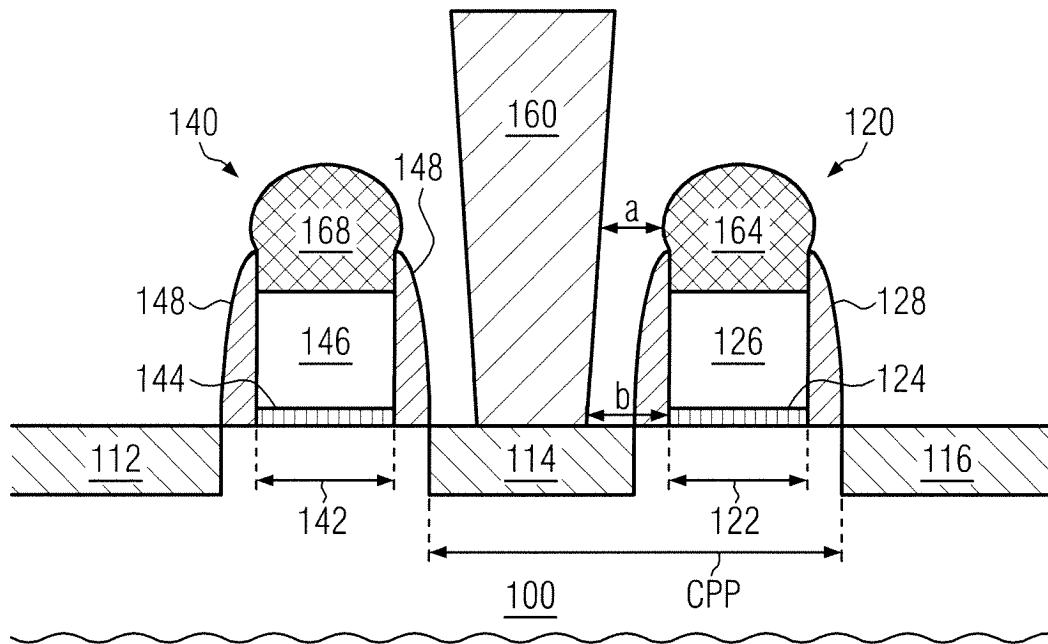


FIG. 1  
(Stand der Technik)

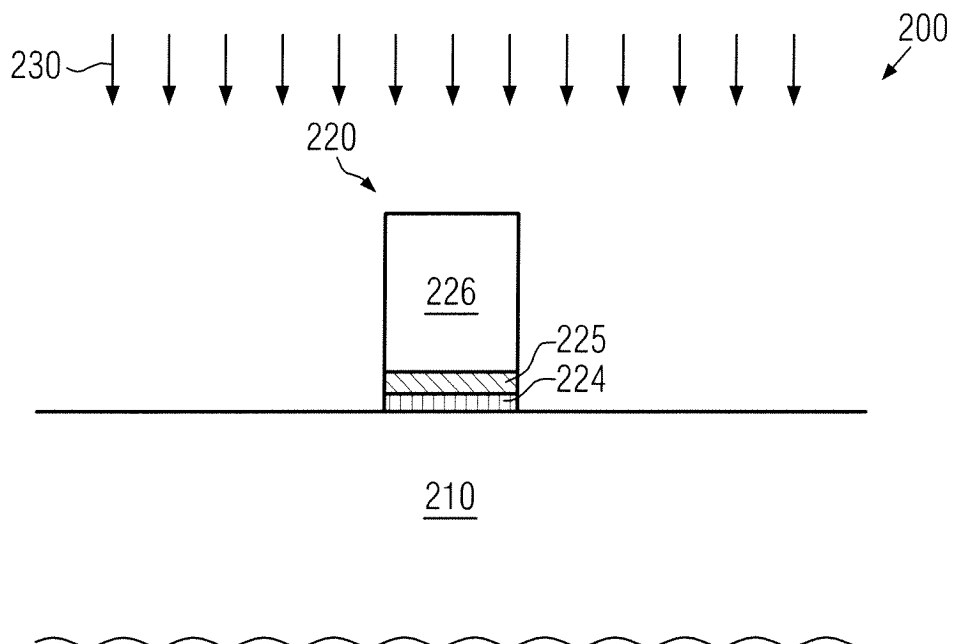


FIG. 2

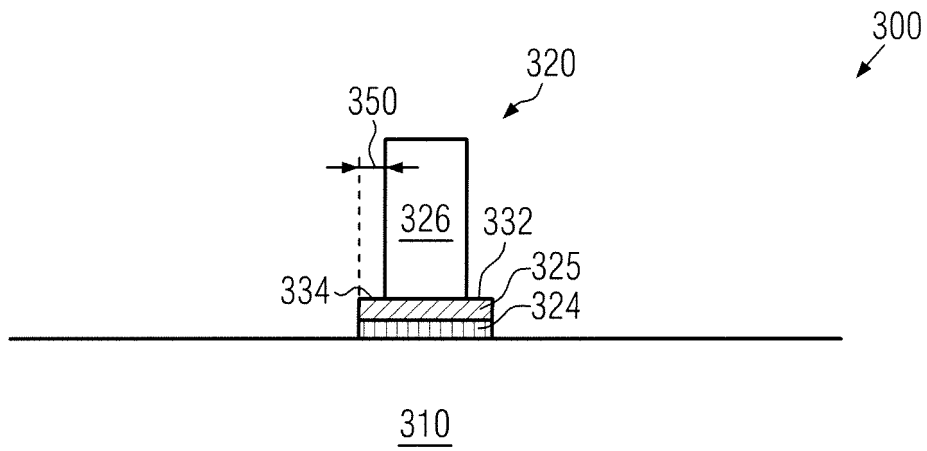


FIG. 3

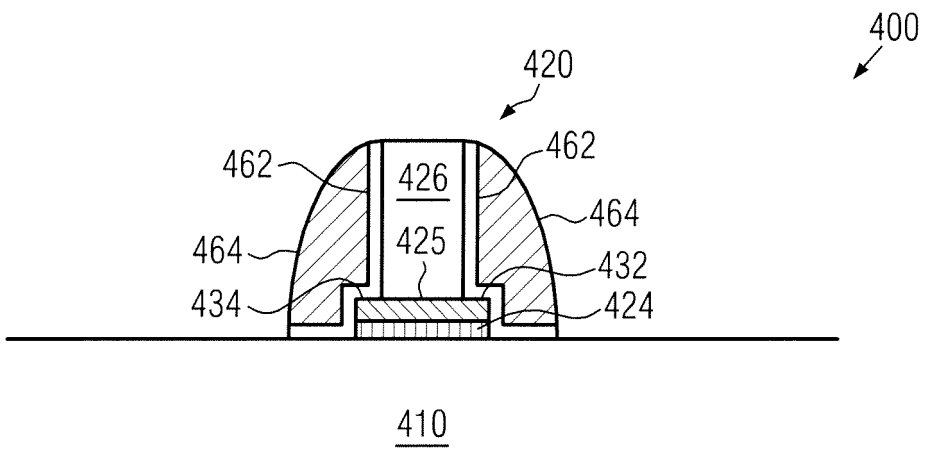


FIG. 4

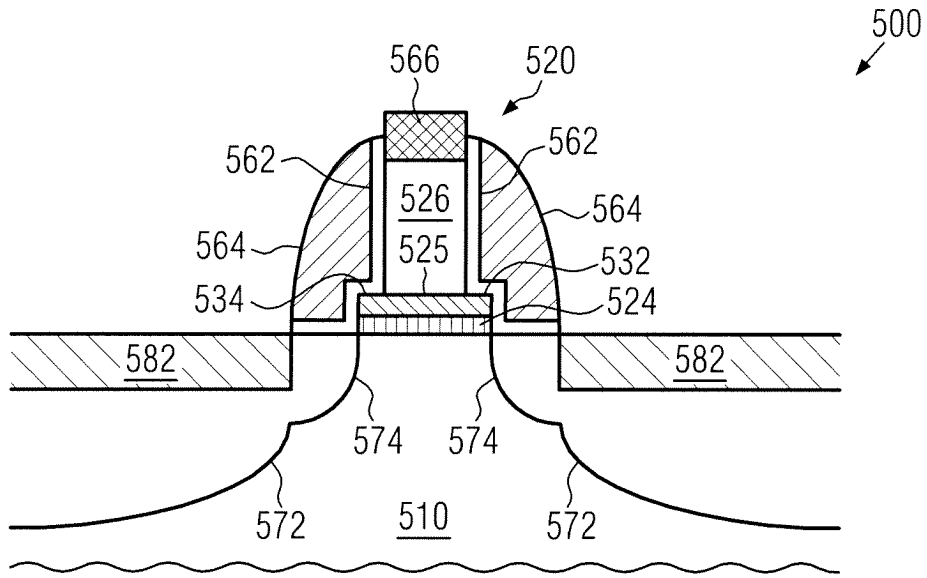


FIG. 5

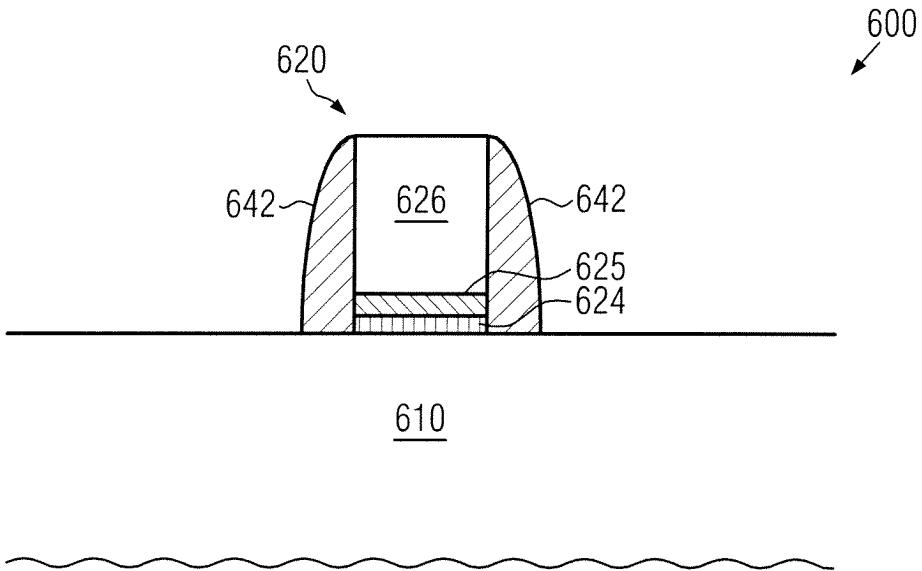


FIG. 6



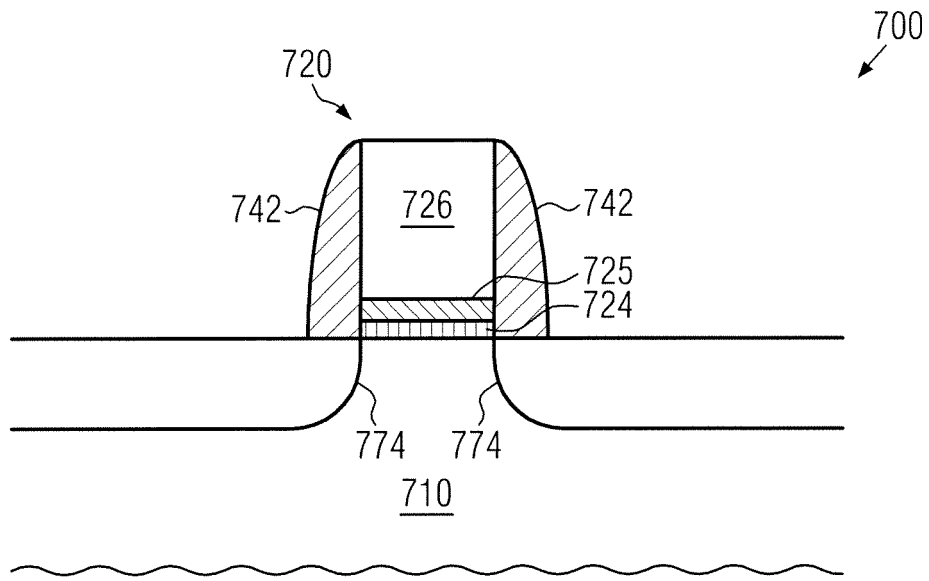


FIG. 7

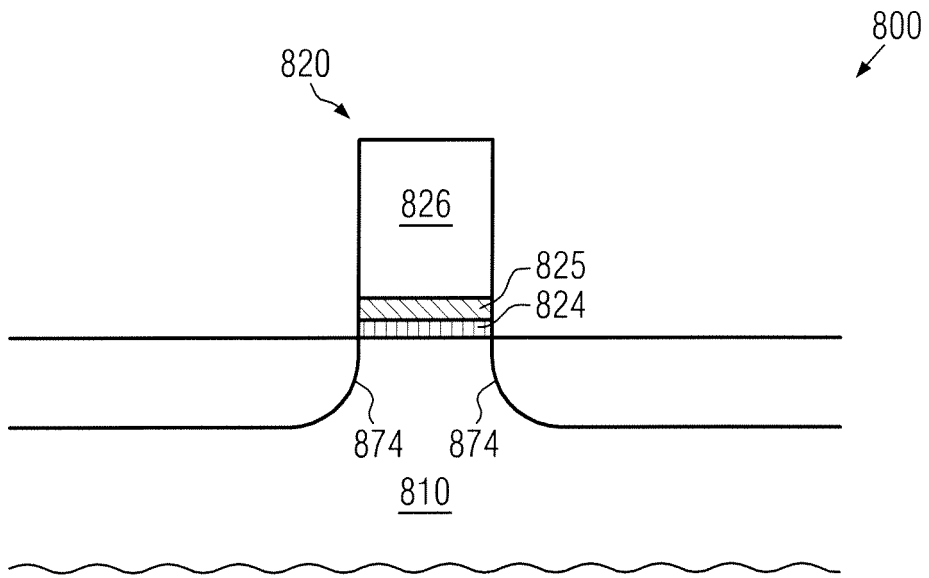


FIG. 8

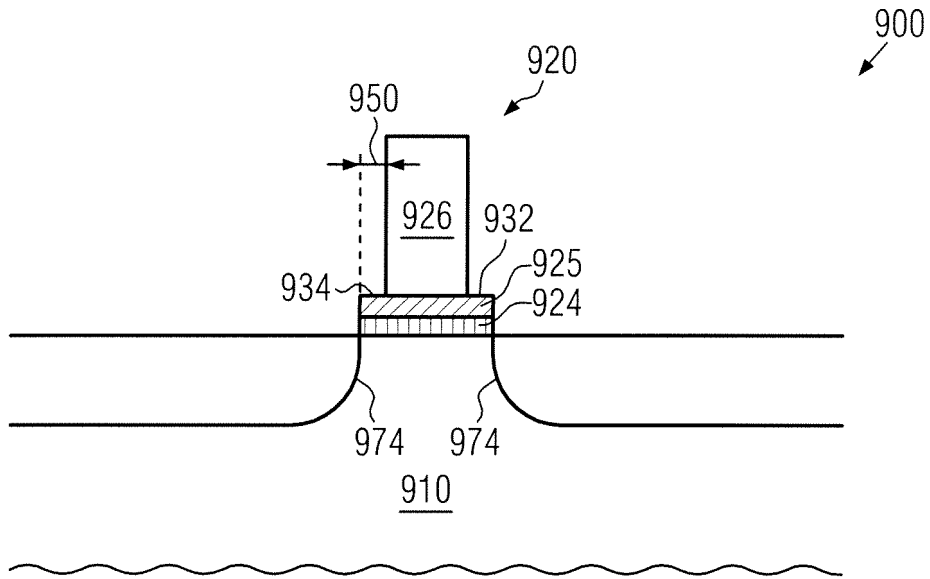


FIG. 9

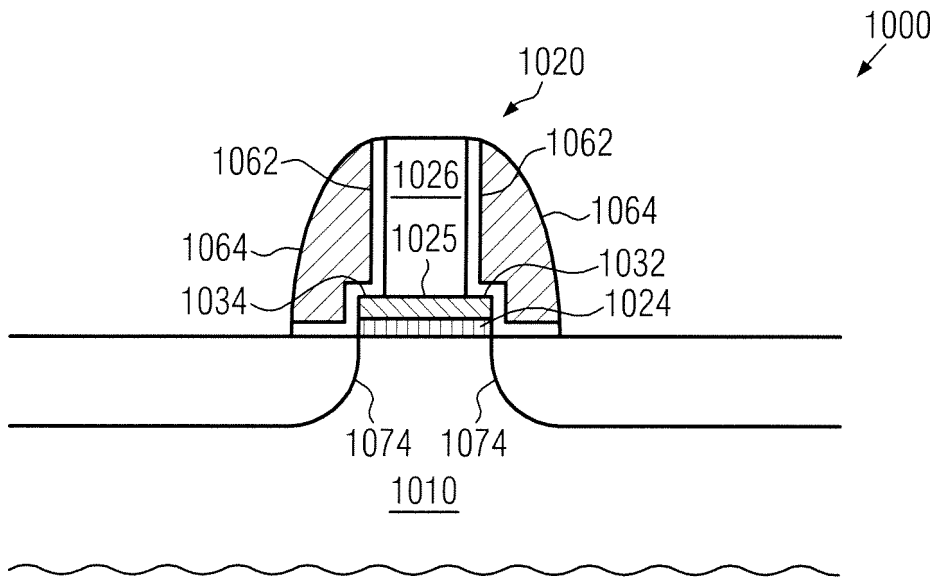


FIG. 10

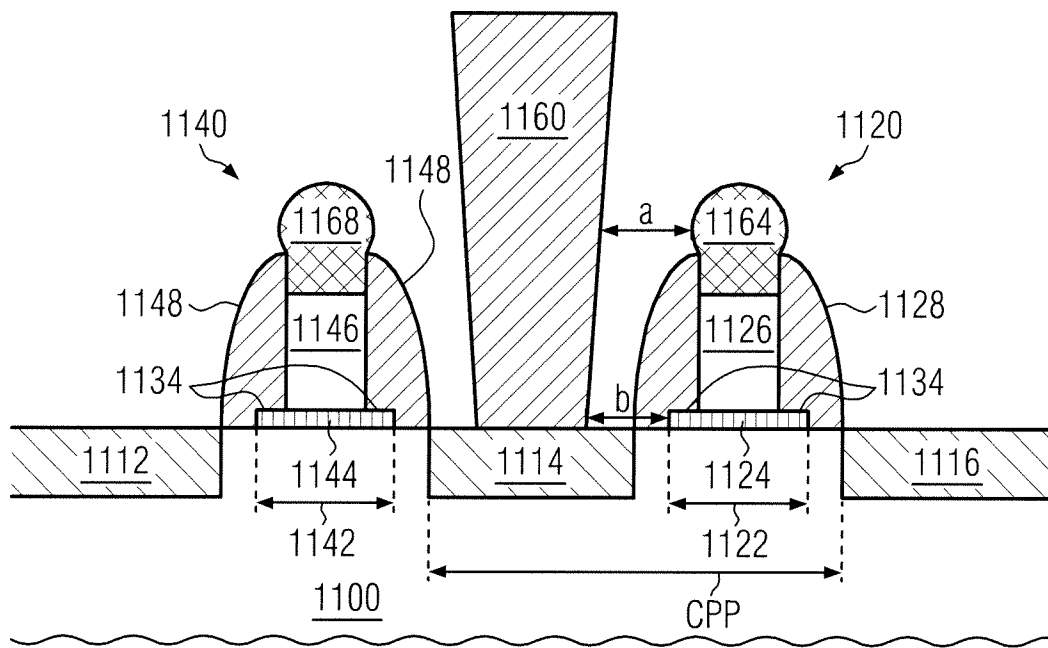


FIG. 11

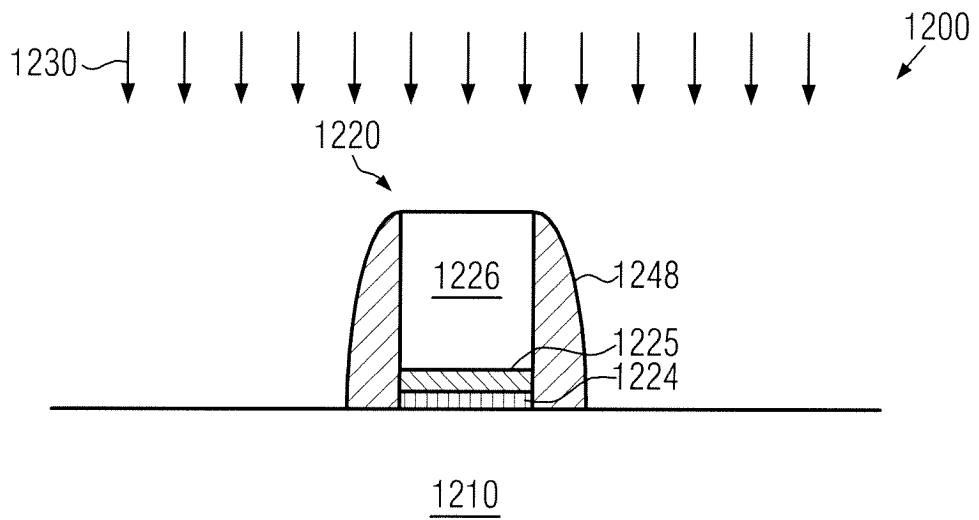


FIG. 12

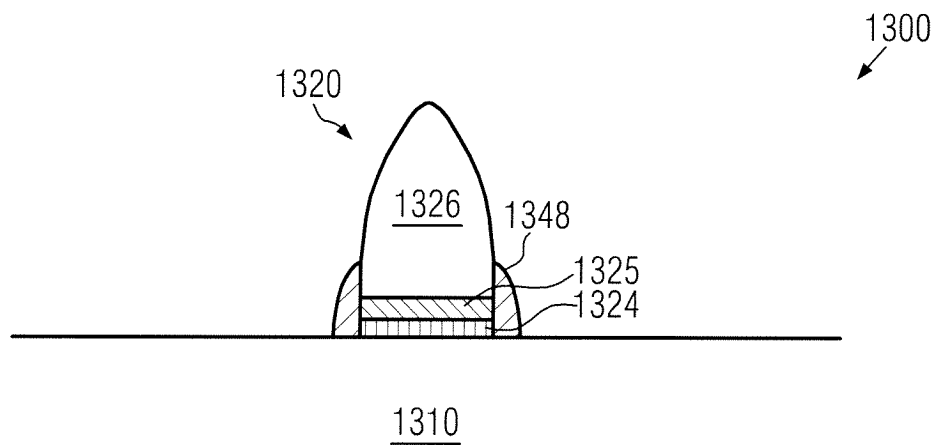


FIG. 13