



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0124581
(43) 공개일자 2016년10월28일

(51) 국제특허분류(Int. Cl.)
H01L 21/762 (2006.01) H01L 21/764 (2006.01)
(52) CPC특허분류
H01L 21/76289 (2013.01)
H01L 21/76264 (2013.01)
(21) 출원번호 10-2015-0055446
(22) 출원일자 2015년04월20일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
김승환
서울특별시 강동구 천호대로162길 34 이안강동
1201호
(74) 대리인
특허법인신성

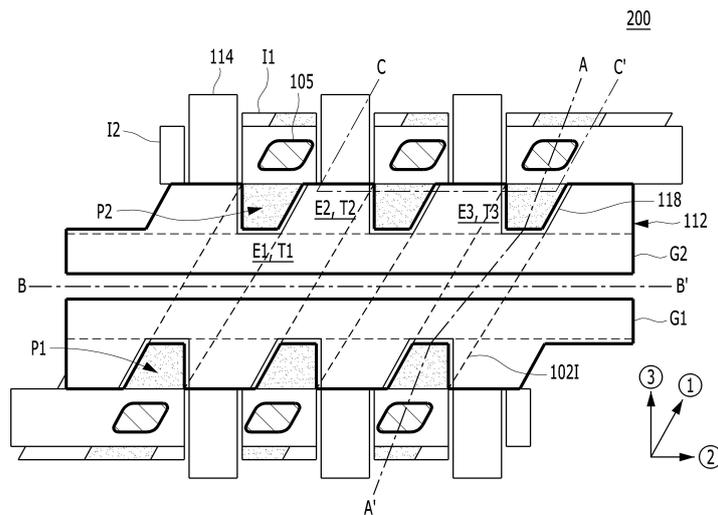
전체 청구항 수 : 총 37 항

(54) 발명의 명칭 에어갭을 구비한 반도체장치 및 그 제조 방법, 그를 구비한 메모리셀, 그를 구비한 전자장치

(57) 요약

본 기술은 패싱게이트효과를 억제할 수 있는 반도체장치 및 그 제조 방법에 관한 것으로서, 본 기술에 따른 반도체 장치는 복수의 활성영역 및 상기 복수의 활성영역을 분리하기 위한 소자분리영역을 포함하는 반도체기판; 및 상기 반도체기판 내에 내장된 매립비트라인 및 매립게이트전극을 포함하고, 상기 소자분리영역은, 제1방향으로 연장된 제1소자분리영역과 상기 제1방향에 교차되는 제2방향으로 연장되고 도전성의 실드필라가 내장된 제2소자분리영역을 포함할 수 있다.

대표도 - 도2a



(52) CPC특허분류
H01L 21/764 (2013.01)

명세서

청구범위

청구항 1

복수의 활성영역 및 상기 복수의 활성영역을 분리하기 위한 소자분리영역을 포함하는 반도체기판; 및
상기 반도체기판 내에 내장된 매립비트라인 및 매립게이트전극을 포함하고,
상기 소자분리영역은, 제1방향으로 연장된 제1소자분리영역과 상기 제1방향에 교차되는 제2방향으로 연장되고 도전성의 쉴드필라가 내장된 제2소자분리영역을 포함하는
반도체장치.

청구항 2

제1항에 있어서,
상기 쉴드필라는 상기 반도체기판과 전기적으로 접속된 반도체장치.

청구항 3

제1항에 있어서,
상기 쉴드필라는 보론이 도핑된 폴리실리콘을 포함하는 반도체장치.

청구항 4

제1항에 있어서,
상기 제1방향으로 연장된 제1분리트렌치를 더 포함하고, 상기 제1소자분리영역은 상기 제1분리트렌치 내에 내장된 반도체장치.

청구항 5

제1항에 있어서,
상기 제2방향으로 연장된 제2분리트렌치를 더 포함하고, 상기 제2소자분리영역은 상기 제2분리트렌치 내에 내장된 반도체장치.

청구항 6

제4항에 있어서,
상기 제2소자분리영역은,
상기 제2분리트렌치의 측벽에 형성된 라이너 및 상기 쉴드필라는 덮는 분리절연층을 포함하고, 상기 쉴드필라와 제2분리트렌치의 측벽 사이에 상기 라이너가 위치하는 반도체장치.

청구항 7

제1항에 있어서,

바닥면, 제1측면 및 상기 제1측면에 대향하는 제2측면을 포함하는 게이트트렌치를 더 포함하고, 상기 게이트트렌치 내에 상기 매립게이트전극이 내장된

반도체장치.

청구항 8

제7항에 있어서,

상기 게이트트렌치는,

상기 제2방향으로 연장된 제1트렌치부, 상기 제1트렌치부로부터 분기되고 상기 제1방향으로 연장된 제2트렌치부 및 제3트렌치부를 포함하는 반도체장치.

청구항 9

제8항에 있어서,

상기 매립게이트전극은,

각각 상기 게이트트렌치의 제1트렌치부, 제2트렌치부, 제3트렌치부에 매립된 제1전극부, 제2전극부 및 제3전극부를 포함하는

반도체장치.

청구항 10

제1항에 있어서,

상기 제1방향 및 제2방향에 교차하는 제3방향으로 연장된 비트라인트렌치를 더 포함하고, 상기 비트라인트렌치 내에 상기 매립비트라인이 내장된

반도체장치.

청구항 11

제10항에 있어서,

상기 매립비트라인 아래의 바디트렌치 및 상기 바디트렌치에 내장된 편치방지층을 더 포함하고, 상기 편치방지층은 상기 활성영역 내에 위치하는 반도체장치.

청구항 12

제1항에 있어서,

상기 활성영역은 바디부 및 상기 바디부 상에 수직하게 연장된 필라를 포함하고,

상기 필라는 상기 비트라인과 접속되는 제1접합영역;

상기 제1접합영역으로부터 수직하게 위치하는 제2접합영역; 및

상기 제1접합영역과 제2접합영역 사이에 위치하고 상기 매립게이트전극과 오버랩된 채널부를 포함하는 반도체장치.

청구항 13

제1항에 있어서,

상기 활성영역은 단축과 장축을 갖고, 이웃하는 상기 활성영역의 단축 사이에 상기 제1소자분리영역이 위치하고, 이웃하는 상기 활성영역의 장축 사이에 상기 제2소자분리영역이 위치하는 반도체장치.

청구항 14

제13항에 있어서,

상기 쉘드필라는 상기 이웃하는 활성영역의 장축 사이에 독립적으로 위치하는 반도체장치.

청구항 15

복수의 활성영역 및 상기 복수의 활성영역을 분리하기 위한 소자분리영역을 포함하는 반도체기판; 및

상기 반도체기판 내에 내장된 매립비트라인 및 매립게이트전극을 포함하고,

상기 소자분리영역은, 제1방향으로 연장된 제1소자분리영역과 상기 제1방향에 교차되는 제2방향으로 연장되고 에어갭 및 도전성의 쉘드필라가 내장된 제2소자분리영역을 포함하고, 상기 제1소자분리영역과 제2소자분리영역에 의해 상기 활성영역이 정의되는

반도체장치.

청구항 16

제15항에 있어서,

상기 쉘드필라는 상기 반도체기판과 전기적으로 접속된 반도체장치.

청구항 17

제15항에 있어서,

상기 쉘드필라는 보론이 도핑된 폴리실리콘을 포함하는 반도체장치.

청구항 18

제15항에 있어서,

상기 제2소자분리영역은,

상기 쉘드필라 및 에어갭을 덮는 분리절연층을 포함하는 반도체장치.

청구항 19

제15항에 있어서,

상기 활성영역은 단축과 장축을 갖고, 이웃하는 상기 활성영역의 단축 사이에 상기 제1소자분리영역이 위치하고, 이웃하는 상기 활성영역의 장축 사이에 상기 제2소자분리영역이 위치하는 반도체장치.

청구항 20

제19항에 있어서,
상기 쉘드필라는 상기 이웃하는 활성영역의 장축 사이에 독립적으로 위치하는 반도체장치.

청구항 21

복수의 활성영역 및 상기 복수의 활성영역을 분리하기 위한 소자분리영역을 포함하는 반도체기판; 및
상기 반도체기판 내에 내장된 매립비트라인 및 매립게이트전극을 포함하고,
상기 소자분리영역은, 제1방향으로 연장되고 제1에어갭이 내장된 제1소자분리영역과 상기 제1방향에 교차되는 제2방향으로 연장되고 제2에어갭 및 도전성의 쉘드필라가 내장된 제2소자분리영역을 포함하고, 상기 제1소자분리영역과 제2소자분리영역에 의해 상기 활성영역이 정의되는
반도체장치.

청구항 22

제21항에 있어서,
상기 쉘드필라는 상기 반도체기판과 전기적으로 접속된 반도체장치.

청구항 23

제21항에 있어서,
상기 쉘드필라는 보론이 도핑된 폴리실리콘을 포함하는 반도체장치.

청구항 24

제21항에 있어서,
상기 활성영역은 단축과 장축을 갖고, 이웃하는 상기 활성영역의 단축 사이에 상기 제1소자분리영역이 위치하고, 이웃하는 상기 활성영역의 장축 사이에 상기 제2소자분리영역이 위치하는 반도체장치.

청구항 25

제24항에 있어서,
상기 쉘드필라 및 제2에어갭은 상기 이웃하는 활성영역의 장축 사이에 독립적으로 위치하는 반도체장치.

청구항 26

제24항에 있어서,
상기 제1에어갭은 상기 이웃하는 활성영역의 단축 사이에 독립적으로 위치하는 반도체장치.

청구항 27

반도체기판을 식각하여 라인형 활성영역을 형성하는 단계;

상기 라인형 활성영역을 커팅하여 복수의 섬형 활성영역과 분리트렌치를 형성하는 단계;

상기 분리트렌치에 내장되고 상기 반도체기판과 전기적으로 접속되는 쉴드필라를 포함하는 소자분리영역을 형성하는 단계; 및

상기 섬형 활성영역에 내장되는 매립비트라인 및 매립게이트전극을 형성하는 단계를 포함하는 반도체장치 제조 방법.

청구항 28

제26항에 있어서,

상기 소자분리영역을 형성하는 단계는,

상기 분리트렌치의 측벽에 스페이서를 형성하는 단계;

상기 스페이서 상에 상기 분리트렌치를 채우는 도전성물질을 형성하는 단계;

상기 도전성물질을 리세스시켜 상기 쉴드필라를 형성하는 단계;

상기 쉴드필라 상에 분리절연층을 채우는 단계를 포함하는 반도체장치 제조 방법.

청구항 29

제28항에 있어서,

상기 쉴드필라는 보론이 도핑된 폴리실리콘을 포함하는 반도체장치 제조 방법.

청구항 30

반도체기판을 식각하여 라인형 활성영역을 형성하는 단계;

상기 라인형 활성영역을 커팅하여 복수의 섬형 활성영역과 분리트렌치를 형성하는 단계;

상기 분리트렌치의 측벽에 스페이서를 형성하는 단계;

상기 스페이서 상에 상기 분리트렌치를 부분적으로 채우는 쉴드필라를 형성하는 단계;

상기 스페이서를 제거하여 에어갭을 형성하는 단계;

상기 에어갭 및 쉴드필라 상에 분리절연층을 채워 소자분리영역을 형성하는 단계; 및

상기 섬형 활성영역에 내장되는 매립비트라인 및 매립게이트전극을 형성하는 단계를 포함하는 반도체장치 제조 방법.

청구항 31

제30항에 있어서,

상기 쉴드필라는 보론이 도핑된 폴리실리콘을 포함하는 반도체장치 제조 방법.

청구항 32

반도체기판을 식각하여 라인형 활성영역 및 제1분리트렌치를 형성하는 단계;

상기 제1분리트렌치에 절연필라를 포함하는 제1소자분리영역을 형성하는 단계;
상기 라인형 활성영역 및 제1소자분리영역을 커팅하여 복수의 섬형 활성영역과 제2분리트렌치를 형성하는 단계;
상기 제2분리트렌치의 측벽에 스페이서를 형성하는 단계;
상기 스페이서 상에 상기 제2분리트렌치를 부분적으로 채우는 쉘드필라를 형성하는 단계;
상기 스페이서를 제거하여 제1에어갭을 형성하는 단계;
상기 제1에어갭 및 쉘드필라 상에 분리절연층을 채워 제2소자분리영역을 형성하는 단계;
상기 섬형 활성영역에 내장되는 매립비트라인 및 매립게이트전극을 형성하는 단계; 및
상기 절연필라를 제거하여 제2에어갭을 형성하는 단계
를 포함하는 반도체장치 제조 방법.

청구항 33

제32항에 있어서,
상기 제1소자분리영역을 형성하는 단계는,
상기 제1분리트렌치의 표면 상에 제1라이너층을 형성하는 단계;
상기 제1라이너층 상에 상기 제1분리트렌치를 부분적으로 채우는 상기 절연필라를 형성하는 단계;
상기 절연필라 상에 제1분리절연층을 채우는 단계
를 포함하는 반도체장치 제조 방법.

청구항 34

제32항에 있어서,
상기 절연필라는 실리콘저마늄층을 포함하는 반도체장치 제조 방법.

청구항 35

제32항에 있어서,
상기 절연필라를 제거하여 제1에어갭을 형성하는 단계는,
상기 절연필라를 습식식각하는 반도체장치 제조 방법.

청구항 36

제32항에 있어서,
상기 쉘드필라는 보론이 도핑된 폴리실리콘을 포함하는 반도체장치 제조 방법.

청구항 37

제32항에 있어서,
상기 스페이서를 제거하여 제2에어갭을 형성하는 단계는,
상기 스페이서를 습식식각하는 반도체장치 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체장치에 관한 것으로서, 상세하게는 에어갭을 구비한 반도체장치 및 그 제조 방법, 그를 구비한 메모리셀 및 그를 구비한 전자장치에 관한 것이다.

배경 기술

[0002] 반도체장치가 고집적화됨에 따라, 이웃하는 도전구조물들 간의 기생캐패시턴스가 반도체장치의 성능에 큰 영향을 미치고 있다.

발명의 내용

해결하려는 과제

[0003] 본 실시예들은, 패싱게이트효과를 억제할 수 있는 반도체장치 및 그 제조 방법을 제공한다.

과제의 해결 수단

[0004] 본 실시예에 따른 반도체장치는 복수의 활성영역 및 상기 복수의 활성영역을 분리하기 위한 소자분리영역을 포함하는 반도체기판; 및 상기 반도체기판 내에 내장된 매립비트라인 및 매립게이트전극을 포함하고, 상기 소자분리영역은, 제1방향으로 연장된 제1소자분리영역과 상기 제1방향에 교차되는 제2방향으로 연장되고 도전성의 쉘드필라가 내장된 제2소자분리영역을 포함할 수 있다. 상기 쉘드필라는 상기 반도체기판과 전기적으로 접촉될 수 있다. 상기 쉘드필라는 보론이 도핑된 폴리실리콘을 포함할 수 있다. 상기 활성영역은 단축과 장축을 갖고, 이웃하는 상기 활성영역의 단축 사이에 상기 제1소자분리영역이 위치하고, 이웃하는 상기 활성영역의 장축 사이에 상기 제2소자분리영역이 위치할 수 있다. 상기 쉘드필라는 상기 이웃하는 활성영역의 장축 사이에 독립적으로 위치할 수 있다.

[0005] 본 실시예에 따른 반도체장치는 복수의 활성영역 및 상기 복수의 활성영역을 분리하기 위한 소자분리영역을 포함하는 반도체기판; 및 상기 반도체기판 내에 내장된 매립비트라인 및 매립게이트전극을 포함하고, 상기 소자분리영역은, 제1방향으로 연장된 제1소자분리영역과 상기 제1방향에 교차되는 제2방향으로 연장되고 에어갭 및 도전성의 쉘드필라가 내장된 제2소자분리영역을 포함하고, 상기 제1소자분리영역과 제2소자분리영역에 의해 상기 활성영역이 정의될 수 있다.

[0006] 본 실시예에 따른 반도체장치는 복수의 활성영역 및 상기 복수의 활성영역을 분리하기 위한 소자분리영역을 포함하는 반도체기판; 및 상기 반도체기판 내에 내장된 매립비트라인 및 매립게이트전극을 포함하고, 상기 소자분리영역은, 제1방향으로 연장되고 제1에어갭이 내장된 제1소자분리영역과 상기 제1방향에 교차되는 제2방향으로 연장되고 제2에어갭 및 도전성의 쉘드필라가 내장된 제2소자분리영역을 포함하고, 상기 제1소자분리영역과 제2소자분리영역에 의해 상기 활성영역이 정의될 수 있다.

[0007] 본 실시예에 따른 반도체장치 제조 방법은 반도체기판을 식각하여 라인형 활성영역을 형성하는 단계; 상기 라인형 활성영역을 커팅하여 복수의 섬형 활성영역과 분리트렌치를 형성하는 단계; 상기 분리트렌치에 내장되고 상기 반도체기판과 전기적으로 접촉되는 쉘드필라를 포함하는 소자분리영역을 형성하는 단계; 및 상기 섬형 활성영역에 내장되는 매립비트라인 및 매립게이트전극을 형성하는 단계를 포함할 수 있다.

[0008] 본 실시예에 따른 반도체장치 제조 방법은 반도체기판을 식각하여 라인형 활성영역을 형성하는 단계; 상기 라인형 활성영역을 커팅하여 복수의 섬형 활성영역과 분리트렌치를 형성하는 단계; 상기 분리트렌치의 측벽에 스페이서를 형성하는 단계; 상기 스페이서 상에 상기 분리트렌치를 부분적으로 채우는 쉘드필라를 형성하는 단계; 상기 스페이서를 제거하여 에어갭을 형성하는 단계; 상기 에어갭 및 쉘드필라 상에 분리절연층을 채워 소자분리영역을 형성하는 단계; 및 상기 섬형 활성영역에 내장되는 매립비트라인 및 매립게이트전극을 형성하는 단계를 포함할 수 있다.

[0009] 본 실시예에 따른 반도체장치 제조 방법은 반도체기판을 식각하여 라인형 활성영역 및 제1분리트렌치를 형성하는 단계; 상기 제1분리트렌치에 절연필라층을 포함하는 제1소자분리영역을 형성하는 단계; 상기 라인형 활성영역 및 제1소자분리영역을 커팅하여 복수의 섬형 활성영역과 제2분리트렌치를 형성하는 단계; 상기 제2분리트렌치의 측벽에 스페이서를 형성하는 단계; 상기 스페이서 상에 상기 제2분리트렌치를 부분적으로 채우는 쉘드필라

를 형성하는 단계; 상기 스페이서를 제거하여 제1에어갭을 형성하는 단계; 상기 제1에어갭 및 쉴드필라 상에 분리절연층을 채워 제2소자분리영역을 형성하는 단계; 상기 섬형 활성영역에 내장되는 매립비트라인 및 매립게이트전극을 형성하는 단계; 및 상기 절연필라층을 제거하여 제2에어갭을 형성하는 단계를 포함할 수 있다.

발명의 효과

[0010] 본 기술은 소자분리영역에 내장되는 쉴드필라를 형성하므로써, 패싱게이트효과를 억제할 수 있다. 또한, 본 기술은 쉴드필라에 의해 문턱전압을 제어할 수 있다.

[0011] 또한, 본 기술은 에어갭을 형성하므로써 기생캐패시턴스를 감소시킬 수 있다.

도면의 간단한 설명

- [0012] 도 1은 제1실시예에 따른 소자분리영역을 도시한 단면도이다.
- 도 2a는 제1실시예가 적용된 반도체장치를 도시한 평면도이다.
- 도 2b는 도 2a의 A-A'선, B-B 및 C-C'선에 따른 단면도이다.
- 도 3a 내지 도 3h는 제1실시예에 따른 반도체장치의 패러럴 활성영역을 제조하는 방법의 일예를 설명하기 위한 도면이다.
- 도 4a 내지 도 4h는 도 3a 내지 도 3i의 A-A'선 및 B-B'선에 따른 단면도이다.
- 도 5a 내지 도 5h는 제1실시예에 따른 반도체장치의 매립비트라인을 제조하는 방법의 일예를 설명하기 위한 도면이다.
- 도 6a 내지 도 6h는 도 5a 내지 도 5h의 A-A'선, B-B' 및 C-C'선에 따른 단면도이다.
- 도 7a 내지 도 7h는 제1실시예에 따른 반도체장치의 게이트전극의 형성 방법을 도시한 도면이다.
- 도 8a 내지 도 8h는 도 7a 내지 도 7h의 A-A'선, B-B'선 및 C-C'선에 따른 단면도이다.
- 도 9는 제2실시예에 따른 반도체장치를 도시한 도면이다.
- 도 10a 내지 도 10c는 제2실시예에 따른 반도체장치를 제조하는 방법의 일예를 설명하기 위한 도면이다.
- 도 11은 제3실시예에 따른 반도체장치를 도시한 도면이다.
- 도 12a 내지 도 12d는 제3실시예에 따른 반도체장치를 제조하는 방법의 일예를 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0013] 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 개략도인 단면도, 평면도 및 블록도를 참고하여 설명될 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이고, 발명의 범주를 제한하기 위한 것은 아니다.

[0014] 도 1은 제1실시예에 따른 소자분리영역을 도시한 단면도이다.

[0015] 도 1을 참조하면, 기판(S)에 소자분리영역 및 활성영역(ACT)이 형성될 수 있다. 소자분리영역은 제1소자분리영역(I1) 및 제2소자분리영역(I2)을 포함할 수 있다. 제1소자분리영역(I1)과 제2소자분리영역(I2)에 의해 활성영역(ACT)이 정의될 수 있다. 제1소자분리영역(I1)은 제1방향(①)으로 연장될 수 있고, 제2소자분리영역(I2)은 제1방향(①)과 교차하는 제2방향(②)으로 연장될 수 있다. 제2소자분리영역(I2)에 의해 제1소자분리영역(I1)이 불연속될 수 있다. 제1소자분리영역(I1)과 제2소자분리영역(I2)은 트렌치 식각에 의해 형성된 STI 영역(Shallow Trench Isolation region)일 수 있다. 제1 및 제2소자분리영역(I1, I2)은 각각 분리트렌치(도면부호 생략)에 절연물질을 채워 형성할 수 있다. 제1소자분리영역(I1)과 제2소자분리영역(I2)은 동일 물질이거나 또는 다른 물질일 수 있다. 예컨대, 제1소자분리영역(I1)과 제2소자분리영역(I2)은 실리콘산화물, 실리콘질화물 또는 이들의 조합을 포함할 수 있다. 제2소자분리영역(I2)은 내장된 쉴드필라(Shield pillar, SP)를 가질 수 있다.

[0016] 활성영역(ACT)은 섬형(island shaped)일 수 있다. 복수의 활성영역(ACT)은 제1소자분리영역(I1)을 사이에 두고

제2방향(②)으로 어레이될 수 있다. 복수의 활성영역(ACT)은 동일 간격 및 동일 크기를 갖고 어레이될 수 있다. 활성영역(ACT)은 장축(X2)과 단축(X1)을 가질 수 있다. 각 활성영역(ACT)의 장축(X2) 사이에 제2소자분리영역(I2)이 위치할 수 있다. 각 활성영역(ACT)의 단축(X1) 사이에는 제1소자분리영역(I1)이 위치할 수 있다. 본 명세서에서, 하나의 활성영역(ACT)에 대해 설명된다.

- [0017] 도 1에 따르면, 활성영역(ACT)의 장축(X2) 사이에 쉘드필라(SP)가 내장된 제2소자분리영역(I2)이 위치한다.
- [0018] 활성영역(ACT)에는 다양한 반도체장치가 형성될 수 있다.
- [0019] 이하, 제1실시예가 적용된 반도체장치의 일예를 설명하기로 한다.
- [0020] 도 2a는 제1실시예가 적용된 반도체장치를 도시한 평면도이다. 도 2b는 도 2a의 A-A'선, B-B 및 C-C'선에 따른 단면도이다. 반도체장치(200)는 메모리셀을 포함할 수 있다.
- [0021] 반도체장치(200)는 기판(100)을 포함할 수 있다. 기판(100)은 반도체기판을 포함할 수 있다. 기판(100)은 실리콘을 함유하는 물질로 이루어질 수 있다. 기판(100)은 실리콘, 단결정 실리콘, 폴리실리콘, 비정질 실리콘, 실리콘저마늄, 단결정 실리콘저마늄, 다결정 실리콘저마늄, 탄소 도핑된 실리콘, 그들의 조합(combinations) 또는 그들의 다층(multi-layers thereof)을 포함할 수 있다. 기판(100)은 저마늄과 같은 다른 반도체물질을 포함할 수 있다. 기판(100)은 III/V족 반도체기판, 예컨대 GaAs과 같은 화합물반도체기판을 포함할 수 있다. 기판(100)은 SOI(Silicon On Insulator) 기판을 포함할 수도 있다.
- [0022] 기판(100)에 소자분리영역 및 활성영역(102I)이 형성될 수 있다. 소자분리영역은 제1소자분리영역(I1) 및 제2소자분리영역(I2)을 포함할 수 있다. 제1소자분리영역(I1)과 제2소자분리영역(I2)에 의해 활성영역(102I)이 정의될 수 있다. 활성영역(102I) 아래의 기판(100)의 일부분은 벌크부(101)가 될 수 있다. 제1소자분리영역(I1)은 제1방향(①)으로 연장될 수 있고, 제2소자분리영역(I2)은 제1방향(①)과 교차하는 제2방향(②)으로 연장될 수 있다. 제2소자분리영역(I2)에 의해 제1소자분리영역(I1)이 불연속될 수 있다. 제1소자분리영역(I1)과 제2소자분리영역(I2)은 트렌치 식각에 의해 형성된 STI 영역일 수 있다. 제1 및 제2소자분리영역(I1, I2)은 각각 제1,2분리트렌치(103, 104)에 절연물질을 채워 형성할 수 있다. 제1소자분리영역(I1)과 제2소자분리영역(I2)은 동일 물질이거나 또는 다른 물질일 수 있다. 예컨대, 제1소자분리영역(I1)과 제2소자분리영역(I2)은 실리콘산화물, 실리콘질화물 또는 이들의 조합을 포함할 수 있다. 제2소자분리영역(I2)은 스페이서(106), 쉘드필라(105) 및 제2분리절연층(107)을 포함할 수 있다. 제2소자분리영역(I2)은 제2분리트렌치(104) 내에 형성될 수 있다. 이와 같이, 제2소자분리영역(I2)은 쉘드필라(105)가 내장되어 있을 수 있다. 쉘드필라(105)는 기판(100)과 접촉될 수 있다. 제1소자분리영역(I1)은 라이너(108), 절연필라(109) 및 제1분리절연층(110)을 포함할 수 있다.
- [0023] 활성영역(102I)은 섬형(island shaped)일 수 있다. 복수의 활성영역(102I)은 제1소자분리영역(I1)을 사이에 두고 제2방향(②)으로 어레이될 수 있다. 복수의 활성영역(102I)은 동일 간격 및 동일 크기를 갖고 어레이될 수 있다. 활성영역(102I)은 장축과 단축을 가질 수 있다(도 1 참조). 각 활성영역(102I)의 장축(X2) 사이에 제2소자분리영역(I2)이 위치할 수 있다. 각 활성영역(102I)의 단축(X1) 사이에는 제1소자분리영역(I1)이 위치할 수 있다. 본 명세서에서, 하나의 활성영역(102I)에 대해 설명된다. 활성영역(102I)은 제1필라(first pillar, P1) 및 제2필라(second pillar, P2)를 포함할 수 있다. 제1필라(P1)와 제2필라(P2)는 쌍(pair)을 이룰 수 있고, 대칭될 수 있다. 제1필라(P1)와 제2필라(P2)의 일측면들은 제2소자분리영역(I2)에 접촉할 수 있다.
- [0024] 기판(100)은 복수의 트렌치(trench)를 포함할 수 있다. 트렌치는 비트라인트렌치(Bitline trench, 111) 및 비트라인트렌치(111) 상부의 게이트트렌치(Gatetrench, 112), 비트라인트렌치(111) 하부의 바디트렌치(113)를 포함할 수 있다. 비트라인트렌치(113)는 제3방향(③)으로 연장될 수 있다. 제3방향(③)은 제1방향(①)과 제2방향(②)에 대해 교차하는 방향일 수 있다. 게이트트렌치(112)는 제2방향(②)으로 연장될 수 있다. 제2방향(②)은 제1방향(①) 및 제3방향(③)에 대해 교차하는 방향일 수 있다. 바디트렌치(113)는 제1방향(①)으로 연장되되, 그 연장 길이는 활성영역(102I)과 동일할 수 있다.
- [0025] 게이트트렌치(112)에 의해 제1필라(P1)와 제2필라(P2)가 이격될 수 있다.
- [0026] 비트라인트렌치(111) 내에 매립비트라인(114)이 내장될 수 있다. 매립비트라인(114) 상에 비트라인캐핑층(115)이 형성될 수 있다. 매립비트라인(114)은 저저항 금속을 포함할 수 있다. 매립비트라인(114)은 텅스텐을 포함할 수 있다. 비트라인캐핑층(115)과 비트라인트렌치(111) 사이에 비트라인캐핑라이너(116)가 위치할 수 있다. 비트라인캐핑층(115)과 비트라인캐핑라이너(116)는 절연물질을 포함할 수 있다. 비트라인캐핑층(115)과 비트라인캐핑라이너(116)는 실리콘산화물, 실리콘질화물 또는 이들의 조합을 포함할 수 있다. 비트라인캐핑층(115)은 매립비트라인(114)의 상부면을 커버링할 수 있다. 이에 따라, 매립비트라인(114)은 기판(100)에 내장된 매립비트라인(114)의 상부면을 커버링할 수 있다.

인(Embedded Buried bitline)'이라고 지칭할 수 있다. 매립비트라인(114) 아래에는 편치방지층(117)이 형성될 수 있다. 편치방지층(117)은 절연물질로 형성될 수 있다. 편치방지층(117)은 이웃하는 매립비트라인(114) 사이의 편치를 방지할 수 있다. 편치방지층(117)에 의해 매립비트라인(114)은 기판(100)의 벌크부(101)로부터 플로팅될 수 있다.

[0027] 게이트트렌치(112)는 제1필라(P1)와 제2필라(P2) 사이의 이격 공간일 수 있다. 게이트트렌치(112) 내에 한 쌍의 게이트전극(BG1, BG2)이 내장될 수 있다. 한 쌍의 게이트구조 중 제1게이트전극(BG1)은 제1필라(P1)의 측면과 오버랩될 수 있고, 다른 하나의 제2게이트전극(BG2)은 제2필라(P2)의 측면과 오버랩될 수 있다. 제1게이트전극(BG1)와 제2게이트전극(BG2)은 대칭될 수 있다.

[0028] 제1필라(P1)와 제2필라(P2)의 측벽 상에 게이트절연층(118)이 형성될 수 있다. 제1게이트전극(BG1)과 제2게이트전극(BG2)은 제1 및 제2게이트캡핑층(120, 121)에 의해 커버링될 수 있다. 제1,2게이트전극(BG1, BG2)의 상부면은 제1필라(P1) 및 제2필라(P2)의 상부면보다 낮은 레벨에 위치할 수 있다. 제1,2게이트캡핑층(120, 121)의 상부면은 제1필라(P1) 및 제2필라(P2)의 상부면과 동일 레벨일 수 있다. 제1,2게이트전극(BG1, BG2)이 게이트트렌치(112) 내에 위치하고 그 상부 및 측면을 제1,2게이트캡핑층(120, 121)이 커버링하므로, 제1,2게이트전극(BG1, BG2)은 매립(Buried)된 구조가 될 수 있다. 이를 '매립게이트전극(Buried gate electrode)'이라고 지칭될 수 있다. 반도체장치(200)는 메모리셀에 적용될 수 있다. 따라서, 제1,2게이트전극(BG1, BG2)은 매립워드라인(Buried wordline)이 될 수 있다.

[0029] 게이트절연층(118)은 게이트트렌치(112)의 측벽들 상에 형성될 수 있다. 즉, 게이트절연층(118)은 게이트트렌치(112)를 커버링할 수 있다. 또한, 게이트절연층(118)은 제1필라(P1) 및 제2필라(P2)의 하부측면 및 상부측면들을 커버링할 수 있다. 게이트절연층(118)은 실리콘산화물, 실리콘질화물, 실리콘산질화물, 고유전물질(High-k material) 또는 이들의 조합을 포함할 수 있다. 고유전물질은 실리콘산화물의 유전상수(dielectric constant)보다 더 큰 유전상수를 갖는 물질을 포함할 수 있다. 예컨대, 고유전물질은 3.9보다 큰 유전상수를 갖는 물질을 포함할 수 있다. 다른 예에서, 고유전물질은 10보다 큰 유전상수를 갖는 물질을 포함할 수 있다. 또다른 예에서, 고유전물질은 10 내지 30의 유전상수를 갖는 물질을 포함할 수 있다. 고유전물질은 적어도 하나의 금속성 원소(at least one metallic element)를 포함할 수 있다. 고유전물질은 하프늄함유물질(hafnium-containing material)을 포함할 수 있다. 하프늄함유물질은 하프늄산화물(hafnium oxide), 하프늄실리콘산화물(hafnium silicon oxide), 하프늄실리콘산화질화물(hafnium silicon oxynitride) 또는 그들의 조합을 포함할 수 있다. 다른 실시예에서, 고유전물질은 란탄산화물(lanthanum oxide), 란탄알루미늄산화물(lanthanum aluminum oxide), 지르코늄산화물(zirconium oxide), 지르코늄실리콘산화물(zirconium silicon oxide), 지르코늄실리콘산화질화물(zirconium silicon oxynitride), 알루미늄산화물(aluminum oxide), 및 그들의 조합을 포함할 수 있다. 고유전물질로는 공지된 다른 고유전물질이 선택적으로 사용될 수도 있다.

[0030] 제1,2게이트전극(BG1, BG2)의 저면은 비트라인캡핑층(115)에 접촉할 수 있다. 즉, 제1,2게이트전극(BG1, BG2)과 비트라인(114) 사이에 비트라인캡핑층(115)이 위치할 수 있다. 제1,2게이트전극(BG1, BG2)은 각각 제1,2필라(P1, P2)의 측면에 오버랩될 수 있다.

[0031] 제2접합영역(123)과 제1접합영역(122)이 제1,2필라(P1, P2) 내에 형성될 수 있다. 제1접합영역(122)은 제1,2필라(P1, P2)의 저부에 위치하고, 제2접합영역(123)은 제1,2필라(P1, P2)의 상부에 위치할 수 있다. 제1접합영역(122)은 매립비트라인(114)에 접속될 수 있다. 제1접합영역(122)은 제2접합영역(123)보다 낮은 레벨에 위치할 수 있다. 제1접합영역(122)과 제2접합영역(123) 사이에 수직하게 위치하는 수직채널(VC)이 형성될 수 있다. 제1접합영역(122)과 제2접합영역(123)은 도전형 불순물이 도핑된 영역일 수 있다. 예컨대, 도전형 불순물은 인(P), 비소(As), 안티몬(Sb) 또는 붕소(B)를 포함할 수 있다. 제1접합영역(122)과 제2접합영역(123)은 동일 도전형의 불순물로 도핑될 수 있다. 제1접합영역(122)과 제2접합영역(123)은 소스영역/드레인영역에 대응할 수 있다.

[0032] 제1,2게이트전극(BG1, BG2)은 하부게이트전극(G1, G2)과 상부게이트전극(G11, G12)이 수직하게 적층될 수 있다. 제1게이트전극(BG1)은 제1하부게이트전극(G1)과 제1상부게이트전극(G11)을 포함할 수 있다. 제2게이트전극(BG2)은 제2하부게이트전극(G2)과 제2상부게이트전극(G12)을 포함할 수 있다. 하부게이트전극(G1, G2)은 고일함수 물질을 포함할 수 있다. 상부게이트전극(G11, G12)은 저일함수 물질을 포함할 수 있다. 고일함수의 하부게이트전극(G1, G2)에 의해 문턱전압을 제어할 수 있다. 저일함수의 상부게이트전극(G11, G12)에 의해 게이트유도드레인 누설을 개선할 수 있다.

[0033] 제1,2게이트전극(BG1, BG2)은 각각 제1전극부(E1), 제2전극부(E2)와 제3전극부(E3)를 포함할 수 있다. 제1전극부(E1)는 제2방향(②)으로 연장되고, 제2전극부(E2)와 제3전극부(E3)는 제1전극부(E1)로부터 분기될 수 있다.

제2전극부(E2)와 제3전극부(E3)는 제1방향(①)으로 연장될 수 있다. 제1전극부(E1), 제2전극부(E2)와 제3전극부(E3)는 제1,2필라(P1, P2)의 적어도 3개 측면들을 에워싸는 형태가 될 수 있다. 제1전극부(E1)는 매립비트라인(114)와 교차하는 방향일 수 있고, 제2전극부(E2)와 제3전극부(E3)는 이웃하는 제1필라(P1) 또는 이웃하는 제2필라(P2) 사이에 위치할 수 있다.

[0034] 게이트트렌치(112)는 어느 한 방향으로 연장된 라인 형태일 수 있다. 게이트트렌치(112)는 제1트렌치(T1), 제2트렌치(T2) 및 제3트렌치(T3)를 포함할 수 있다. 제1전극부(E1)는 제1트렌치(T1)에 내장될 수 있고, 제2,3전극부(E2, E3)는 각각 제2트렌치(T2) 및 제3트렌치(T3)에 내장될 수 있다.

[0035] 이하, 제2소자분리영역(I2)에 대해 자세히 살펴보기로 한다.

[0036] 제2소자분리영역(I2)은 스페이서(106), 쉘드필라(105) 및 제2분리절연층(107)을 포함할 수 있다. 제2소자분리층(I2)은 제2분리트렌치(104) 내에 형성될 수 있다. 제2소자분리영역(I2)은 내부에 쉘드필라(105)를 가질 수 있다. 쉘드필라(105)는 실리콘함유물질로 형성될 수 있다. 쉘드필라(105)는 폴리실리콘층을 포함할 수 있다. 쉘드필라(105)은 불순물이 도핑되어 있을 수 있다. 쉘드필라(105)는 보론이 도핑된 폴리실리콘층을 포함할 수 있다. 쉘드필라(105)는 활성영역(102I)의 장축(X2) 사이에 독립적으로 위치할 수 있다. 즉, 이웃하는 쉘드필라(105)는 서로 분리되어 형성될 수 있다. 쉘드필라(105)의 표면 높이는 활성영역(102I)의 상부 표면보다 낮게 리세스될 수 있다. 쉘드필라(105)의 측벽과 제2분리트렌치(104)의 측벽 사이에는 스페이서(106)가 위치할 수 있다. 쉘드필라(105)의 저부는 기판(100)과 접촉할 수 있다.

[0037] 제1실시에 따르면, 활성영역(102I)의 장축(X2) 사이에 쉘드필라(105)가 위치할 수 있다. 이로써, PG 효과(Passing gate effect)를 억제할 수 있다. 즉, PG의 필드섀딩(field shielding)으로 인해 PG 효과를 개선할 수 있다. 아울러, 쉘드필라(105)가 백게이트(Back gate)와 같은 역할로 기능하므로써 문턱전압을 증가시킬 수 있다.

[0038] 이하, 제1실시에 따른 반도체장치의 제조 방법이 설명된다. 설명의 편의를 위해 제1제조파트, 제2제조파트, 제3제조파트로 나누어 설명하기로 한다. 제1제조파트(Production part 1)는 패러럴 활성영역(Parallel active region) 형성에 관련된 방법이고, 제2제조파트는 매립 비트라인(BBL) 형성에 관련된 방법이며, 제3제조파트는 매립 게이트전극(BG) 형성에 관련된 방법이다.

[0039] 도 3a 내지 도 3h는 제1실시에 따른 반도체장치의 패러럴 활성영역을 제조하는 방법의 일예를 설명하기 위한 도면이다. 도 4a 내지 도 4h는 도 3a 내지 도 3i의 A-A'선 및 B-B'선에 따른 단면도이다.

[0040] 도 3a 및 도 4a에 도시된 바와 같이, 기판(10)이 준비될 수 있다. 기판(10)은 반도체프로세싱(semiconductor processing)에 적합한 물질을 포함할 수 있다. 기판(10)은 반도체기판을 포함할 수 있다. 기판(10)은 실리콘을 함유하는 물질을 포함할 수 있다. 기판(10)은 실리콘, 단결정 실리콘, 폴리실리콘, 비정질 실리콘, 실리콘저마늄, 단결정 실리콘저마늄, 다결정 실리콘저마늄, 탄소 도핑된 실리콘, 그들의 조합 또는 그들의 다층을 포함할 수 있다. 기판(10)은 저마늄과 같은 다른 반도체물질을 포함할 수 있다. 기판(10)은 III/V족 반도체기판, 예컨대 GaAs과 같은 화합물반도체기판을 포함할 수 있다. 기판(10)은 SOI(Silicon On Insulator) 기판을 포함할 수도 있다.

[0041] 기판(10) 상에 제1하드마스크층(12)이 형성될 수 있다. 제1하드마스크층(12)에 복수의 라인형 오프닝(line-shaped opening, 12A)이 형성되어 있을 수 있다. 복수의 라인형 오프닝(12A)을 형성하기 위해, 마스크(도시 생략)에 의해 제1하드마스크층(12)을 식각할 수 있다. 복수의 라인형 오프닝(12A)은 SPT(Spacer Pattern Technology) 공정에 의해 형성될 수 있다. 제1하드마스크층(12)은 기판(10)에 대해 식각선택비를 갖는 물질로 형성될 수 있다. 예컨대, 제1하드마스크층(12)은 실리콘질화물을 포함할 수 있다. 도시하지 않았으나, 제1하드마스크층(12)과 기판(10) 사이에 버퍼층(또는 패드층)이 더 형성될 수 있다. 버퍼층은 실리콘산화물로 형성될 수 있다.

[0042] 제1분리트렌치(13)가 형성될 수 있다. 라인형 오프닝(12A)을 갖는 제1하드마스크층(12)을 마스크로 이용하여, 기판(10)의 식각이 수행될 수 있다. 이에 따라, 제1분리트렌치(First isolation trench, 13)가 형성될 수 있고, 제1분리트렌치(13)는 라인형(Line-shaped)일 수 있다. 제1분리트렌치(13)에 의해 기판(10)에 라인형 활성영역(Line-shaped active region, 14L)이 정의될 수 있다. 라인형 활성영역(14L) 사이의 스페이스가 제1분리트렌치(13)가 될 수 있다. 라인형 활성영역(14L) 및 제1분리트렌치(13)는 제1방향(①)으로 연장될 수 있다. 설명의 편의상 제1방향(①)은 사선 방향이라고 약칭한다. 라인형 활성영역(14L) 및 제1분리트렌치(13)를 형성하기 위한 프로세스가 수행되지 않는 기판(10)의 저부는 벌크부(Bulk portion, 11)라고 지칭한다.

- [0043] 도 3b 및 도 4b에 도시된 바와 같이, 제1분리트렌치(13) 상에 제1라이너층(First liner layer, 15A)이 형성될 수 있다. 제1라이너층(15A)은 실리콘산화물로 형성될 수 있다. 제1라이너층(15A)은 열산화 공정 또는 증착법에 의해 형성될 수 있다. 다른 실시예에서, 제1라이너층(15A)은 이중층 구조로 형성될 수 있다. 예컨대, 제1라이너층(15A)은 실리콘산화물과 실리콘질화물을 적층하여 형성할 수도 있다.
- [0044] 제1라이너층(15A) 상에 절연필라층(AL1)이 형성될 수 있다. 절연필라층(AL1)은 제1라이너층(15A)에 대해 식각선택비를 갖는 물질로 형성될 수 있다. 절연필라층(AL1)은 실리콘함유물질을 포함할 수 있다. 절연필라층(AL1)은 실리콘저마늄(SiGe)을 포함할 수 있다.
- [0045] 절연필라층(AL1)이 리세스될 수 있다. 제1분리트렌치(13) 내에 절연필라층(AL1)이 리세스되어 절연필라(AL)이 형성될 수 있다. 절연필라(AL)는 리세스된 표면을 가질 수 있다. 절연필라(AL)의 리세스드 표면은 라인형 활성영역(14L)의 상부 표면보다 낮을 수 있다.
- [0046] 도 3c 및 도 4c에 도시된 바와 같이, 절연필라(AL) 상에 제1분리절연층(16)이 형성될 수 있다. 제1분리절연층(16)은 절연물질로 형성될 수 있다. 제1분리절연층(16)은 실리콘산화물, 실리콘질화물 또는 이들의 조합을 포함할 수 있다. 화학기상증착(CVD) 또는 다른 증착공정은 절연물질로 제1분리트렌치(13)를 채우는데 사용될 수 있다. 제1분리절연층(16)은 SOD(Spin On Dielectric)을 포함할 수 있다.
- [0047] 제1분리절연층(16)에 대해 CMP(Chemical mechanical polishing)와 같은 평탄화 공정이 수행될 수 있다. 이에 따라, 제1분리트렌치(13)를 채우는 제1분리절연층(16)이 형성될 수 있다. 제1분리절연층(16)의 평탄화 공정시에 제1라이너층(15A)의 일부가 평탄화될 수 있다. 예컨대, 제1하드마스크층(12)의 상부 표면이 노출될때까지 제1분리절연층(16)과 제1라이너층(15A)을 평탄화할 수 있다. 이에 따라, 제1분리트렌치(13) 내에 제1분리절연층(16)과 제1라이너(15)가 잔류할 수 있다.
- [0048] 위와 같은 일련의 공정에 의해, 제1소자분리영역(I1)이 형성될 수 있다. 제1소자분리영역(I1)은 제1라이너(15), 절연필라(AL) 및 제1분리절연층(16)을 포함할 수 있다. 제1소자분리영역(I1)은 제1분리트렌치(13) 내에 내장(Embedded)될 수 있다. 절연필라(AL)는 제1소자분리영역(I1) 내에 내장될 수 있다. 라인형 활성영역(14L)과 제1소자분리영역(I1)은 교번하여 형성될 수 있다. 라인형 활성영역(14L)과 제1소자분리영역(I1)은 선평이 동일할 수 있다. 라인형 활성영역(14L) 및 제1소자분리영역(I1)은 제1방향(①)으로 연장될 수 있다.
- [0049] 도 3d 및 도 4d에 도시된 바와 같이, 라인형 활성영역(14L)이 균일한 길이 단위로 컷팅될 수 있다. 라인형 활성영역(14L)을 컷팅하기 위해 컷팅마스크(17)가 적용될 수 있다. 컷팅마스크(17)는 복수의 라인형 오프닝(17A)을 가질 수 있다. 복수의 라인형 오프닝(17A)은 제2방향(②)으로 연장될 수 있다. 컷팅마스크(17)는 라인형 활성영역(14L)과 교차하는 방향으로 연장될 수 있다. 컷팅마스크(17)는 감광막패턴을 포함할 수 있다.
- [0050] 컷팅마스크(17)를 마스크로 이용하여, 제1하드마스크층(12), 라인형 활성영역(14L) 및 제1소자분리영역(I1)을 식각한다. 이에 따라, 라인형 활성영역(14L)이 컷팅(cutting)되어, 제2분리트렌치(second isolation trench, 18)가 형성될 수 있다. 제2분리트렌치(18)는 제2방향(②)으로 연장될 수 있다.
- [0051] 제2분리트렌치(18)에 의해 복수의 섬형 활성영역(14I)이 형성될 수 있다.
- [0052] 위와 같은 일련의 공정에 의해, 라인형 활성영역(14L)이 컷팅(cutting)되어, 독립된 섬형 활성영역(island-shaped active region, 14I)이 형성될 수 있다. 제1방향(①)으로 볼 때, 이웃하는 섬형 활성영역(14I)은 길이 및 간격이 균일할 수 있고, 제2분리트렌치(18)에 의해 서로 이격될 수 있다. 섬형 활성영역(14I)은 단축(X1) 및 장축(X2)을 가질 수 있다. 복수의 섬형 활성영역(14I)은 제1방향(①) 및 제2방향(②)을 따라 서로 이격된 상태로 반복적으로 형성될 수 있다. 이웃하는 섬형 활성영역(14I)의 장축(X2) 사이에는 제2분리트렌치(18)가 형성될 수 있고, 이웃하는 섬형 활성영역(14I)의 단축(X1) 사이에는 제1소자분리영역(I1)이 위치할 수 있다. 제2분리트렌치(18)는 제2방향(②)으로 연장될 수 있다.
- [0053] 도 3e 및 도 4e에 도시된 바와 같이, 컷팅마스크(17)가 제거될 수 있다.
- [0054] 제2분리트렌치(18)의 측벽에 스페이서(spacer, 19)가 형성될 수 있다. 스페이서(19)를 형성하기 위해, 절연물질을 증착한후 에치백이 수행될 수 있다. 스페이서(19)는 기판(10)에 대해 식각선택비를 갖는 물질로 형성될 수 있다. 스페이서(19)는 실리콘산화물을 포함할 수 있다.
- [0055] 스페이서(19)에 의해 제2분리트렌치(18)의 저면이 노출될 수 있다.
- [0056] 도 3f 및 도 4f에 도시된 바와 같이, 셸드층(20A)이 형성될 수 있다. 셸드층(20A)은 도전물질을 포함할 수

있다. 쉘드층(20A)은 실리콘함유물질로 형성될 수 있다. 쉘드층(20A)은 폴리실리콘층을 포함할 수 있다. 쉘드층(20A)은 도전성을 갖기 위해, 불순물이 도핑되어 있을 수 있다. 쉘드층(20A)은 보론이 도핑된 폴리실리콘층을 포함할 수 있다.

[0057] 도 3g 및 도 4g에 도시된 바와 같이, 쉘드필라(20)가 형성될 수 있다. 쉘드필라(20)는 쉘드층(20A)을 선택적으로 식각함으로써 형성될 수 있다. 예컨대, 에치백 공정에 의해 쉘드층(20A)이 식각될 수 있다. 이에 따라, 제2분리트렌치(18) 내에 쉘드필라(20)가 형성될 수 있다. 쉘드필라(20)는 활성영역(14I)의 장축 사이에 독립적으로 위치할 수 있다. 즉, 이웃하는 쉘드필라(20)는 서로 분리되어 형성될 수 있다. 쉘드필라(20)의 표면 높이는 활성영역(14I)의 상부 표면보다 낮게 리세스될 수 있다. 쉘드필라(20)의 측벽과 제2분리트렌치(18)의 측벽 사이에는 스페이서(19)가 위치할 수 있다. 쉘드필라(20)의 저부는 기판(10)과 접촉할 수 있다.

[0058] 도 3h 및 도 4h에 도시된 바와 같이, 제2분리절연층(21)이 형성될 수 있다. 제2분리절연층(21)은 실리콘산화물로 형성될 수 있다. 제2분리절연층(21)은 쉘드필라(20)의 리세스영역을 채울 수 있다. 후속하여, 제2분리절연층(21)이 평탄화될 수 있다. 이에 따라, 제2분리절연층(21)이 쉘드필라(20) 상부의 리세스영역을 채우면서 잔류할 수 있다. 제2분리절연층(21)의 평탄화된 표면은 제1하드마스크층(12)의 상부 표면과 동일 레벨일 수 있다.

[0059] 위와 같이, 제2분리절연층(21)을 평탄화함으로써, 제2소자분리영역(I2)이 형성될 수 있다. 제2소자분리영역(I2)은 스페이서(19), 쉘드필라(20) 및 제2분리절연층(21)을 포함할 수 있다. 제2소자분리영역(I2)은 제2분리트렌치(18) 내에 내장될 수 있다. 제2소자분리영역(I2)은 내장된 쉘드필라(20)를 가질 수 있다.

[0060] 제1소자분리영역(I1)과 제2소자분리영역(I2)에 의해 섬형 활성영역(14I)이 정의될 수 있다. 복수의 제1소자분리영역(I1)과 복수의 제2소자분리영역(I2)에 의해 복수의 섬형 활성영역(14I)이 정의될 수 있다. 복수의 섬형 활성영역(14I)은 패러럴하게 배치될 수 있다. 이를, '패러럴 활성영역(parallel active region)'이라고 지칭할 수 있다.

[0061] 섬형 활성영역(14I)의 장축 사이에 쉘드필라(20)가 위치할 수 있다. 이로써, PG 효과가 억제될 수 있다.

[0062] 도 5a 내지 도 5h는 제1실시에 따른 반도체장치의 매립비트라인을 제조하는 방법의 일예를 설명하기 위한 도면이다. 도 6a 내지 도 6h는 도 5a 내지 도 5h의 A-A' 선, B-B' 및 C-C' 선에 따른 단면도이다. 이하, 설명의 편의를 위해, 도 5a 내지 도 5h에서, 제1소자분리영역(I1) 및 제2소자분리영역(I2)으로 도시하기로 한다. 즉, 제1라이너(15), 절연필라(AL), 스페이서(19), 제2분리절연층(21)의 도시를 생략하기로 한다. 단, 제2소자분리영역(I2)에 내장된 쉘드필라(20)는 도시한다.

[0063] 도 5a 및 도 6a에 도시된 바와 같이, 제2하드마스크층(22)이 형성될 수 있다. 제2하드마스크층(22)에 복수의 라인형 오픈링(line-shaped opening, 22A)이 형성되어 있을 수 있다. 제2하드마스크층(22)은 기판(10)에 대해 식각선택비를 갖는 물질로 형성될 수 있다. 예컨대, 제2하드마스크층(22)은 실리콘질화물을 포함할 수 있다.

[0064] 비트라인트렌치(23)가 형성될 수 있다. 라인형 오픈링을 갖는 제2하드마스크층(22)을 마스크로 이용하여, 섬형 활성영역(14I)을 식각한다. 이에 따라, 라인형의 비트라인트렌치(23)가 형성될 수 있다. 비트라인트렌치(23)는 제3방향(③)으로 연장되는 라인형일 수 있다. 비트라인트렌치(23)는 제2분리트렌치(18)와 교차하는 방향으로 연장될 수 있다. 비트라인트렌치(23)는 제1,2분리트렌치(13, 18)보다 얇게 형성될 수 있다. 비트라인트렌치(23)의 깊이는 후속 게이트전극의 평균 단면적을 크게 할 수 있는 충분한 깊이를 가질 수 있다. 비트라인트렌치(23)를 형성하기 위해, 섬형 활성영역(14I)은 물론 제1소자분리영역(I1) 및 제2소자분리영역(I2)도 식각될 수 있다. 비트라인트렌치(23)에 의해 섬형 활성영역(14I)의 일부는 예비 필라(14)로 분할될 수 있다. 예비 필라(14) 아래의 섬형 활성영역(14I)의 잔류부(14B)가 형성될 수 있다. 잔류부(14B)는 바디부(Body portion, 14B)라 지칭할 수 있다.

[0065] 도 5b 및 도 6b에 도시된 바와 같이, 라이너스페이서(24)가 형성될 수 있다. 라이너스페이서(24)는 비트라인트렌치(23)의 양측벽에 형성될 수 있다. 라이너스페이서(24)는 실리콘산화물을 증착한 후에 에치백하여 형성될 수 있다.

[0066] 바디트렌치(25)가 형성될 수 있다. 바디트렌치(25)는 비트라인트렌치(23)의 저면을 일정 깊이 식각하여 형성될 수 있다. 제2하드마스크층(22) 및 라이너스페이서(24)를 마스크로 이용하여 비트라인트렌치(23)의 저면을 확장시킬 수 있다. 이에 따라, 바디부(14B)의 일부가 식각되어 바디트렌치(25)가 형성될 수 있다. 바디트렌치(25)를 형성하기 위해, 등방성식각이 수행될 수 있다. 등방성식각에 의해 바디트렌치(25)는 벌브형일 수 있다. 바디트렌치(25)는 비트라인트렌치(23)보다 선평이 더 클 수 있다. 바디트렌치(25)의 깊이는 제1 및 제2분리트렌치(13, 18)보다 얇을 수 있다. 바디트렌치(25)는 예비 필라(14) 아래에서 제1방향(①)으로 연장될 수 있다. 예컨대, 바

디트렌치(25)의 측면은 제2분리트렌치(18)의 측벽과 이웃하도록 측면확장될 수도 있다.

- [0067] 위와 같이, 비트라인트렌치(23) 및 바디트렌치(25)를 형성함에 따라, 섬형 활성영역(14I)은 한 쌍의 예비 필라(14)로 분할될 수 있다. 즉, 한 쌍의 예비 필라(14)는 비트라인트렌치(23) 및 바디트렌치(25)에 의해 서로 이격될 수 있다.
- [0068] 도 5c 및 도 6c에 도시된 바와 같이, 바디트렌치(25) 및 비트라인트렌치(23)에 예비 편치방지층(26A)이 채워질 수 있다. 예비 편치방지층(26A)은 절연물질로 형성될 수 있다. 예비 편치방지층(26A)을 형성하기 위해, 스핀온 절연막(SOD)으로 비트라인트렌치(23) 및 바디트렌치(25)를 채울 수 있다.
- [0069] 도 5d 및 도 6d에 도시된 바와 같이, 리세스된 편치방지층(26B)이 형성될 수 있다. 예컨대, 예비 편치방지층(26A)을 일정 깊이 리세스시킬 수 있다. 리세스된 편치방지층(26B)은 적어도 바디트렌치(25)를 채울 수 있다. 리세스된 편치방지층(26B)의 상부면은 비트라인트렌치(23)의 저부 내에 위치하도록 높이가 조절될 수 있다. 리세스된 편치방지층(26B)에 의해 한 쌍의 예비 필라(14)는 벌크부(11)로부터 플로팅될 수 있다. 또한, 리세스된 편치방지층(26B)에 의해 한 쌍의 예비 필라(14) 간의 전기적 접촉을 억제할 수 있다. 리세스된 편치방지층(26B)을 형성하기 위해 평탄화공정 및 에치백 공정이 순차적으로 수행될 수 있다.
- [0070] 다음으로, 희생스페이서(27)가 형성될 수 있다. 희생스페이서(27)는 라이너스페이서(24)의 측벽을 커버링할 수 있다. 희생스페이서(27)는 티타늄질화물로 형성될 수 있다. 예컨대, 티타늄질화물을 컨포멀하게 증착한 후, 에치백을 수행하여 희생스페이서(27)를 형성할 수 있다.
- [0071] 도 5e 및 도 6e에 도시된 바와 같이, 예비 필라(14)의 저부 측벽을 노출시키는 오프닝(28)이 형성될 수 있다. 오프닝(28)을 형성하기 위해, 희생스페이서(27)를 배리어로 하여 리세스된 편치방지층(26B)을 일정 깊이 리세스시킬 수 있다. 이에 따라, 편치방지층(26)이 형성될 수 있다. 편치방지층(26)은 바디트렌치(27)를 채울 수 있다. 편치방지층(26)을 리세스시킴에 따라, 라이너스페이서(24)의 일부가 노출될 수 있다. 다음으로, 라이너스페이서(24)의 노출부분을 선택적으로 제거할 수 있다. 이에 따라, 예비 필라(14)의 저부 측벽을 노출시키는 오프닝(28)이 형성될 수 있다. 오프닝(28)은 후속 매립비트라인이 콘택되는 영역으로서, 이웃하는 예비 필라(14)의 저부 측벽을 동시에 노출시키는 BSC(Both side contact) 일 수 있다. 예컨대, 오프닝(28)에 의해 비트라인트렌치(23)의 저부 양측벽이 동시에 노출될 수 있다. 오프닝(28)에 의해 비노출된 예비 필라(14)의 측벽들은 라이너스페이서(24)에 의해 커버링되어 있다.
- [0072] 이와 같이, 본 실시예는 오프닝(28)을 형성하기 위한 별도의 콘택마스크가 필요없다.
- [0073] 도 5f 및 도 6f에 도시된 바와 같이, 제1접합영역(29)이 형성될 수 있다. 제1접합영역(29)을 형성하기 위해, 플라즈마도핑기술에 의해 불순물의 도핑공정이 수행된다. 예컨대, 오프닝(28)을 통해 불순물을 플라즈마도핑하여 제1접합영역(29)을 형성한다. 도핑 공정시 불순물로는 N형 불순물 또는 P형 불순물을 포함할 수 있다. 예컨대, 불순물은 인(Ph) 또는 비소(As)가 사용될 수 있다. 제1접합영역(29)은 예비필라(14)의 저부 내에 형성될 수 있다. 제1접합영역(29)은 벌크부(11)로부터 플로팅되어 형성될 수 있다. 즉, 편치방지층(26)에 의해 벌크부(11)로부터 분리될 수 있다. 또한, 제1접합영역(29)은 제2소자분리영역(12)에 의해 측면 확산이 억제될 수 있다.
- [0074] 도 5g 및 도 6g에 도시된 바와 같이, 비트라인(30)이 형성될 수 있다. 예컨대, 비트라인트렌치(23)가 매립되도록 금속층(미도시)을 형성한 후 금속층을 에치백하여 비트라인트렌치(23)의 저부를 채우는 비트라인(30)을 형성한다. 이때, 비트라인(30)은 텅스텐(W)을 포함할 수 있다. 비트라인(30)의 양끝단은 오프닝(28)을 채워 제1접합영역(29)과 접속될 수 있다. 비트라인(30)과 벌크부(11) 사이에 편치방지층(26)이 위치할 수 있다. 비트라인(30) 형성 전에, 제1접합영역(29)과 비트라인(30) 사이의 오믹콘택을 위한 오믹콘택층(도시 생략)이 형성될 수 있다. 오믹콘택층은 금속실리사이드를 포함할 수 있다. 예컨대, 오믹콘택층은 코발트실리사이드를 포함할 수 있다. 코발트실리사이드를 형성하기 위해, 제1접합영역(29)이 형성된 구조물의 전면에 코발트층을 증착한 후, 열처리를 실시할 수 있다. 이후, 미반응 코발트층을 제거할 수 있다.
- [0075] 위와 같이, 비트라인(30)과 제1접합영역(29)은 플러그없이 접촉될 수 있다. 이를 플러그리스 콘택(Plug-less contact)이라고 지칭할 수 있다.
- [0076] 도 5h 및 도 6h에 도시된 바와 같이, 희생스페이서(27)를 선택적으로 제거한다.
- [0077] 비트라인(30)을 커버링하기 위해 비트라인트렌치(23)가 매립되도록 비트라인캡핑층(31)을 형성한다. 이때, 비트라인캡핑층(31)은 실리콘산화물을 포함할 수 있다.

- [0078] 후속하여, 비트라인캐핑층(31)은 제1하드마스크층(12)의 표면이 노출될때까지 평탄화될 수 있다.
- [0079] 도 7a 내지 도 7h는 제1실시예에 따른 반도체장치의 게이트전극의 형성 방법을 도시한 도면이다. 도 8a 내지 도 8h는 도 7a 내지 도 7h의 A-A'선, B-B'선 및 C-C'선에 따른 단면도이다.
- [0080] 도 7a 및 도 8a에 도시된 바와 같이, 예비 게이트트렌치(33)가 형성될 수 있다. 예컨대, 제3하드마스크층(32)을 마스크로 이용하여 비트라인캐핑층(31), 제1소자분리영역(I1), 예비 필라(14)를 식각하여(도면부호 '32A' 참조), 예비 게이트트렌치(33)를 형성한다. 예비 게이트트렌치(33)를 형성하기 위한 식각 공정은 비트라인캐핑층(31)이 일정 두께 잔류할때까지 진행할 수 있다. 예비 게이트트렌치(33)는 비트라인(30)과 교차하는 방향으로 형성될 수 있다. 예비 게이트트렌치(33)는 제2방향(②)으로 연장될 수 있다. 예비 게이트트렌치(33)의 저부에서 제1접합영역(29)이 노출될 수도 있다.
- [0081] 예비 게이트트렌치(33)에 의해 한 쌍의 제1,2필라(P1, P2)가 형성될 수 있다. 제1,2필라(P1, P2)는 예비 필라(14)의 식각에 의해 형성될 수 있다. 제1,2필라(P1, P2)는 각각 다중 측벽을 갖는 구조가 될 수 있다. 예비 게이트트렌치(33)를 형성하기 위한 식각 공정 동안에, 라이너스페이스(24)도 일부 식각될 수 있다. B-B' 방향에 따르면, 예비 게이트트렌치(33) 아래에서, 라이너스페이스(24), 제1소자분리영역(I1) 및 비트라인캐핑층(31)의 상부 표면은 동일 레벨일 수 있다. 라이너스페이스(24)는 '비트라인캐핑라이너(24)'라고 지칭될 수 있다.
- [0082] 도 7b 및 도 8b에 도시된 바와 같이, 예비 게이트트렌치(33)의 확장 공정을 수행할 수 있다. 예컨대, 습식식각 공정을 수행하여 비트라인캐핑층(31) 및 제1소자분리영역(I1)을 선택적으로 식각한다. 이를 와이드닝 공정(widening process)이라고 약칭한다. 와이드닝 공정은 습식식각을 적용할 수 있다. 습식와이드닝공정에 의해 제1소자분리영역(I1)의 일부 및 비트라인캐핑층(31)의 일부가 식각되므로써 예비 게이트트렌치(33)가 제1방향(①)으로 확장될 수 있다. 습식와이드닝 공정에 의해, 산화물들이 선택적으로 제거될 수 있다. 예컨대, 제1라이너(15), 제1분리절연층(16), 비트라인캐핑라이너(24) 및 비트라인캐핑층(31)이 선택적으로 제거될 수 있다.
- [0083] 습식와이드닝공정에 의해 확장된 예비 게이트트렌치를 '게이트트렌치(33T)'라고 지칭한다. 게이트트렌치(33T)는 제1트렌치부(T1), 제2트렌치부(T2) 및 제3트렌치부(T3)를 포함할 수 있다. 제1트렌치부(T1)는 제2방향(②)으로 연장될 수 있다. 제1트렌치부(T1)는 제1필라(P1)와 제2필라(P2) 사이에 위치할 수 있다. 제2트렌치부(T2)와 제3트렌치부(T3)는 제1트렌치부(T1)로부터 분기될 수 있다. 제2트렌치부(T2)와 제3트렌치부(T3)는 제2방향(②)에 교차하는 제1방향(①)으로 연장될 수 있다.
- [0084] 제1트렌치부(T1), 제2트렌치부(T2) 및 제3트렌치부(T3)에 의해 제1,2필라(P1, P2)의 측면들이 노출될 수 있다. 예컨대, 제1측면(S1), 제2측면(S2) 및 제3측면(S3)이 노출될 수 있다. 제1측면은 제1트렌치부(T1)에 의해 노출될 수 있고, 제2측면(S2)과 제3측면(S2)은 각각 제2트렌치부(T2) 및 제3트렌치부(T3)에 의해 노출될 수 있다. 제2트렌치부(T2) 및 제3트렌치부(T3)는 크기 및 모양이 동일할 수 있다. 제1,2필라(P1, P2)는 제4측면(S4)을 더 포함하며, 제4측면(S4)은 제2소자분리영역(I2)에 접촉할 수 있다. 제2소자분리영역(I2)은 제2트렌치부(T2)와 제3트렌치부(T3)에 접촉할 수 있다.
- [0085] 습식와이드닝 공정 이후에, 비트라인(30) 상부에는 일정 두께의 비트라인캐핑층(31) 및 비트라인캐핑라이너(24)가 잔류할 수 있다.
- [0086] 도 7c 및 도 8c에 도시된 바와 같이, 제3하드마스크층(32)이 제거될 수 있다.
- [0087] 다음으로, 게이트트렌치(33T)의 표면 상에 게이트절연층(34)이 형성될 수 있다.
- [0088] 게이트절연층(34)은 열산화 공정(Thermal Oxidation)에 의해 형성될 수 있다. 다른 실시예에서, 게이트절연층(34)은 화학기상증착(Chemical Vapor Deposition; CVD) 또는 원자층증착(Atomic Layer Deposition; ALD)에 의해 형성될 수 있다. 게이트절연층(34)은 고유전물질, 산화물, 질화물, 산화 질화물 또는 이들의 조합을 포함할 수 있다. 고유전물질은 haf늄함유물질(hafnium-containing material)을 포함할 수 있다. haf늄함유물질은 haf늄산화물(hafnium oxide), haf늄실리콘산화물(hafnium silicon oxide), haf늄실리콘산화질화물(hafnium silicon oxynitride) 또는 그들의 조합을 포함할 수 있다. 다른 실시예에서, 고유전물질은 란탄산화물(lanthanum oxide), 란탄알루미늄산화물(lanthanum aluminum oxide), 지르코늄산화물(zirconium oxide), 지르코늄실리콘산화물(zirconium silicon oxide), 지르코늄실리콘산화질화물(zirconium silicon oxynitride), 알루미늄산화물(aluminum oxide), 및 그들의 조합을 포함할 수 있다. 고유전물질로는 공지된 다른 고유전물질이 선택적으로 사용될 수도 있다.
- [0089] 게이트절연층(34) 상에 제1게이트도전층(35A)이 형성될 수 있다. 제1게이트도전층(35A)은 게이트트렌치(33T) 상

에 컨포멀하게 형성될 수 있다. 제1게이트도전층(35A)은 저저항 금속물질을 포함한다. 제1게이트도전층(35A)은 티타늄질화물, 텅스텐 등으로 형성될 수 있다. 일 실시예에서, 제1게이트도전층(35A)은 하부 배리어층과 저저항층을 포함할 수 있다. 또한, 제1게이트도전층(35A)은 문턱전압제어를 위해 고일함수물질을 포함할 수 있다. 제1게이트도전층(35A)은 고일함수물질로서 TiAlN을 포함할 수 있다.

[0090] 도 7d 및 도 8d에 도시된 바와 같이, 게이트트렌치(33T)의 측벽에 예비 하부게이트전극(35G1, 325G2)이 잔류하도록 건식식각 공정을 진행한다. 예컨대, 에치백공정에 의해 진행될 수 있다. 예비 하부게이트전극(35G1, 35G2)은 제1게이트도전층(35A)의 에치백공정에 의해 형성된다. 예비 하부게이트전극(35G1, 35G2)은 제1,2필라(P1, P2)의 측벽을 에워싸는 스페이서 형상을 가질 수 있다. 예비 하부게이트전극(35G1, 35G2)은 각각 제1전극부(E1), 제2전극부(E2)와 제3전극부(E3)를 포함할 수 있다. 제1전극부(E1)는 제2방향(②)으로 연장되고, 제2전극부(E2)와 제3전극부(E3)는 제1전극부(E1)로부터 분기될 수 있다. 제2전극부(E2)와 제3전극부(E3)는 제1방향(①)으로 연장될 수 있다. 제1전극부(E1), 제2전극부(E2)와 제3전극부(E3)는 제1,2필라(P1, P2)의 적어도 3개 측면들을 에워싸는 형태가 될 수 있다. 제1전극부(E1)는 매립비트라인(30)와 교차하는 방향일 수 있고, 제2전극부(E2)와 제3전극부(E3)는 이웃하는 제1필라(P1) 또는 이웃하는 제2필라(P2) 사이에 위치할 수 있다.

[0091] 도 7e 및 도 8e에 도시된 바와 같이, 제1게이트캡핑층(36)이 형성될 수 있다. 제1게이트캡핑층(36)은 예비 하부게이트전극(35G1, 35G2) 사이를 채울 수 있다. 제1게이트캡핑층(36)은 예비 하부게이트전극(35G1, 35G2)의 표면이 노출되도록 평탄화될 수 있다.

[0092] 도 7f 및 도 8f에 도시된 바와 같이, 예비 하부게이트전극(35G1, 35G2)을 리세스(도면부호 'R' 참조)시킬 수 있다. 이에 따라, 하부 게이트전극(G1, G2)이 형성될 수 있다.

[0093] 이와 같이, 하부 게이트전극(G1, G2)은 게이트트렌치(33T) 내에 내장될 수 있다. 하부 게이트전극(G1, G2)의 상부 표면은 필라(P1, P2)의 상부 표면보다 낮게 리세스될 수 있다. 이웃하는 하부 게이트전극(G1, G2) 사이에는 제1게이트캡핑층(36)이 위치할 수 있다.

[0094] 도 7g 및 도 8g에 도시된 바와 같이, 상부 게이트전극(G11, G12)이 형성될 수 있다. 상부 게이트전극(G11, G12)은 각각 하부 게이트전극(G1, G2) 상에 채워질 수 있다. 상부 게이트전극(G11, G12)은 제1게이트캡핑층(36)의 상부 표면보다 낮은 리세스된 표면을 가질 수 있다. 이를 위해, 제2게이트도전층(도시 생략)을 채운 후, 에치백을 실시할 수 있다. 상부 게이트전극(G11, G12)은 저저항물질을 포함할 수 있다. 상부 게이트전극(G11, G12)은 게이트유도드레인누설을 개선하기 위해, 저일함수물질로 형성될 수 있다. 또한, 하부 게이트전극(G1, G2)과 상부 게이트전극(G11, G12) 간의 반응을 방지하기 위해, 중간 배리어가 더 형성될 수도 있다.

[0095] 상술한 바에 따르면, 게이트전극(BG1, BG2)은 하부 게이트전극(G1, G2)과 상부 게이트전극(G11, G12)을 포함할 수 있다.

[0096] 게이트전극(BG1, BG2)은 서로 대칭되는 구조가 될 수 있다. 게이트전극(BG1, BG2)은 각각, 제2방향(②)으로 연장된 제1전극부(E1), 제2방(②)향에 교차하는 제1방향(①)으로 연장되고 제1전극부(E1)로부터 분기된 제2전극부(E2) 및 제3전극부(E3)를 포함할 수 있다. 제1전극부(E1), 제2전극부(E2) 및 제3전극부(E3)는 각각 제1트렌치부(T1), 제2트렌치부(T2) 및 제3트렌치부(T3) 내에 내장될 수 있다.

[0097] 제1전극부(E1), 제2전극부(E2) 및 제3전극부(E3)는 제1,2필라(P1, P2)의 적어도 3개의 측면들과 오버랩될 수 있다. 제1,2필라(P1, P2)의 제4측면(S4)은 게이트전극(BG1, BG2)과 비-오버랩될 수 있다.

[0098] 도 7h 및 도 8h에 도시된 바와 같이, 제2게이트캡핑층(37)을 형성한다. 제2게이트캡핑층(37)은 절연물질을 포함한다. 상부 게이트전극(G11, G12)의 상부에 제2게이트캡핑층(37)으로 채워진다. 제2게이트캡핑층(37)은 실리콘 산화물을 포함할 수 있다. 후속하여, 제1하드마스크층(12)의 상부 표면이 노출되도록 제2게이트캡핑층(37)의 평탄화가 진행될 수 있다.

[0099] 제2게이트캡핑층(37) 형성 후에, 임플란트 또는 기타 다른 도핑기술에 의해 불순물의 도핑공정이 수행된다. 이에 따라 제1,2필라(P1, P2) 내에 제2접합영역(38)이 형성된다. 불순물의 도핑 공정을 진행할 때, 제1 및 제2게이트캡핑층(36, 37)이 배리어로 사용된다. 제2접합영역(38)은 소스영역과 드레인영역 중 어느 하나의 영역이 될 수 있다. 제1접합영역(29)과 제2접합영역(38) 사이에 수직채널이 정의될 수 있다.

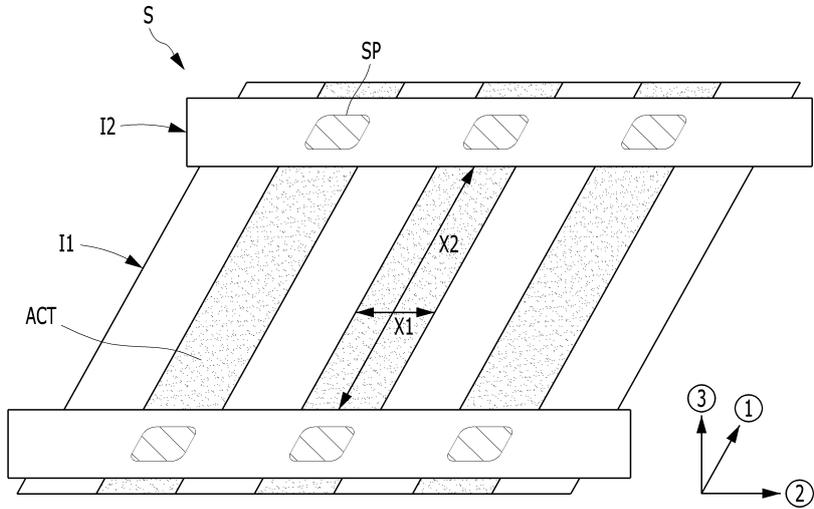
[0100] 상술한 바와 같이, 제1게이트전극(BG1), 제1접합영역(29) 및 제2접합영역(38)은 제1트랜지스터(Tr1)를 구성할 수 있다. 제2게이트전극(BG2), 제1접합영역(29) 및 제2접합영역(38)은 제2트랜지스터(Tr2)를 구성할 수 있다.

- [0101] 도시하지 않았으나, 제2접합영역(38)에는 메모리요소가 접속될 수 있다.
- [0102] 다른 실시예에서, 제2접합영역(38)은 콘택홀을 형성한 이후에, 불순물의 도핑 공정에 의해 형성될 수도 있다. 여기서, 콘택홀은 제1,2필라(P1, P2)의 상부면을 노출시킨다.
- [0103] 이하, 제2실시예에 따른 반도체장치 및 그 제조 방법이 설명된다.
- [0104] 도 9는 제2실시예에 따른 반도체장치를 도시한 도면이다. 제2실시예에 따른 반도체장치(300)는 제2소자분리영역(I2)를 제외한 나머지 구성요소들은 제1실시예와 동일할 수 있다.
- [0105] 도 9를 참조하면, 제2소자분리영역(I2)은 에어갭(41)이 내장되어 있을 수 있다. 쉘드필라(20)와 제2분리트렌치(18) 사이의 공간에 에어갭(41)이 형성될 수 있다. 따라서, 제2소자분리영역(I2)은 쉘드필라(20), 에어갭(41) 및 제2분리절연층(21)을 포함할 수 있다. 제2분리절연층(21)에 의해 에어갭(41)이 캡핑될 수 있다.
- [0106] 에어갭(41)에 의해 이웃하는 매립비트라인(30)간의 기생캐패시턴스를 감소시킬 수 있다. 아울러, PG 효과가 더욱 증대될 수 있다.
- [0107] 도 10a 내지 도 10c는 제2실시예에 따른 반도체장치를 제조하는 방법의 일예를 설명하기 위한 도면이다. 제2실시예에서, 에어갭(41)이 내장된 제2소자분리영역(I2)을 제외한 나머지 요소의 제조 방법은 제1실시예와 동일하거나 유사할 수 있다.
- [0108] 도 10a에 도시된 바와 같이, 제2분리트렌치(18)의 측벽에 스페이서(19)가 형성될 수 있다. 스페이서(19)를 형성하기 위해, 절연물질을 증착한후 에치백이 수행될 수 있다. 스페이서(19)는 기판(10)에 대해 식각선택비를 갖는 물질로 형성될 수 있다. 스페이서(19)는 실리콘산화물을 포함할 수 있다.
- [0109] 스페이서(19)에 의해 제2분리트렌치(18)의 저면이 노출될 수 있다.
- [0110] 쉘드필라(20)가 형성될 수 있다. 쉘드필라(20)는 쉘드층(도 4f의 '20A')을 선택적으로 식각하므로써 형성될 수 있다. 에치백 공정에 의해 쉘드층(20A)이 식각될 수 있다. 이에 따라, 제2분리트렌치(18) 내에 쉘드필라(20)가 형성될 수 있다. 쉘드필라(20)는 활성영역(14I)의 장축 사이에 독립적으로 위치할 수 있다. 즉, 이웃하는 쉘드필라(20)는 서로 분리되어 형성될 수 있다. 쉘드필라(20)의 표면 높이는 활성영역(14I)의 상부 표면보다 낮게 리세스될 수 있다. 쉘드필라(20)의 측벽과 제2분리트렌치(18)의 측벽 사이에는 스페이서(19)가 위치할 수 있다. 쉘드필라(20)의 저부는 기판(10)과 접촉할 수 있다.
- [0111] 도 10b에 도시된 바와 같이, 스페이서(19)가 선택적으로 제거될 수 있다. 스페이서(19)는 습식식각에 의해 제거될 수 있다. 이에 따라, 에어갭(41)이 형성될 수 있다.
- [0112] 도 10c에 도시된 바와 같이, 제2분리절연층(21)이 형성될 수 있다. 제2분리절연층(21)은 실리콘산화물로 형성될 수 있다. 제2분리절연층(21)은 쉘드필라(20) 상부를 채울 수 있다. 후속하여, 제2분리절연층(21)이 평탄화될 수 있다. 이에 따라, 제2분리절연층(21)이 쉘드필라(20) 상부의 리세스영역을 채우면서 잔류할 수 있다. 제2분리절연층(21)의 평탄화된 표면은 제1하드마스크층(12)의 상부 표면과 동일 레벨일 수 있다. 제2분리절연층(21)에 의해 에어갭(41)이 캡핑될 수 있다.
- [0113] 위와 같이, 제2분리절연층(21)을 형성하므로써, 제2소자분리영역(I2)이 형성될 수 있다. 제2소자분리영역(I2)은 쉘드필라(20), 에어갭(41) 및 제2분리절연층(21)을 포함할 수 있다. 제2소자분리영역(I2)은 제2분리트렌치(18) 내에 내장될 수 있다. 제2소자분리영역(I2)은 내장된 쉘드필라(20) 및 에어갭(41)을 가질 수 있다.
- [0114] 이하, 제3실시예에 따른 반도체장치 및 그 제조 방법이 설명된다.
- [0115] 도 11은 제3실시예에 따른 반도체장치를 도시한 도면이다. 제3실시예에 따른 반도체장치(400)는 제1소자분리영역(I1)를 제외한 나머지 구성요소들은 제2실시예와 동일할 수 있다.
- [0116] 도 11을 참조하면, 제1소자분리영역(I1)은 제1에어갭(42)이 내장되어 있을 수 있다. 제1분리트렌치(13) 내부에 제1에어갭(42)이 형성될 수 있다. 따라서, 제1소자분리영역(I1)은 제1에어갭(42), 제1라이너(15)를 포함할 수 있다. 제1케이트캡핑층(36)에 의해 제1에어갭(42)이 캡핑될 수 있다.
- [0117] 제2소자분리영역(I2)은 제2에어갭(41)이 내장되어 있을 수 있다. 쉘드필라(20)와 제2분리트렌치(18) 사이의 공간에 제2에어갭(41)이 형성될 수 있다. 따라서, 제2소자분리영역(I2)은 쉘드필라(20), 제2에어갭(41) 및 제2분리절연층(21)을 포함할 수 있다. 제2분리절연층(21)에 의해 제2에어갭(41)이 캡핑될 수 있다.

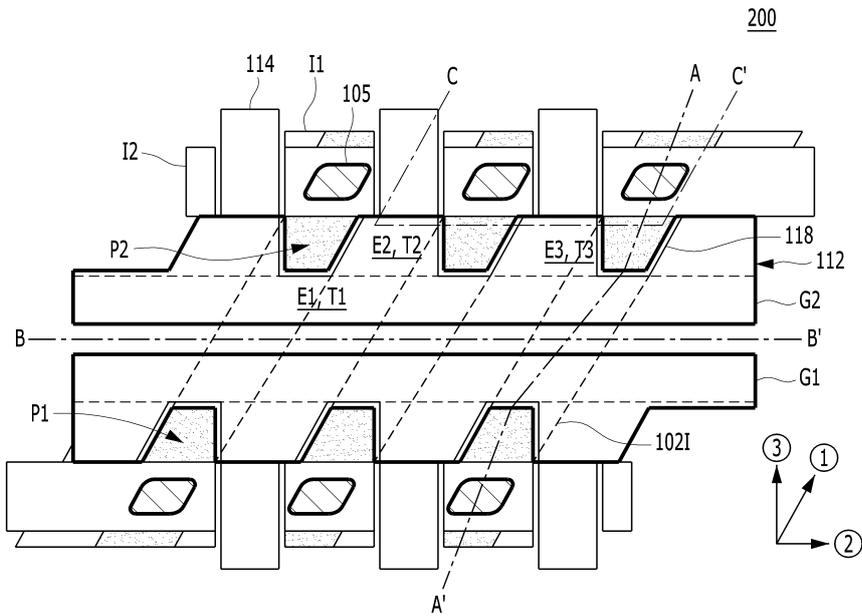
42 : 제1에어캡

도면

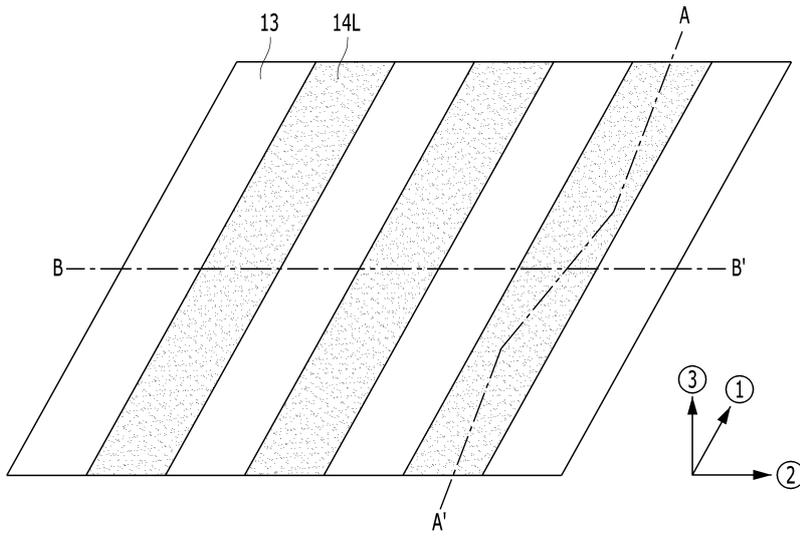
도면1



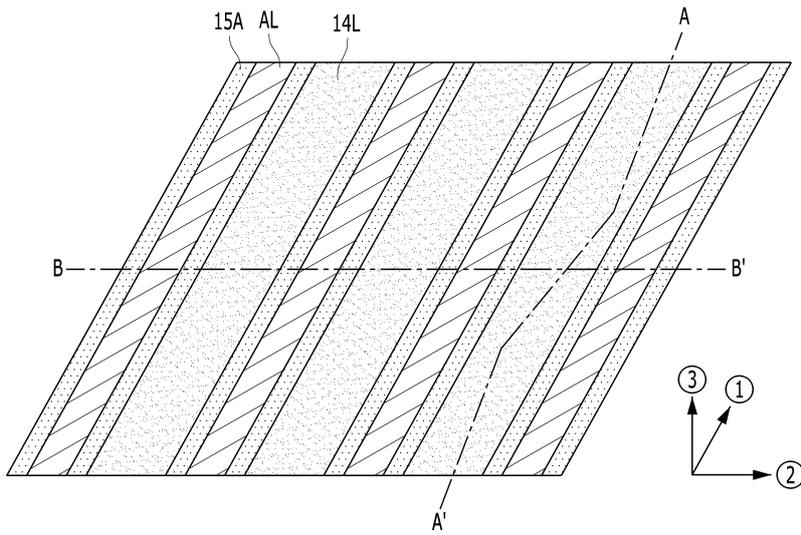
도면2a



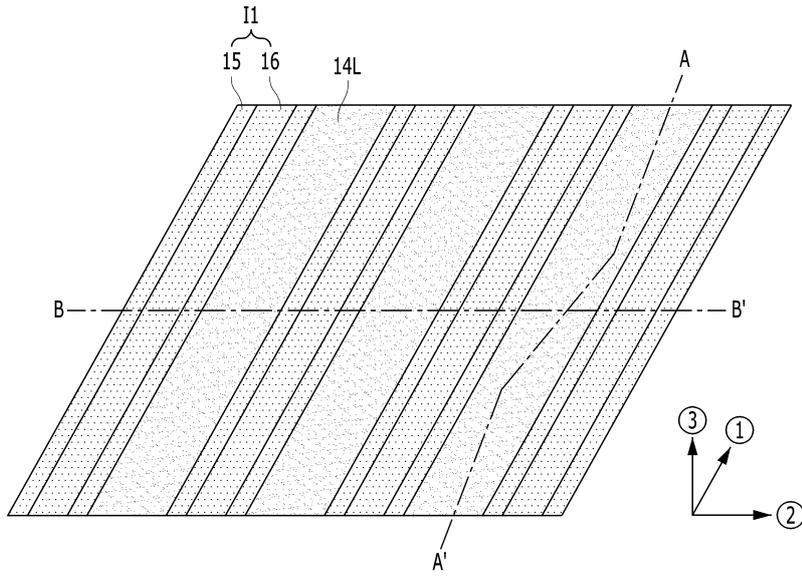
도면3a



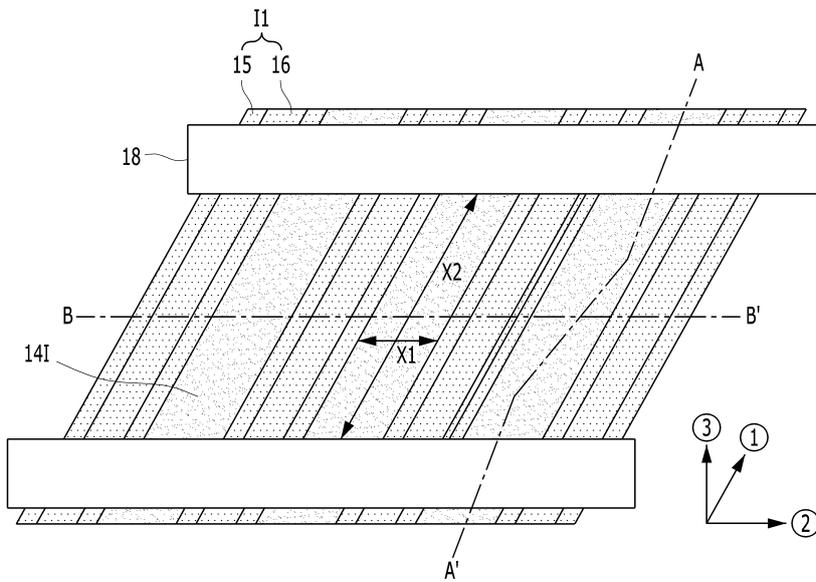
도면3b



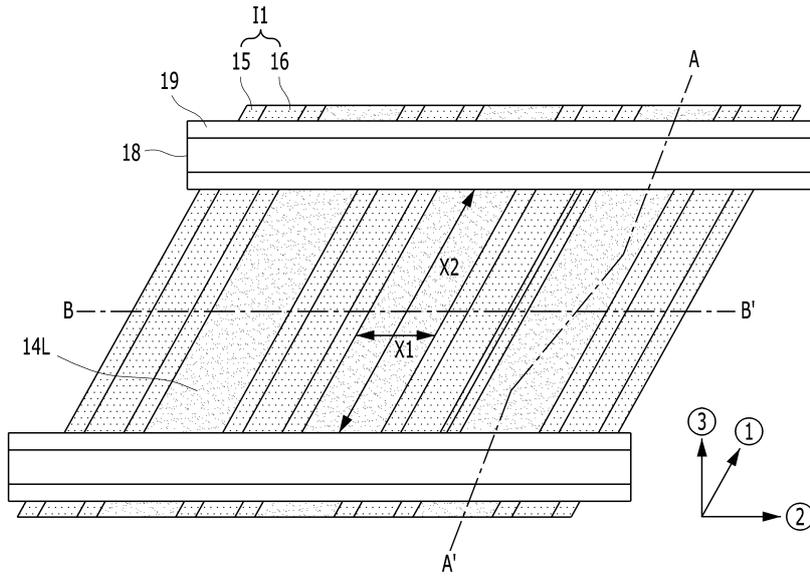
도면3c



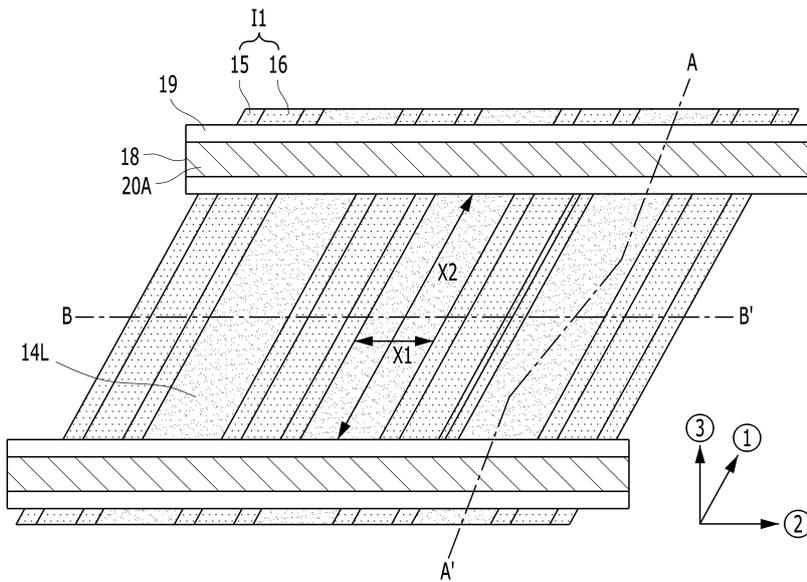
도면3d



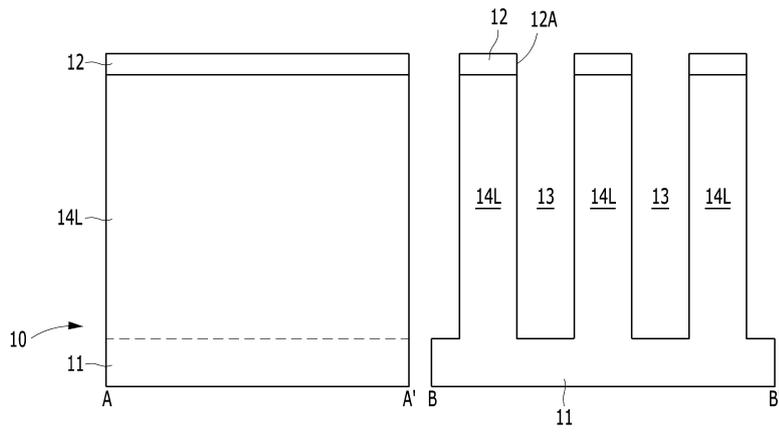
도면3e



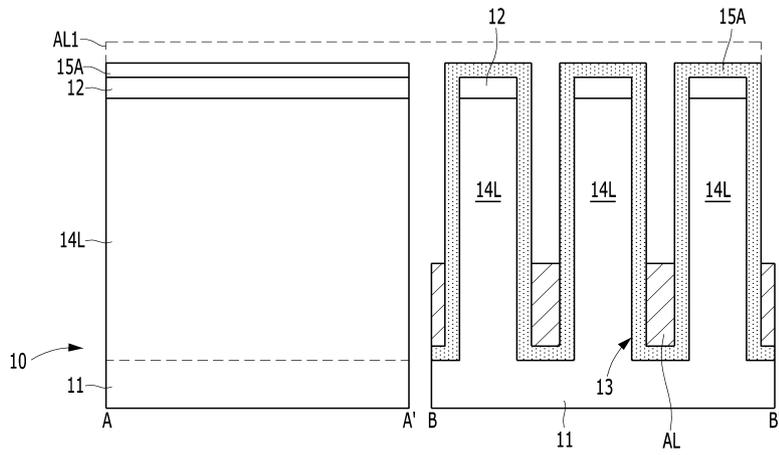
도면3f



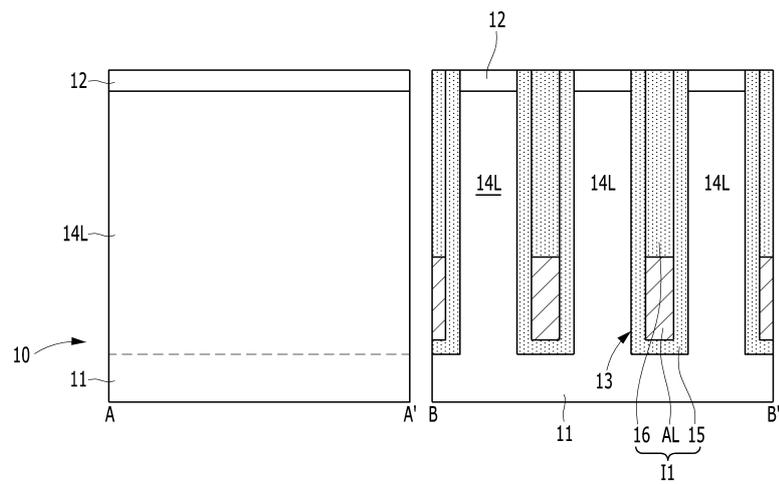
도면4a



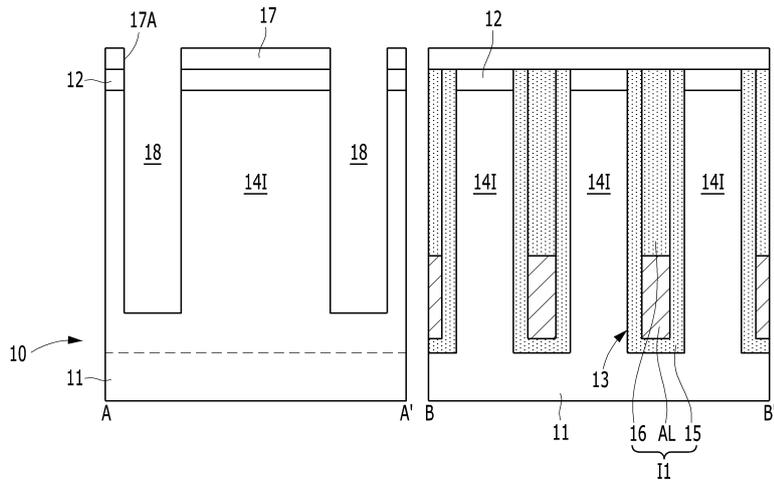
도면4b



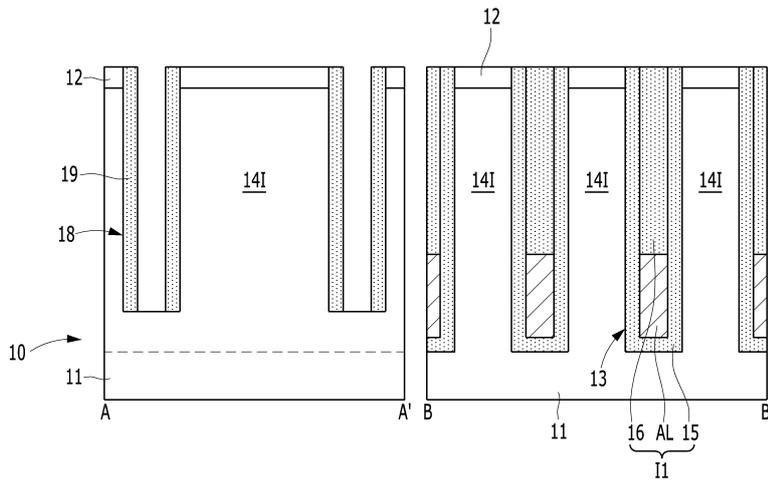
도면4c



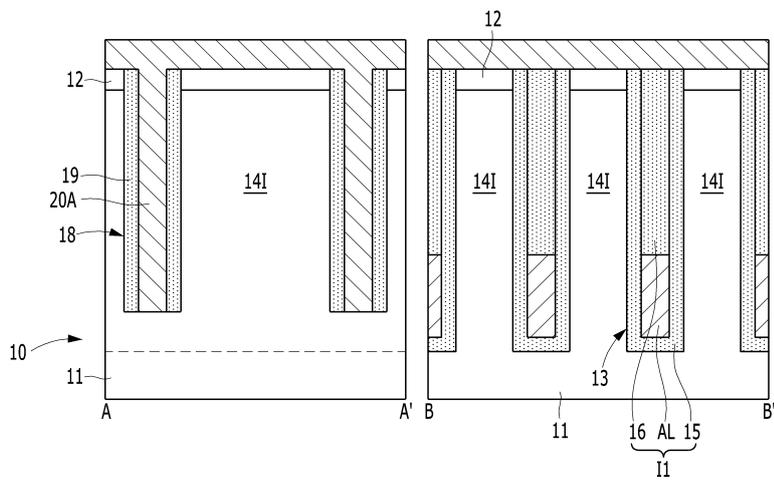
도면4d



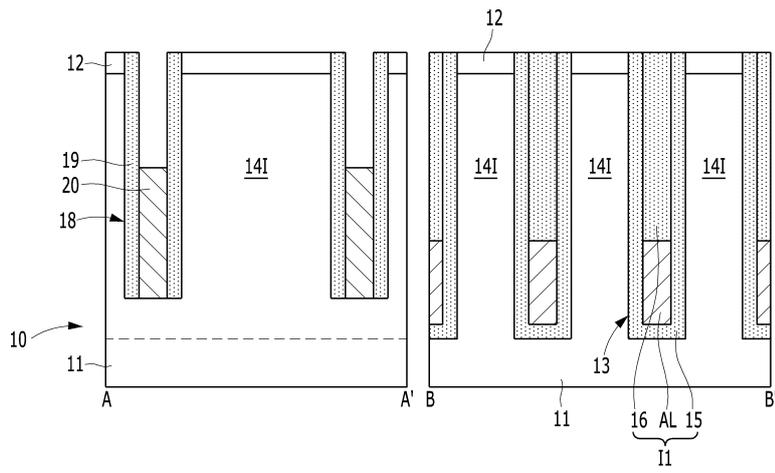
도면4e



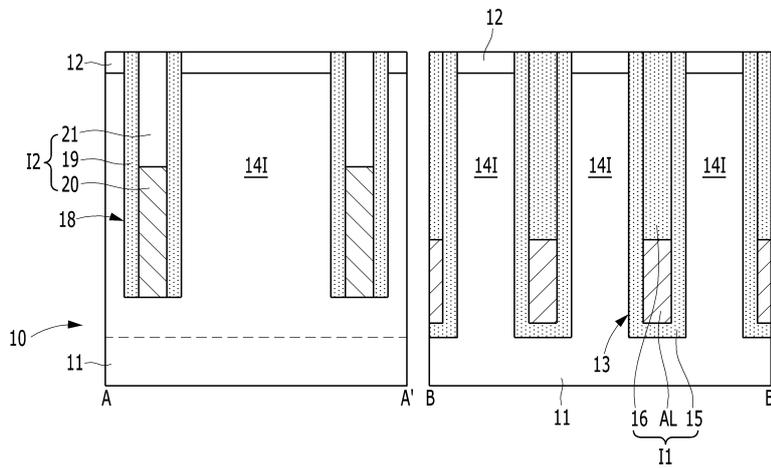
도면4f



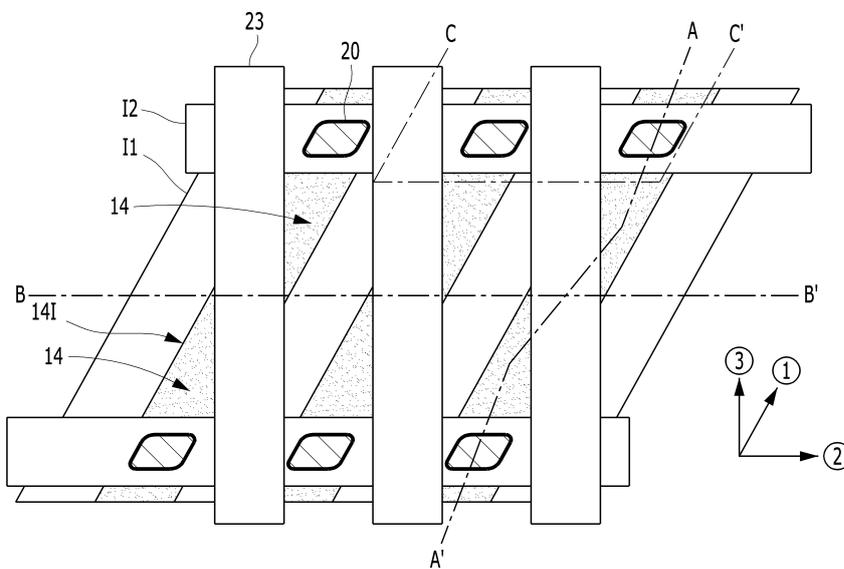
도면4g



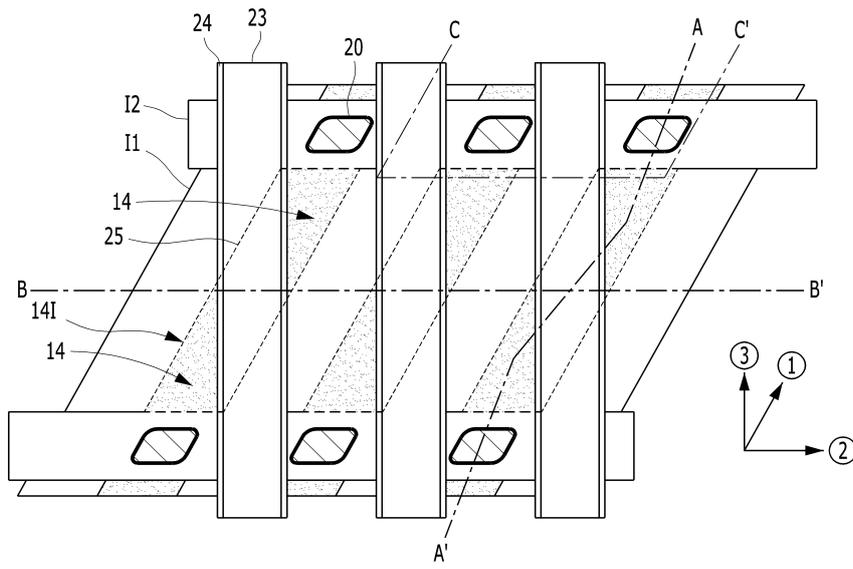
도면4h



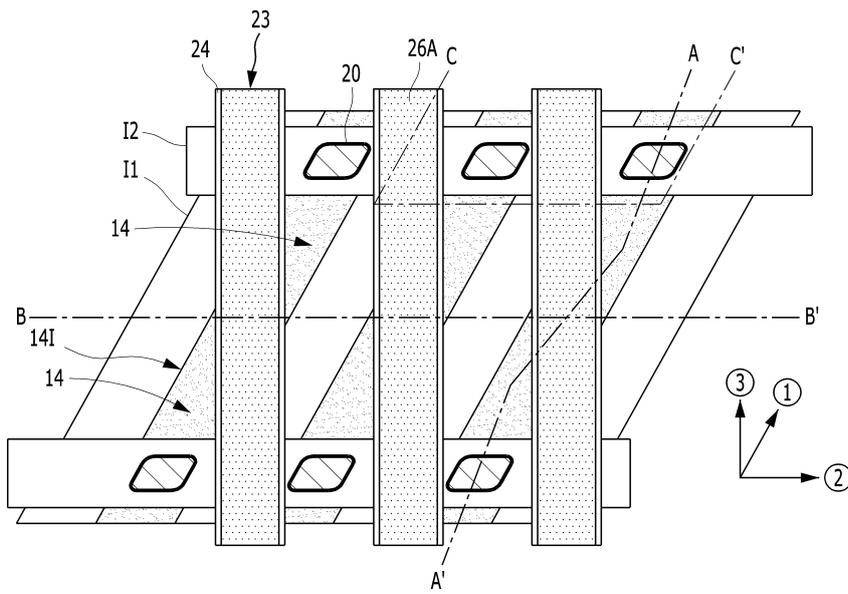
도면5a



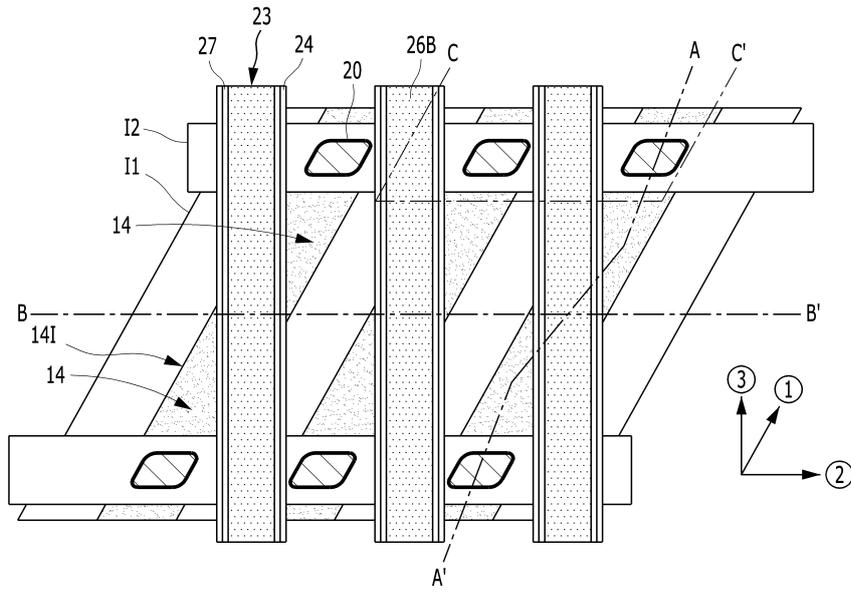
도면5b



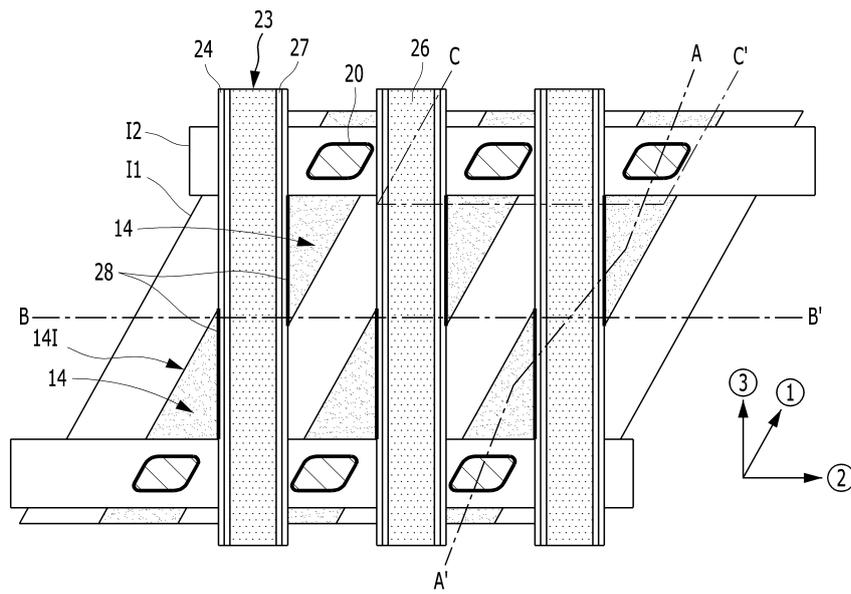
도면5c



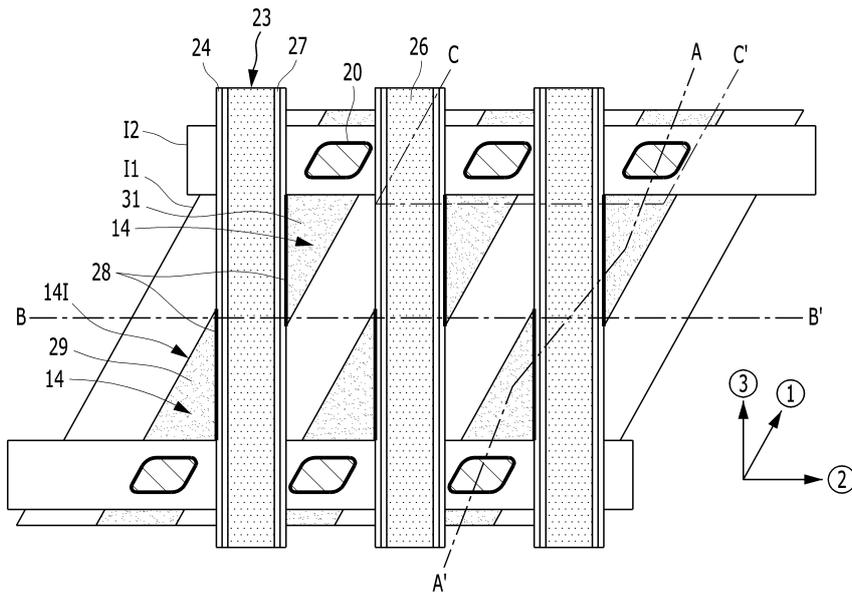
도면5d



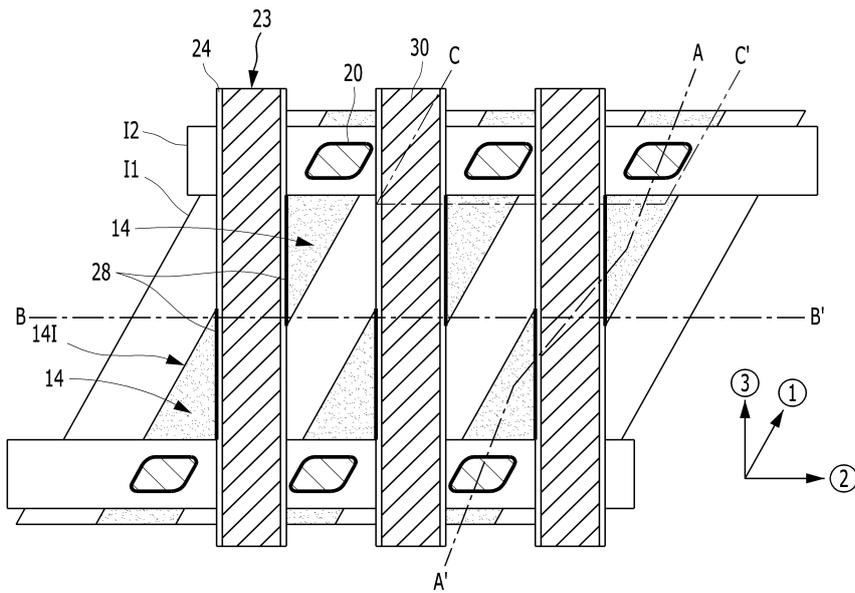
도면5e



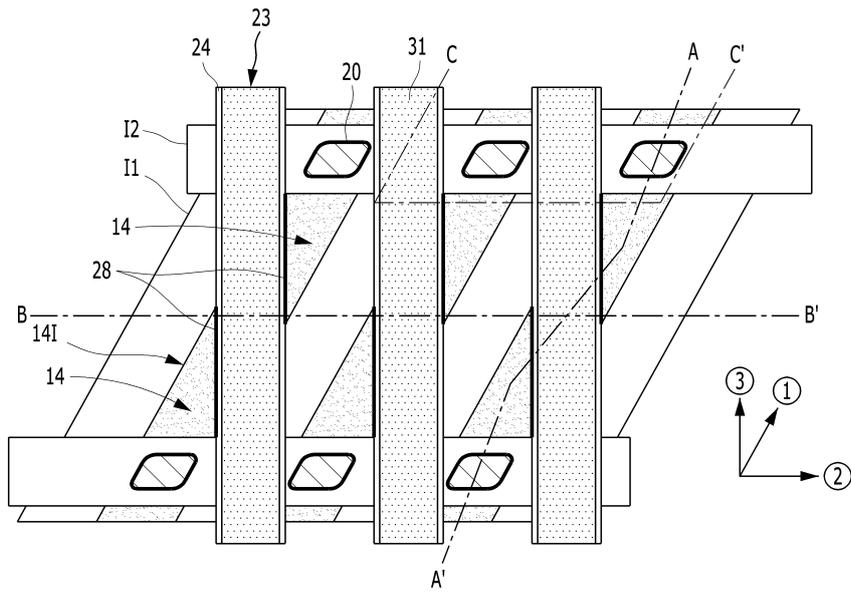
도면5f



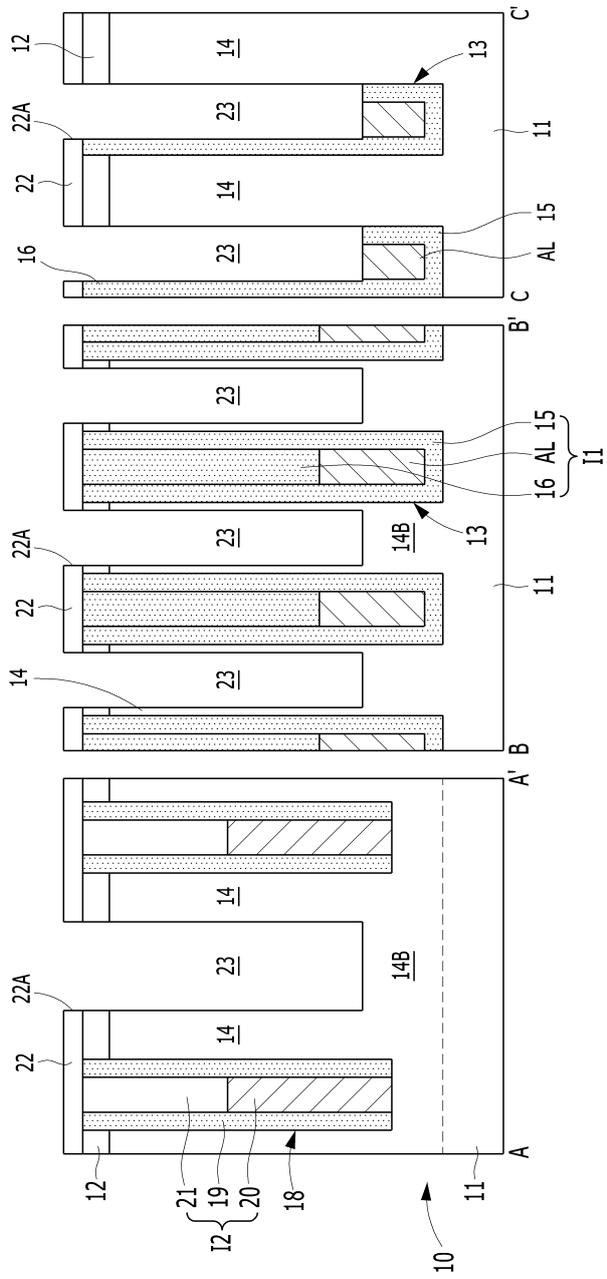
도면5g



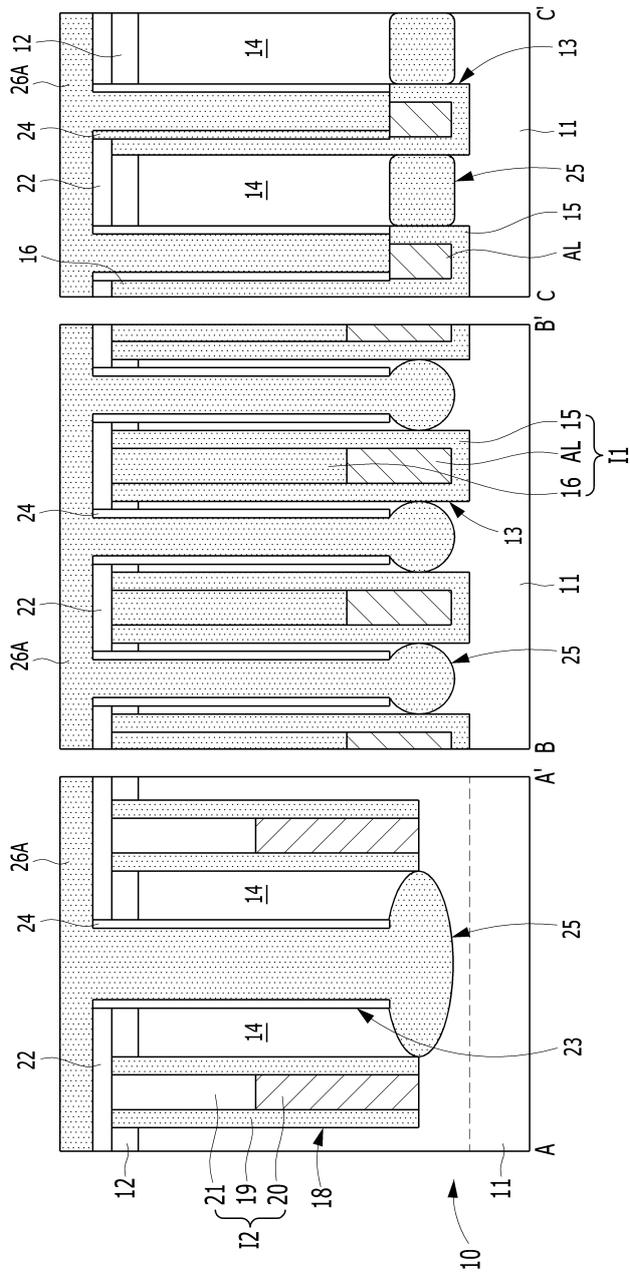
도면5h



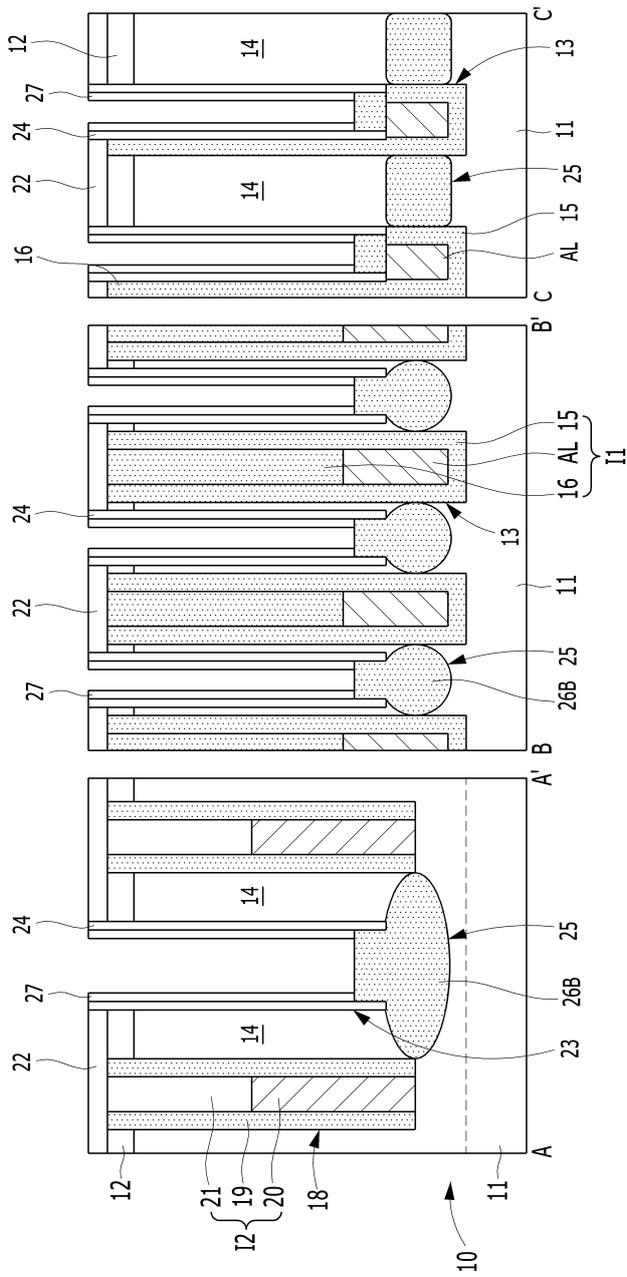
도면6a



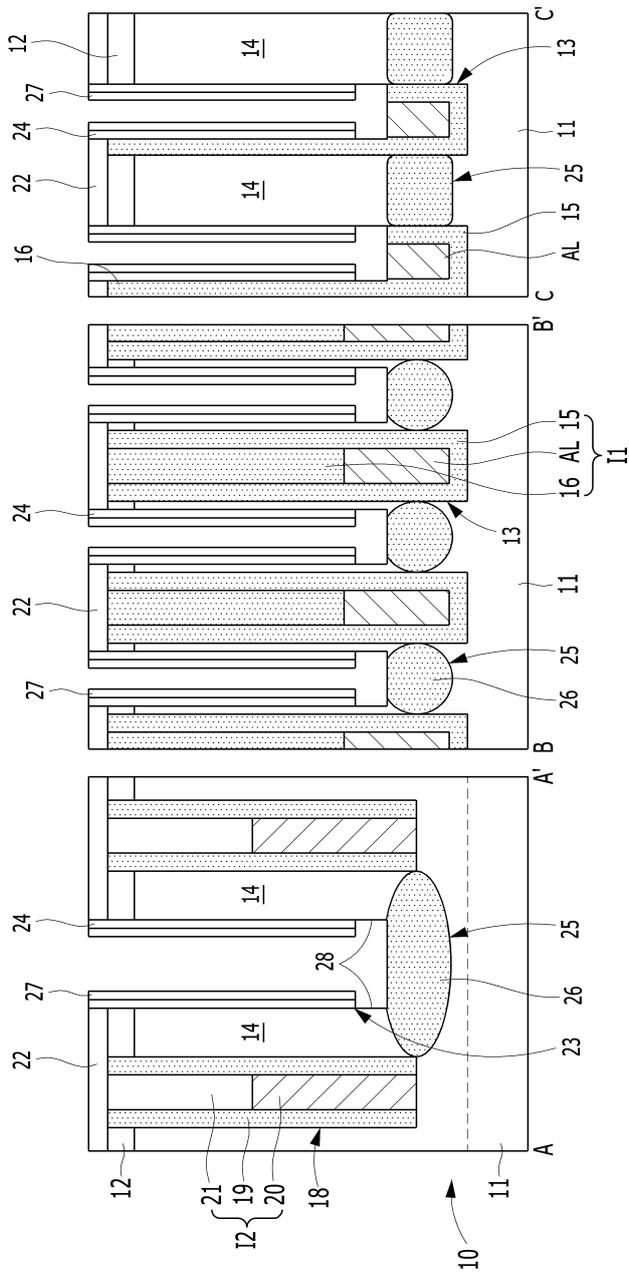
도면6c



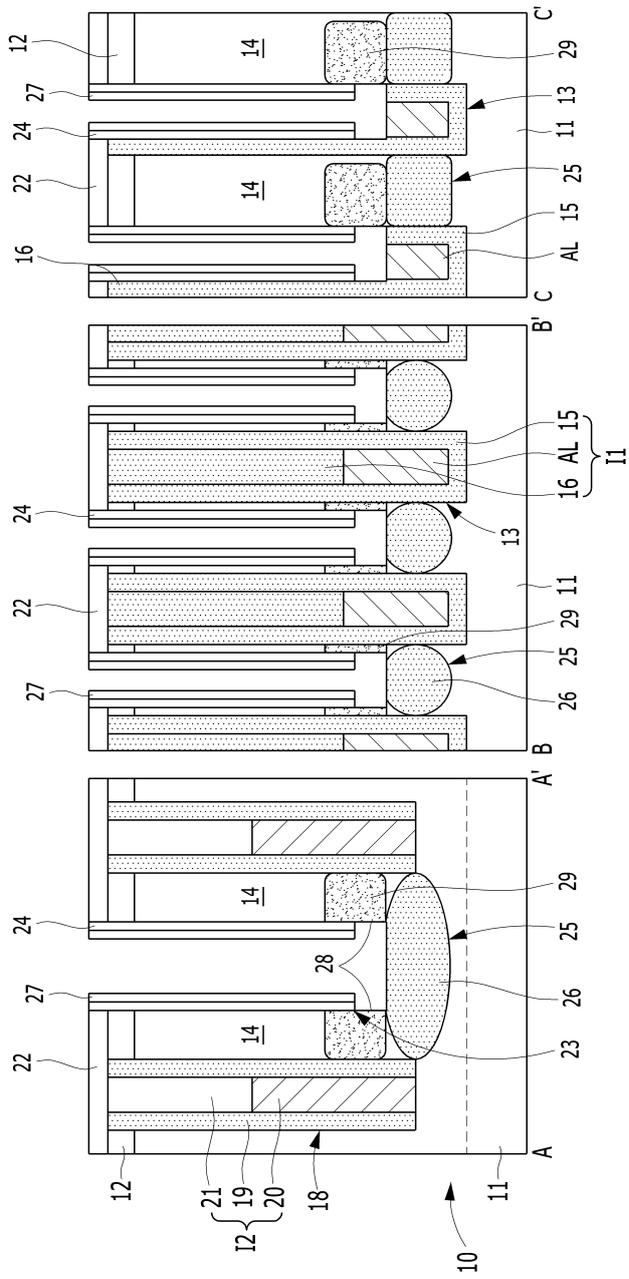
도면6d



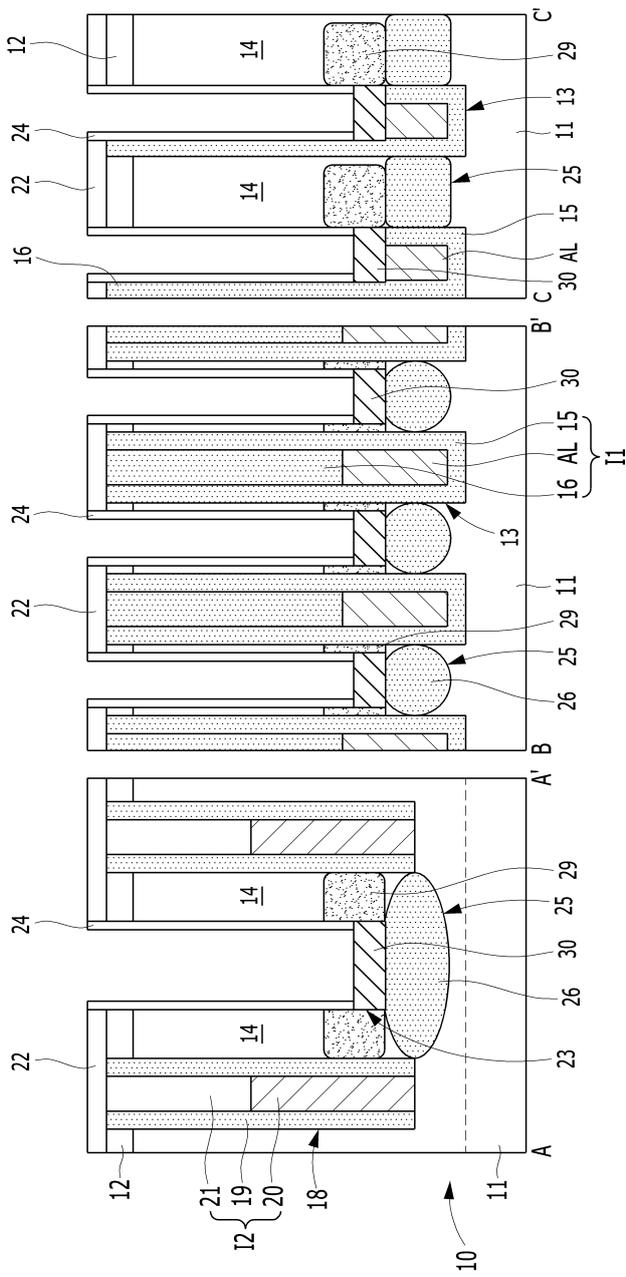
도면6e



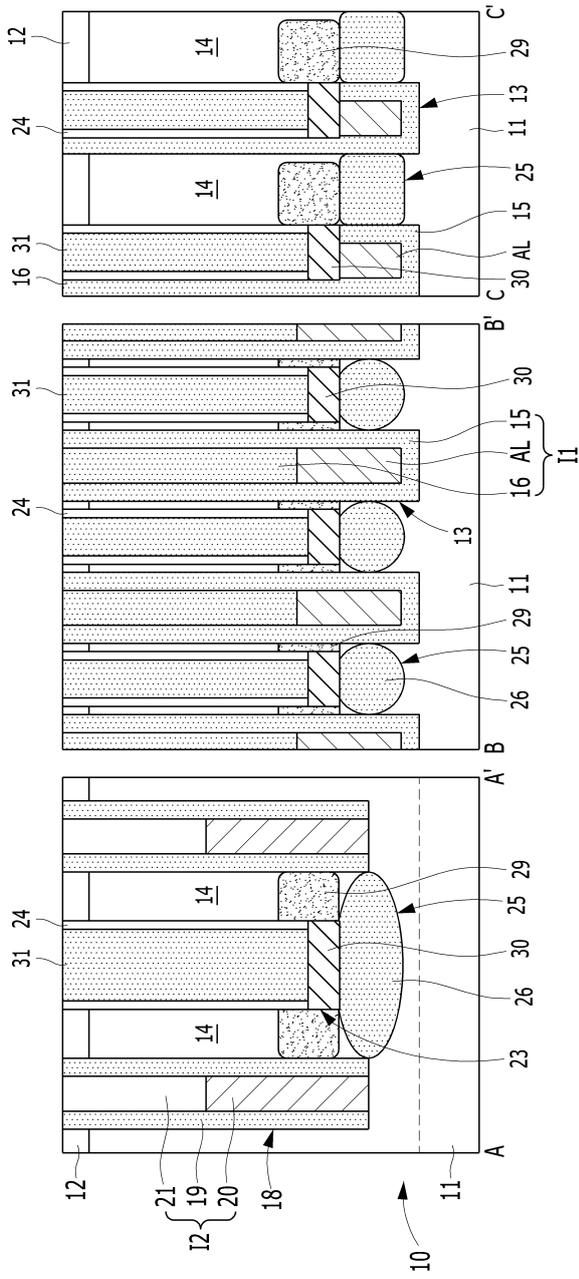
도면6f



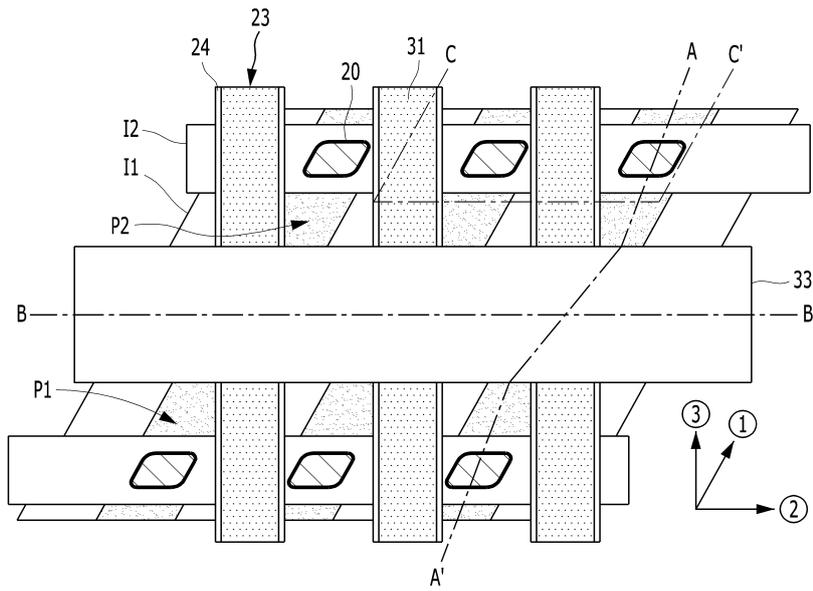
도면6g



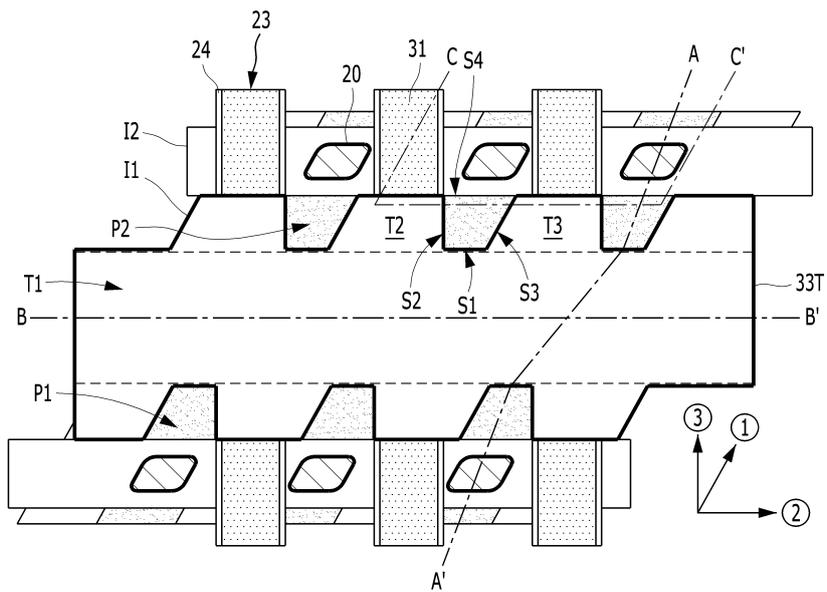
도면6h



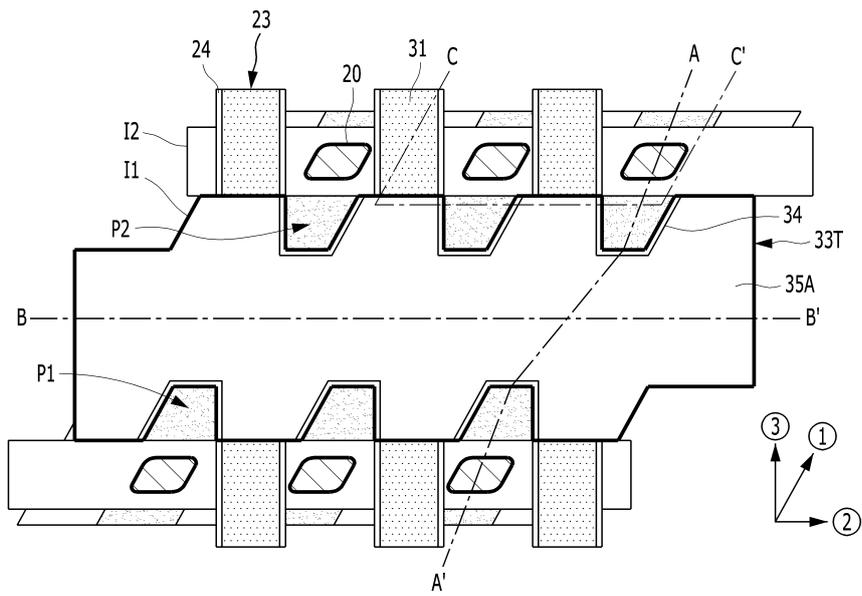
도면7a



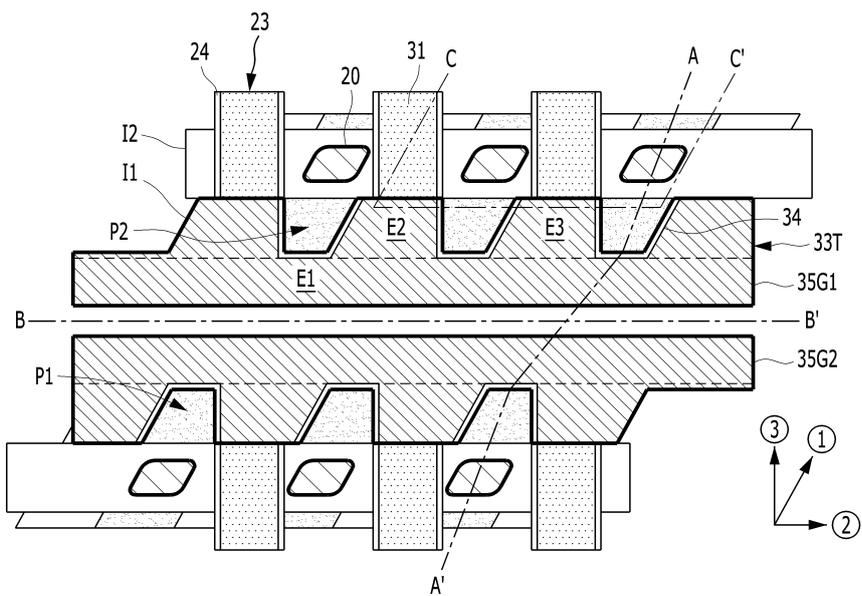
도면7b



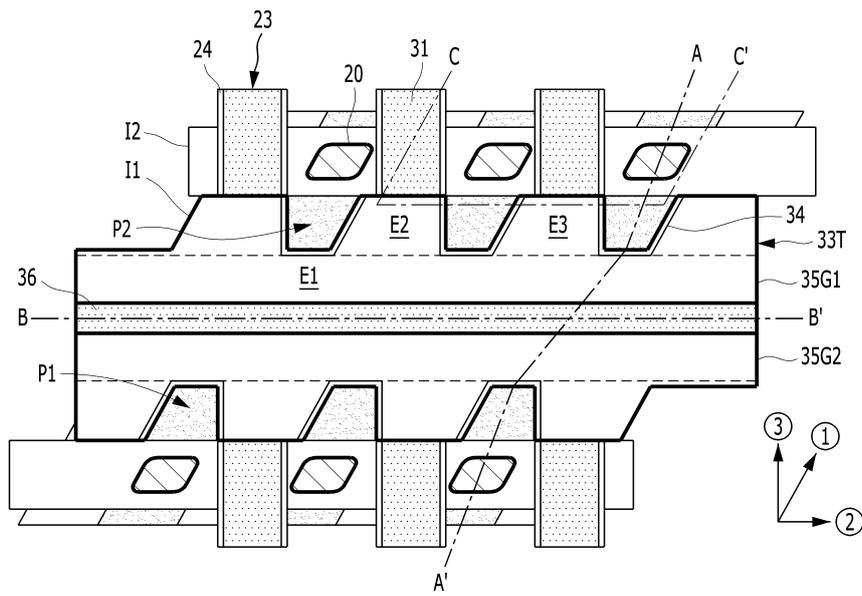
도면7c



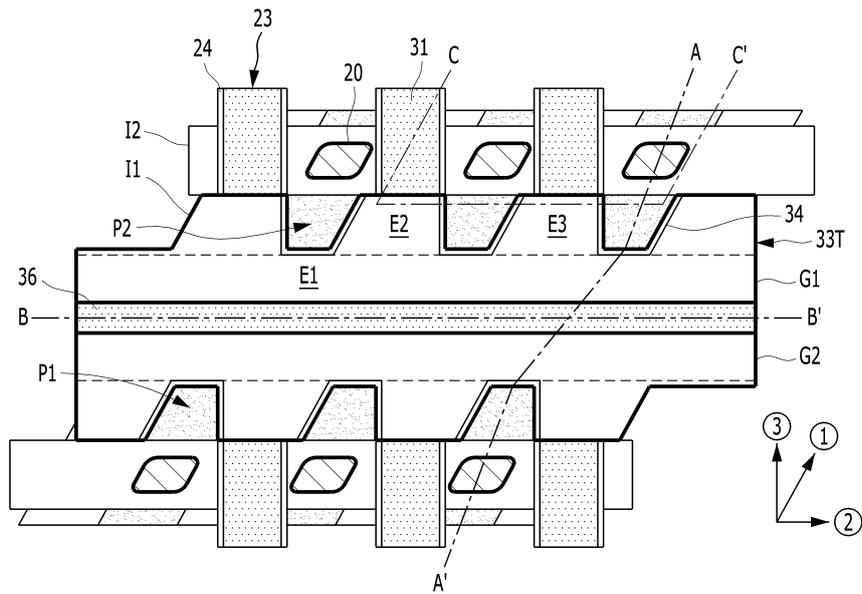
도면7d



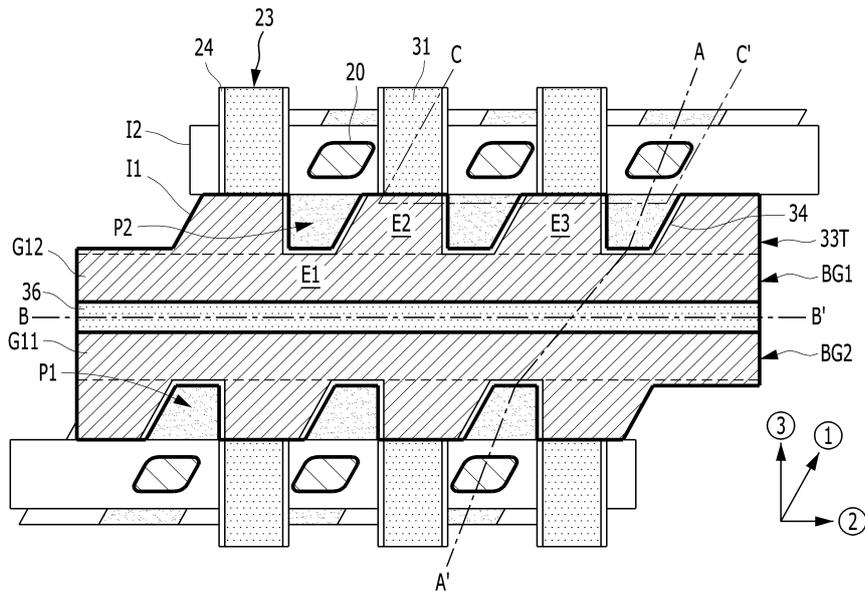
도면7e



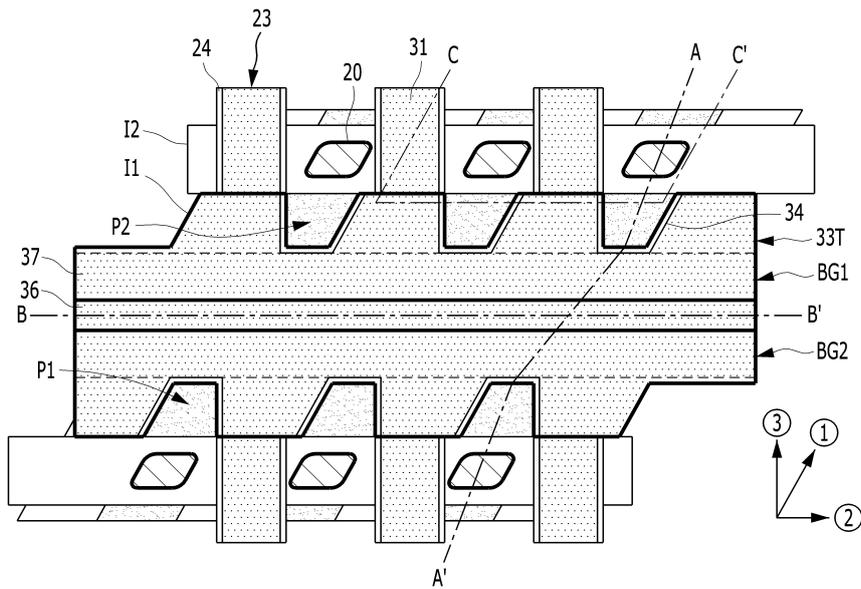
도면7f



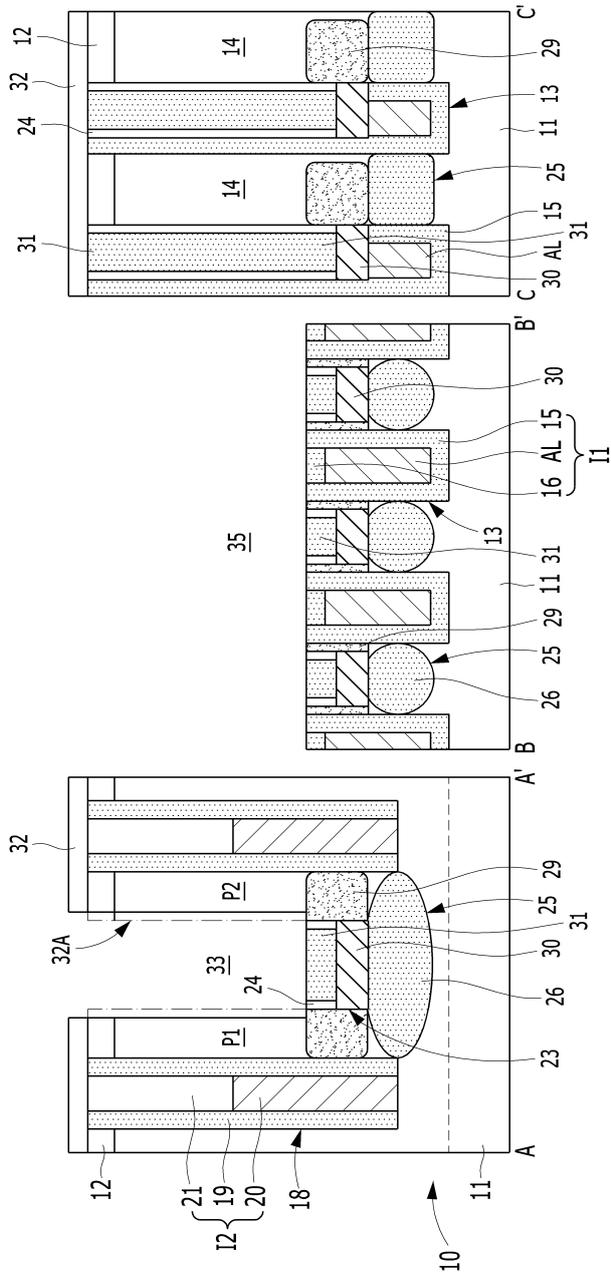
도면7g



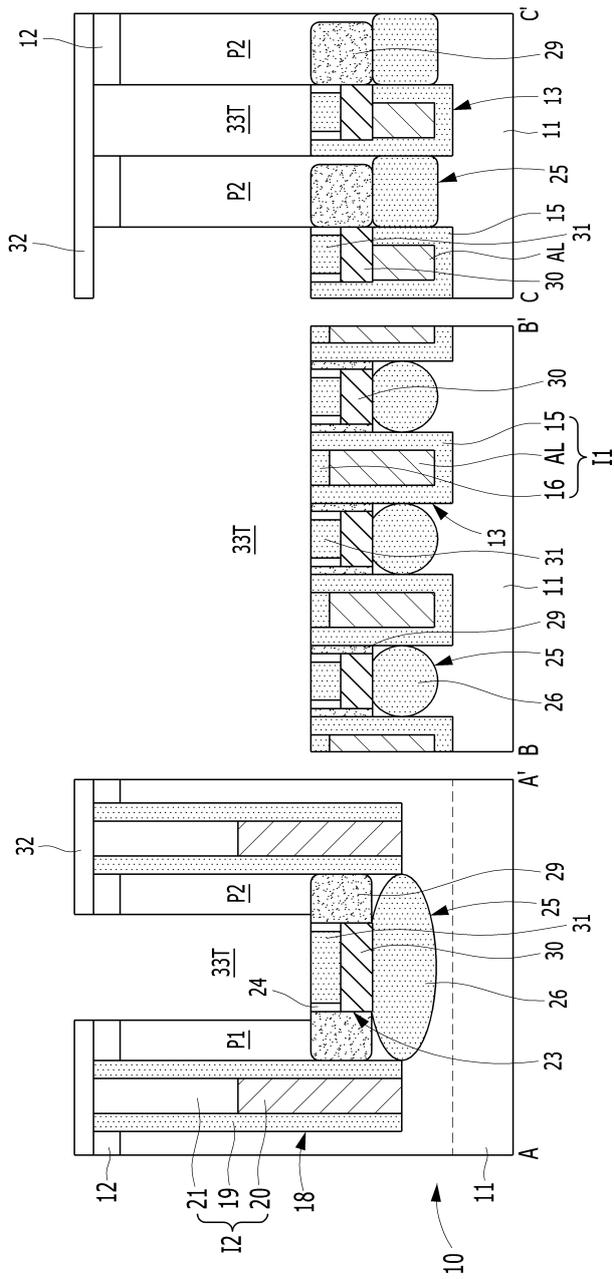
도면7h



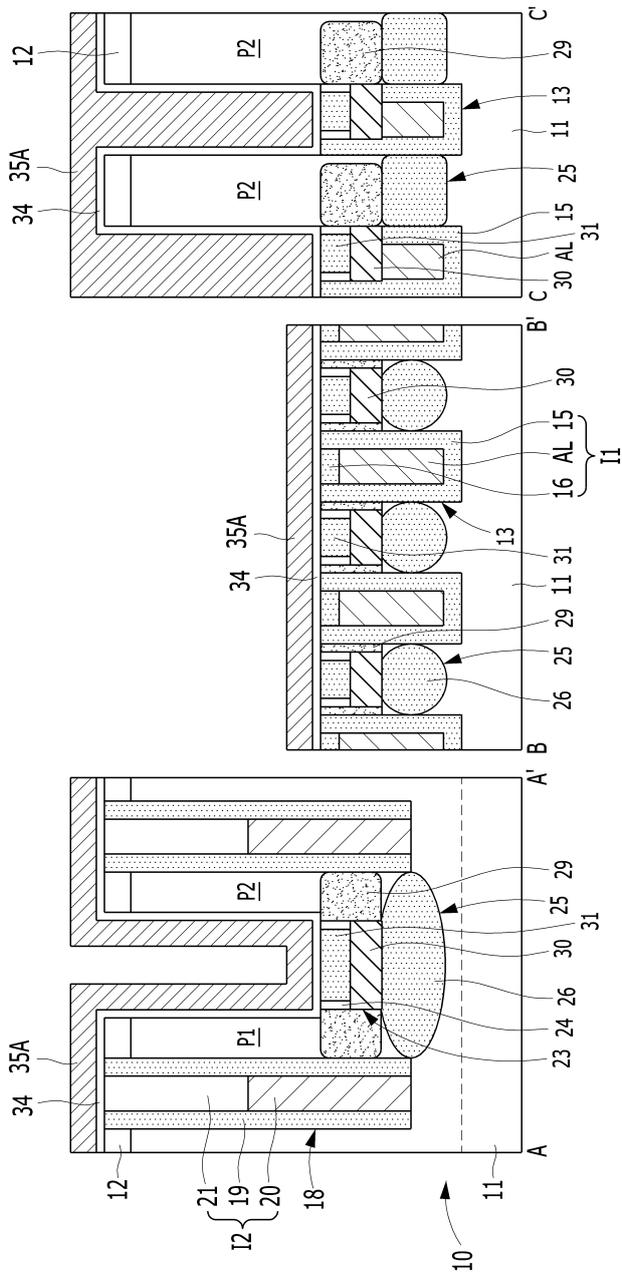
도면8a



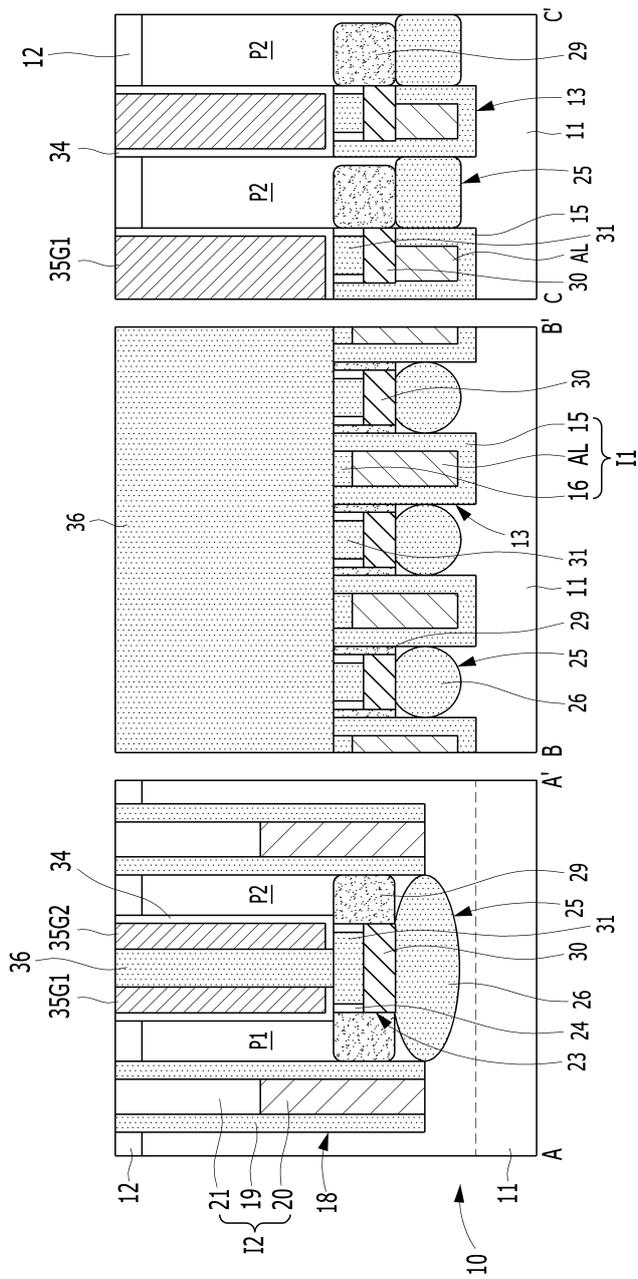
도면8b



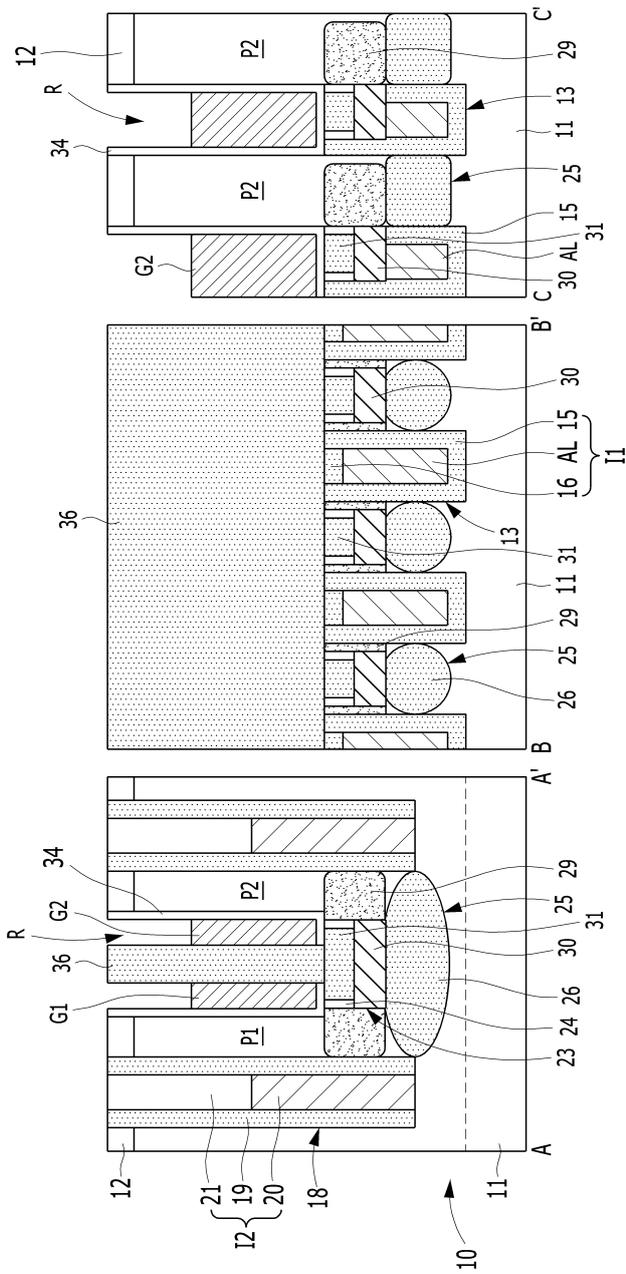
도면8c



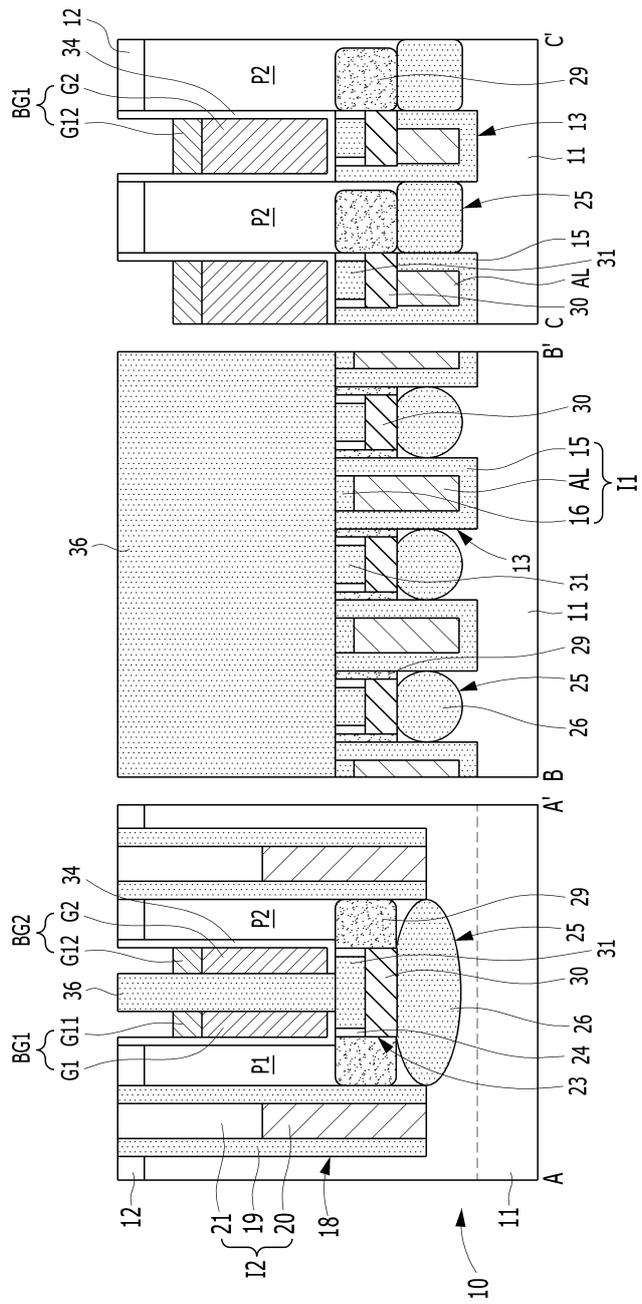
도면8e



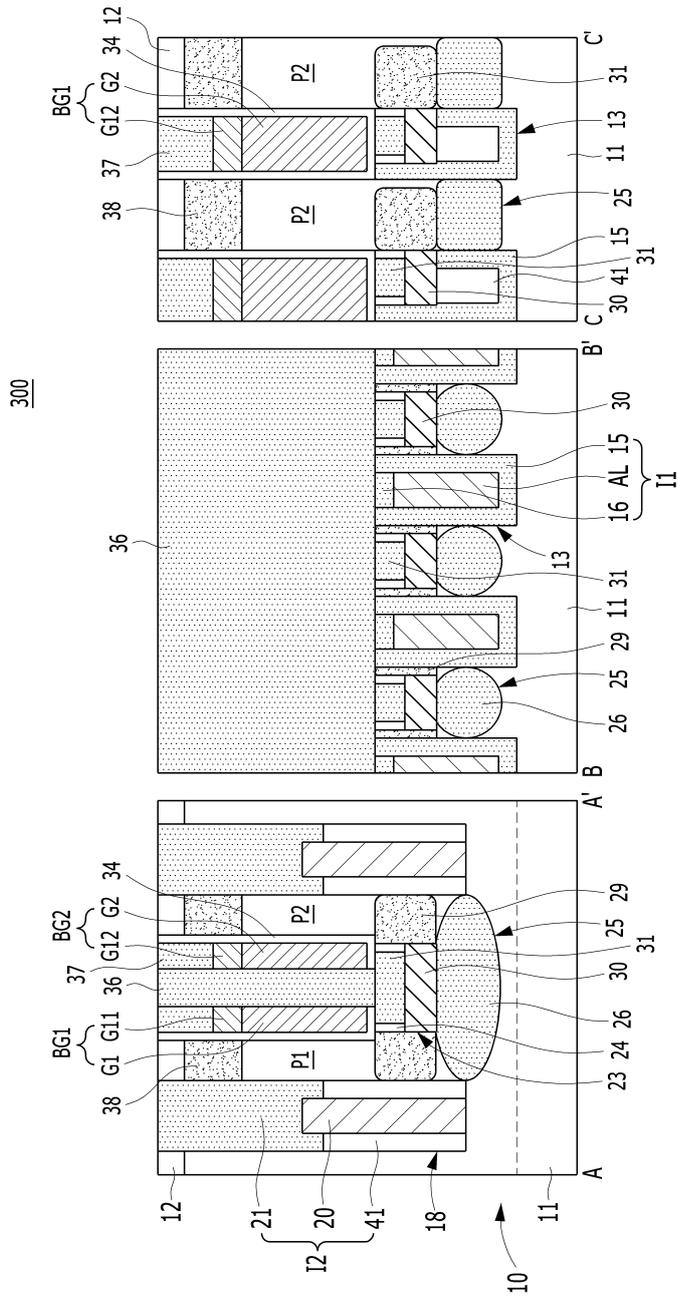
도면8f



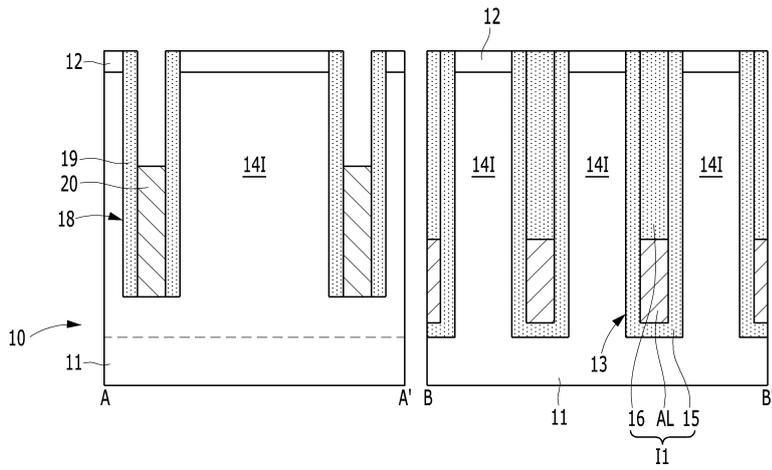
도면8g



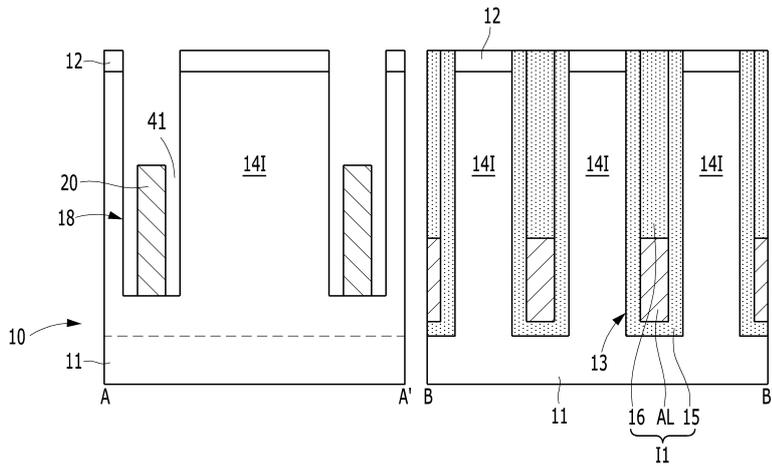
도면9



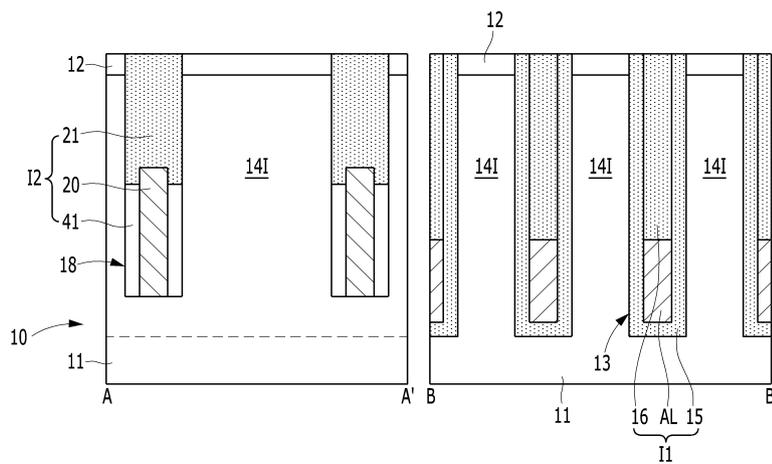
도면10a



도면10b

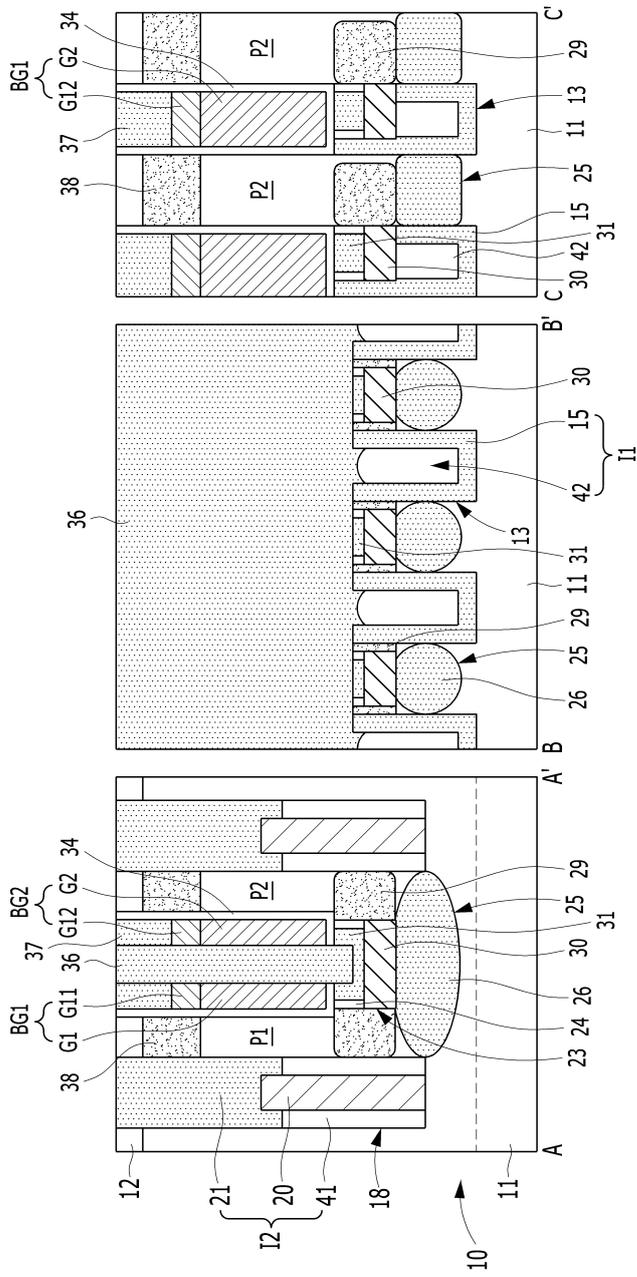


도면10c

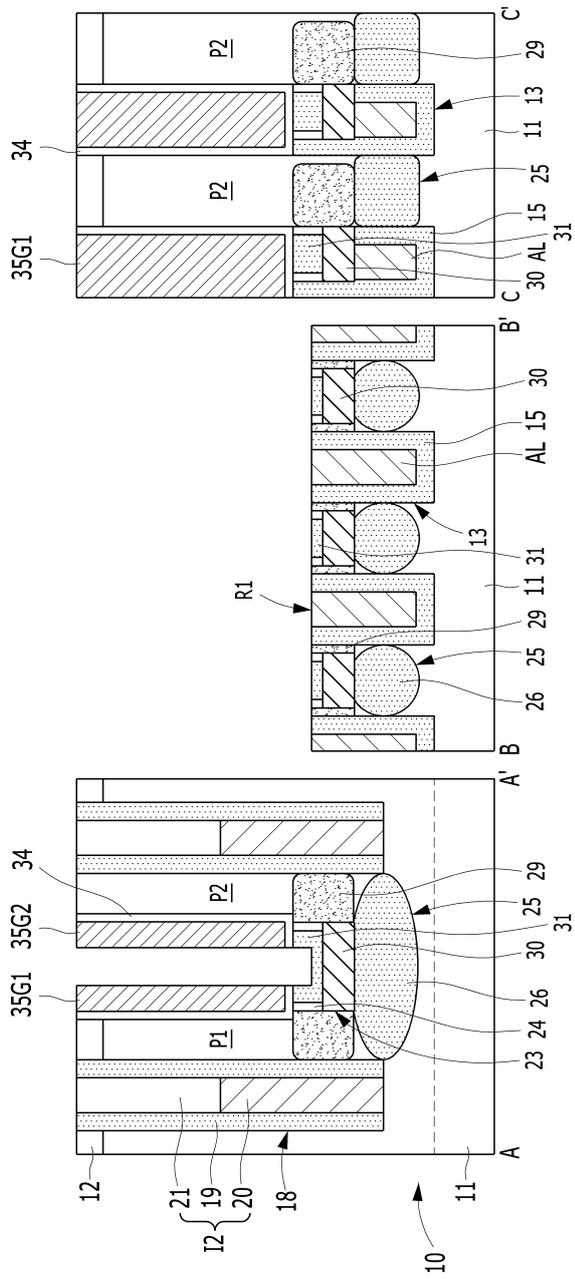


도면11

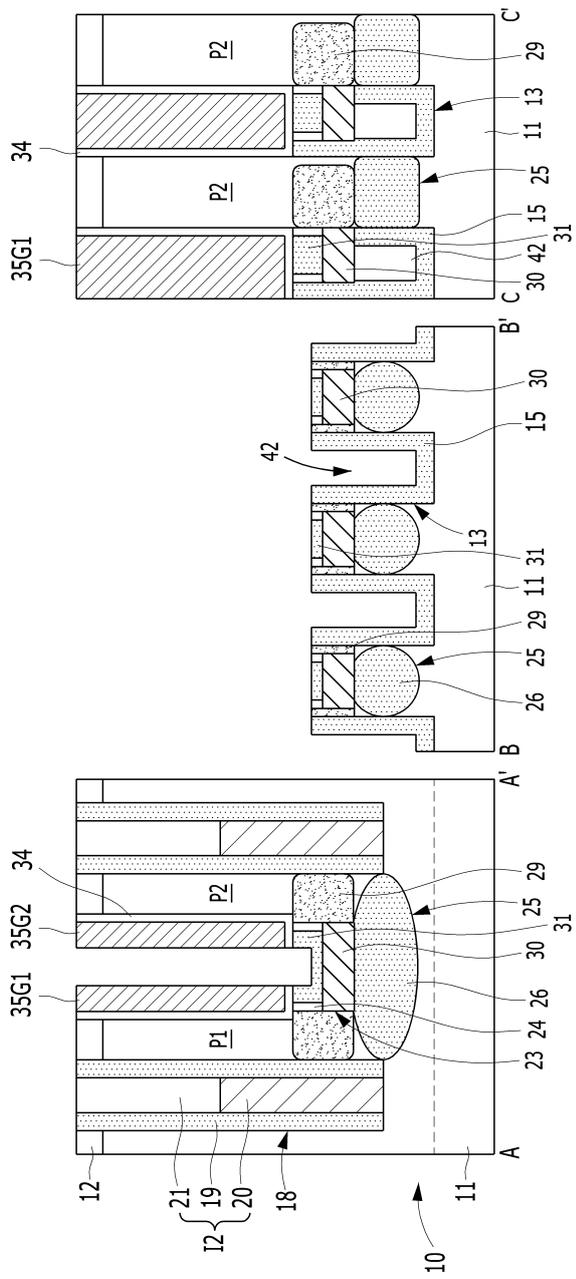
400



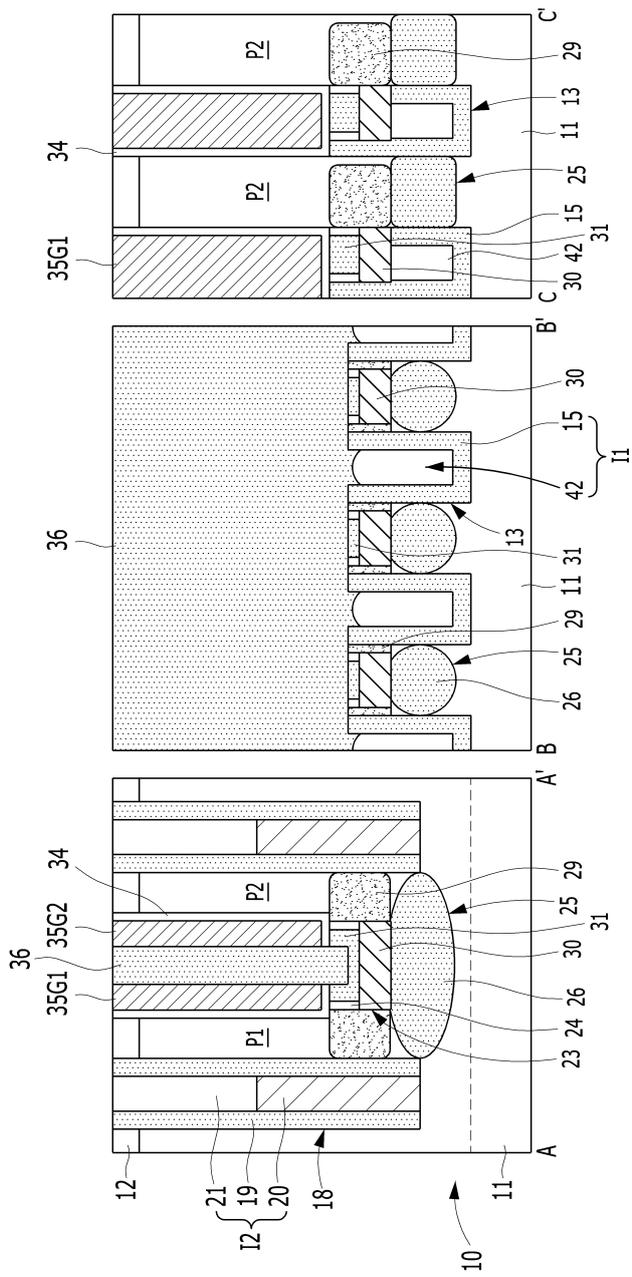
도면12a



도면12b



도면12c



도면12d

