

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁷ H01L 21/28	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년12월27일 10-0539443 2005년12월21일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2003-0044937 2003년07월03일	(65) 공개번호 (43) 공개일자	10-2005-0004671 2005년01월12일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자	매그나칩 반도체 유한회사 충북 청주시 흥덕구 향정동 1
(72) 발명자	류상욱 충청북도청주시상당구용암동부영2차아파트207-105
(74) 대리인	신영무

심사관 : 김상철

(54) 반도체 소자의 금속배선 형성방법

요약

본 발명은 반도체 소자의 금속배선 형성방법에 관한 것으로, 하부 금속배선의 측벽의 일부를 노출시킨 후 노출되는 부위에 도전성 물질로 스페이서를 형성함으로써 상하부 금속배선 간의 접촉면적을 향상시킬 수 있으며, 이로 인하여 금속배선의 신뢰성을 향상시켜 반도체 소자의 특성을 개선시킬 수 있는 금속배선 형성방법이 개시된다.

대표도

도 5

색인어

금속배선, 구리 금속층, 스페이서, 층간절연막 리세스

명세서

도면의 간단한 설명

도 1 내지 도 6은 본 발명의 바람직한 실시예에 따른 반도체 소자의 금속배선 형성방법을 설명하기 위하여 도시한 단면도들이다.

도 7은 종래기술에서 발생하는 기생 스페이서를 설명하기 위하여 도시한 TEM 사진이다.

<도면의 주요 부분에 대한 부호의 설명>

- 10 : 반도체 기판 12 : 제1 식각정지층
- 14 : 제1 층간절연막 16 : 제1 확산방지막
- 18 : 제1 하부 금속배선 20 : 제2 확산방지막
- 22 : 제2 층간절연막 24 : 제2 식각정지층
- 26 : 제3 층간절연막 28 : 제1 비아홀
- 30 : 제1 트렌치 32 : 제3 확산방지막
- 34 : 제2 하부 금속배선 36 : 스페이서
- 38 : 제4 확산방지막 40 : 제4 층간절연막
- 42 : 제3 식각정지층 44 : 제5 층간절연막
- 46 : 제5 확산방지막 48 : 상부 금속배선

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 금속배선 형성방법에 관한 것으로, 특히 상하부 금속배선 간의 접촉저항을 개선시킬 수 있는 반도체 소자의 금속배선 형성방법에 관한 것이다.

반도체 소자 또는 전자 소자 등에 있어서는, 금속배선형성 기술로서 절연막 상에 알루미늄(Al) 또는 텅스텐(W) 등과 같은 도전체막이 증착된 후, 상기 도전체막이 통상의 포토리소그래피(photolithography) 공정 및 건식식각(dry etching) 공정을 통해 패터닝됨으로써 금속배선이 형성되는 기술이 확립되어 이 분야에서 널리 이용되고 있다. 특히, 최근에는 반도체 소자 중에서 고집적화와 고성능화가 요구되는 로직(logic) 소자를 중심으로 해서 RC 지연을 줄이기 위한 일환으로 알루미늄 또는 텅스텐 대신에 구리(Cu)와 같이 비저항이 낮은 금속을 배선으로 이용하는 방법이 연구되고 있다. 상기 RC에서, 'R'은 배선 저항을 나타내고, 'C'는 절연막의 유전율을 나타낸다.

구리를 이용한 금속배선 형성공정에서는 알루미늄 또는 텅스텐에 비해 패터닝 공정이 어렵다. 이에 따라, 먼저 트렌치(trench)를 형성한 후 상기 트렌치가 매립되도록 금속배선을 형성하는 소위 '다마신(damascene)' 공정이 사용되고 있다. 현재 일반적으로 사용되는 공정으로는 싱글 다마신 공정(single damascene)과 듀얼 다마신 공정(Dual damascene)이 있다. 싱글 다마신 공정은 비아홀(via hole)을 형성한 후 도전체재료로 상기 비아홀을 매립하고 그 상부에 배선용 트렌치를 형성한 후 다시 배선재료로 상기 트렌치를 매립하여 금속배선을 형성하는 방법이다. 듀얼 다마신 공정은 비아홀과 배선용 트렌치를 형성한 후 배선재료를 연속적으로 비아홀과 배선용 트렌치를 매립하여 금속배선을 형성하는 방법이다. 이 외에도 다양한 방법들이 제시되고 있다.

그러나, 이러한 다양한 다마신 공정에서는 하부 금속배선과 상부 금속배선의 접촉시 도 7에 도시된 바와 같이 오정렬(mis align)에 의한 기생 스페이서(원형안)가 발생되고 있다. 이러한 기생 스페이서는 층간 절연막(inter metal dielectric)의 건식식각시 자연스럽게 발생되며 상하부 금속배선 간의 접촉면적을 감소시키는 원인이 되고 있다. 이러한 현상은 0.09 μm 이하의 테크놀로지(technology)에서는 비아홀의 지름이 0.16 μm 가 되지 않고, 오버레이 마진(overlay margin)이 30nm만 오정렬되는 경우 접촉되는 지름이 0.13 μm 정도가 되므로 심각한 배선 신뢰성의 저하를 초래하게 된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 바람직한 실시예는 상하부 금속배선 간의 접촉저항을 개선시키는데 그 목적이 있다.

발명의 구성 및 작용

본 발명의 일측면에 따르면, 제1 층간절연막을 포함한 반도체 구조물층이 형성된 반도체 기판이 제공되는 단계와, 상기 제1 층간절연막이 식각되고, 식각된 상기 제1 층간절연막이 매립되도록 하부 금속배선이 형성되는 단계와, 상기 하부 금속배선의 양측벽의 일부가 노출되도록 상기 제1 층간절연막이 리세스(recess)되는 단계와, 상기 단계에서 노출되는 상기 하부 금속배선의 양측벽에 스페이서가 형성되는 단계와, 전체 구조 상부에 제2 층간절연막이 증착되는 단계와, 상기 제2 층간절연막이 식각되고, 식각된 상기 제2 층간절연막이 매립되도록 상부 금속배선이 형성되는 단계를 포함하는 금속배선 형성방법이 제공된다.

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예에는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.

도 1 내지 도 6은 본 발명의 바람직한 실시예에 따른 반도체 소자의 금속배선 형성방법을 설명하기 위하여 도시한 단면도들이다. 여기서, 도 1 내지 도 6에 도시된 참조부호들 중 서로 동일한 참조부호는 동일한 기능을 하는 동일한 구성요소이다.

도 1을 참조하면, 소정의 반도체 구조물층(미도시)이 형성된 반도체 기판(10)이 제공된다. 여기서, 상기 반도체 구조물층은 트랜지스터, 메모리 셀, 캐패시터, 접합층 및 도전층 등이 포함될 수 있다. 이후, 상기 반도체 구조물층 상에는 후속 트렌치(미도시) 형성공정시 식각정지층(etch stop layer)(이하, '제1 식각정지층'이라 함)(12)이 증착된다.

이어서, 상기 제1 식각정지층(12) 상에는 저유전 물질로, 예컨대, PETEOS(Plasma Enhanced Tetra Ethyle Ortho Silicate), USG(Un-doped Silicate Glass), FSG(Fluorinated Silicate Glass), 실리콘 산화물, 불소 함유 실리콘 산화물 또는 불소 함유 산화물 등을 이용하여 절연막(이하, '제1 층간절연막'이라 함)(14)이 증착된다. 일반적으로, 불소 함유 실리콘 산화물은 실리콘 산화물보다 낮은 유전율을 가지며, 이러한 유전율은 불소 함유량을 조절하여 그 제어가 가능하다.

이어서, 전체 구조 상부에는 포토레지스트(photoresist)가 전면 코팅된 후, 포토 마스크(photomask)를 이용한 노광 및 현상공정을 순차적으로 실시하여 제1 층간절연막(14)의 일부가 노출되는 포토레지스트 패턴(photoresist pattern; 미도시)이 형성된다.

이어서, 상기 포토레지스트 패턴을 식각 마스크로 이용한 식각공정을 건식 또는 습식방식으로 실시하여 노출되는 제1 층간절연막(14) 및 제1 식각정지층(12)이 패터닝된다. 이로써, 반도체 기판(10)의 일부가 노출되는 트렌치가 형성된다. 이후, 상기 포토레지스트 패턴은 스트립 공정(strip)을 통해 제거된다.

이어서, 상기 트렌치 내부면(즉, 내측면과 저면)에 확산방지막(이하, '제1 확산방지막'이라 함)(16)이 형성된다. 예컨대, 제1 확산방지막(16)은 후속 제1 하부 금속배선(18)의 원자가 제1 층간절연막(14)으로 확산되는 것을 방지하기 위하여 Ta, TaN, TaAlN, TaSiN, TaSi₂, Ti, TiN, TiSiN, WN, Co 및 CoSi₂ 중 어느 하나로 형성될 수 있다.

이어서, 상기 트렌치가 매립되도록 제1 하부 금속배선(18)이 형성된다. 상기 제1 하부 금속배선(18)은 구리 금속층 대신에 Al, Pt(Platinum), Pd(Palladium), Ru(Rubidium), St(Strontium), Rh(Rhadium) 및 Co 중 어느 하나로 이루어진 금속층으로 형성될 수도 있다. 이때, 제1 하부 금속배선(18)은 전기도금 방식을 이용하여 형성할 수도 있다. 예컨대, 전기도금 방식을 이용하여 구리 금속층이 증착될 경우에는 구리 금속을 증착한 후, 어닐링 공정(annealing)을 실시하여 상기 구리 금속층이 결정화되어 형성된다.

도 2를 참조하면, 도 1에서 제1 하부 금속배선(18)이 형성된 후 전체 구조 상부에는 제2 확산방지막(20)이 형성된다. 이때, 제2 확산방지막(20)은 300Å 내지 1000Å의 두께로 형성된다. 이후, 전체 구조 상부에는 PETEOS, USG 또는 FSG로, 또는 저유전 물질로, 예컨대 실리콘 산화물, 불소 함유 실리콘 산화물 또는 불소 함유 산화물 등을 이용하여 절연막(이하, '제2 층간절연막'이라 함)(22)이 증착된다. 이후, 제2 층간절연막(22) 상에는 후속 제1 트렌치(30)를 형성하기 위한 식각공정시 식각정지층으로 기능하는 트렌치 식각정지층(이하, '제2 식각정지층'이라 함)(24)이 증착될 수 있다. 이때, 제2 식각정지층(24)은 SiC, SiN 또는 SiON 등으로 형성될 수 있다. 이후, 제2 식각정지층(24) 상에는 제2 층간절연막(22)과 동일한 저유전 물질들 중 어느 하나를 이용하여 절연막(이하, '제3 층간절연막'이라 함)(26)이 증착된다. 여기서, 제2 및 제3 층

간절연막(22 및 26)의 총 두께는 6000Å 내지 18000Å가 되도록 한다. 한편, 제3 층간절연막(26) 상에는 캡핑층(capping layer; 미도시)이 형성될 수 있다. 이때, 상기 캡핑층은 질화막, 질산화막 또는 SiC 등과 같이 탄소가 함유된 탄화막을 적어도 단층 또는 이 들이 복합구조로 이루어질 수 있다.

이어서, 선비아방식 또는 후비아방식으로 듀얼 다마신 공정을 실시하여 제1 비아홀(28)과 제2 트렌치(30)가 형성된다. 상기 선비아방식은 포토리소그래피 공정을 실시하여 우선적으로 제3 층간절연막(26), 제2 식각정지층(24) 및 제2 층간절연막(22)을 순차적으로 식각하여 제1 비아홀(28)이 형성된다. 그런 다음, 포토리소그래피 공정을 실시하여 제3 층간절연막(26) 및 제2 식각정지층(24)을 식각하여 제1 비아홀(28)보다 폭이 넓은 제1 트렌치(30)가 형성된다. 후비아방식은 포토리소그래피 공정을 실시하여 우선적으로 제3 층간절연막(26) 및 제2 식각정지층(24)을 식각하여 제1 트렌치(30)가 형성된다. 그런 다음, 포토리소그래피 공정을 실시하여 제2 층간절연막(22)을 식각하여 제1 트렌치(30)보다 폭이 좁은 제1 비아홀(20)이 형성된다.

한편, 도 2에 도시된 바와 같이 제2 식각정지층(24)은 제1 트렌치(30)와 동일한 폭으로 패터닝될 수 있고, 반도체 소자의 특성 및 공정상의 편의를 고려하여 설계시 제1 비아홀(28)과 동일한 폭으로 패터닝될 수도 있다. 또한, 제2 확산방지막(20)은 반도체 소자의 특성 및 공정상의 편의를 고려하여 제1 비아홀(28) 형성공정시 일부가 제 1 하부 금속배선(18) 상에 잔재되도록 식각되거나, 제1 하부 금속배선(18)이 노출되도록 식각될 수도 있다.

도 3을 참조하면, 도 2에서 제1 비아홀(28) 및 제2 트렌치(30)이 형성된 후, 이 들의 내부면(즉, 내측면과 저면)에는 확산 방지막(이하, '제3 확산방지막'이라 함)(32)이 형성된다. 예컨대, 제3 확산방지막(32)은 후속 제2 하부 금속배선(34)의 구리원자가 제2 층간절연막(22) 또는 제3 층간절연막(26)으로 확산되는 것을 방지하기 위하여 Ta, TaN, TaAlN, TaSiN, TaSi₂, Ti, TiN, TiSiN, WN, Co 및 CoSi₂ 중 어느 하나로 형성될 수 있다.

이어서, 상기 제1 비아홀(28) 및 제1 트렌치(30)가 매립되도록 전체 구조 상부에 구리 금속층이 증착된다. 여기서, 구리 금속층은 전기도금 방식을 이용하여 증착될 수도 있다. 즉, 구리 금속층은 제3 확산방지막(32)의 상에 구리 금속물질로 시드층(미도시)이 형성된 후 상기 시드층을 시드(seed)로 하여 시드층 상에 구리 금속물질이 증착됨으로써 형성된다.

이어서, CMP(Chemical Mechanical Polishing) 방식을 이용한 평탄화 공정을 실시하여 제1 비아홀(28) 및 제1 트렌치(30)가 매립되도록 구리 금속층이 평탄화되어 제2 하부 금속배선(34)이 형성된다. 상기 제2 하부 금속배선(34) 역시 구리 금속층 대신에 Al, Pt, Pd, Ru, St, Rh 및 Co 중 어느 하나로 이루어진 금속층으로 형성될 수도 있다.

도 4를 참조하면, 도 3에서 제2 하부 금속배선(34)이 형성된 후, 제3 층간절연막(26)은 BOE(Bufferd Oxide Etchant) 용액을 이용한 습식식각공정을 통해 리세스(recess; 원형안)된다. 이때, 상기 습식식각공정을 통해 제3 층간절연막(26)이 리세스되는 정도는 50Å 내지 1500Å가 된다. 이러한 결과는 상기 습식식각공정시 제2 하부 금속배선(34)을 이루는 구리 금속층이 BOE 용액에 대한 강한 식각저항 특성을 나타내기 때문이다. 이러한 과정을 통해 제2 하부 금속배선(34)의 양측벽의 일부가 노출된다. 도 4에는 제3 확산방지막(32)이 식각되어 제2 하부 금속배선(34)의 일부가 노출되도록 도시되어 있으나, 이는 일례로서, 제3 확산방지막(32)이 제2 하부 금속배선(34)에 잔류되거나, 일부만 제거될 수도 있다.

도 5를 참조하면, 전체 구조 상부에는 스페이서용 물질(미도시)이 증착된다. 이때, 상기 스페이서용 물질은 Ti, TiN, Ta, TaN, W 및 Al 등과 같이 10⁻³/ohm.m 이상의 전기 전도도를 갖는 금속물질을 사용하는 것이 바람직하다. 또한, 상기 스페이서용 물질은 50Å 내지 300Å의 두께로 증착되는 것이 바람직하다. 그런 다음, 식각마스크없이 블랭킷(blanket) 방식으로 건식식각공정을 실시하여 스페이서(36)가 형성된다. 이때, 상기 건식식각공정은 BCl₃, Cl₂, SF₆, HBr 등의 할로젠 족 원소가 포함된 가스를 주(main) 가스로 하고, N₂, O₂, Ar 또는 He 등의 첨가가스를 이용한다. 이 과정을 통해 상기 스페이서(36)는 도 4에서 노출되는 제2 하부 금속배선(34)의 양측벽에 형성된다.

한편, 스페이서(36)가 형성된 후, 상기 건식식각공정시 생성되는 부산물로 인한 금속배선 간의 브릿지(bridge)가 발생하는 것을 방지하기 위하여 세정공정이 실시될 수 있다. 이때, 세정공정은 HF, BOE 또는 SC-1(NH₄OH/H₂O₂/H₂O) 용액이 사용될 수 있다.

도 6을 참조하면, 도 3 및 도 4에서 진행된 공정을 반복적으로 실시하여 전체 구조 상부에는 제4 확산방지막(38), 제4 층간절연막(40), 제3 식각정지층(42), 제5 층간절연막(44), 제2 비아홀(미도시), 제2 트렌치(미도시), 제5 확산방지막(46) 및 상부 금속배선(48)이 형성된다. 상기에서 설명한 바와 같이, 상부 금속배선(48) 형성공정은 도 3 및 도 4에서 설명된 제2 하부 금속배선(34)과 동일한 공정으로 형성될 수 있다.

지금까지 설명한 본 발명의 바람직한 실시예에 따른 반도체 소자의 금속배선 형성방법은 제1 트렌치(30)와 제2 비아홀 간의 적층 오정렬이 발생될 경우 도전성 물질인 스페이서(36)를 통해 이를 보상함으로써 제2 비아홀을 형성하기 위한 제4 층간 절연막(40) 식각공정의 마진(margin)을 확보할 수 있다. 또한, 오정렬에 의한 제2 하부 금속배선(34)과 상부 금속배선(48) 간의 기생 스페이서를 방지되고, 이에 따라, 제2 하부 금속배선(34)과 상부 금속배선(48) 간의 접촉면적이 감소되는 것을 방지할 수 있다.

상기에서 설명한 본 발명의 기술적 사상은 바람직한 실시예에서 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명은 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술적 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

발명의 효과

상술한 바와 같이, 본 발명에 의하면, 상하부 금속배선 간의 접촉면적을 향상시킬 수 있으며, 이로 인하여 금속배선의 신뢰성을 향상시켜 반도체 소자의 특성을 개선시킬 수 있다.

(57) 청구의 범위

청구항 1.

- (a) 제1 층간절연막을 포함한 반도체 구조물층이 형성된 반도체 기판이 제공되는 단계;
- (b) 다마신 공정으로 상기 제 1 층간 절연막이 패터닝되고, 패터닝된 상기 제 1 층간 절연막이 매립되도록 구리 금속층이 형성되어 하부 금속배선이 형성되는 단계;
- (c) 상기 하부 금속배선의 양측벽의 일부가 노출되도록 BOE를 이용한 습식 식각 공정을 통해 상기 제 1 층간 절연막이 리세스(recess)되는 단계;
- (d) 상기 (c) 단계에서 노출되는 상기 하부 금속배선의 양측벽에 스페이서가 형성되는 단계;
- (e) 전체 구조 상부에 제2 층간절연막이 증착되는 단계; 및
- (f) 상기 제2 층간절연막이 식각되고, 식각된 상기 제2 층간절연막이 매립되도록 상부 금속배선이 형성되는 단계를 포함하는 금속배선 형성방법.

청구항 2.

삭제

청구항 3.

제 1 항에 있어서,

상기 (c) 단계에서 리세스되는 상기 제1 층간절연막의 두께가 50Å 내지 1500Å인 금속배선 형성방법.

청구항 4.

제 1 항에 있어서,

상기 스페이서용 물질이 Ti, TiN, Ta, TaN, W 및 Al 중 어느 하나로 형성되는 금속배선 형성방법.

청구항 5.

제 1 항에 있어서,

상기 스페이서용 물질이 적어도 $10^{-3}/\text{ohm.m}$ 이상의 전기 전도도를 갖는 금속물질로 형성되는 금속배선 형성방법.

청구항 6.

제 1 항에 있어서,

상기 스페이서용 물질이 50Å 내지 300Å의 두께로 증착되는 금속배선 형성방법.

청구항 7.

제 1 항에 있어서,

상기 스페이서는 블랭킷 방식으로 건식식각공정을 통해 형성되는 금속배선 형성방법.

청구항 8.

제 7 항에 있어서,

상기 건식식각공정이 BCl_3 , Cl_2 , SF_6 , HBr 의 할로젠 족 원소가 포함된 가스를 주 가스로 하고, N_2 , O_2 , Ar 또는 He 의 첨가 가스를 사용하는 금속배선 형성방법.

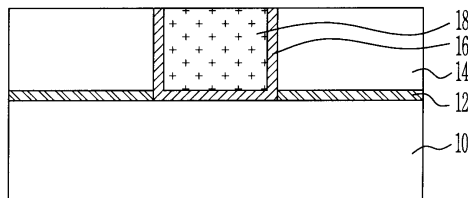
청구항 9.

제 1 항에 있어서,

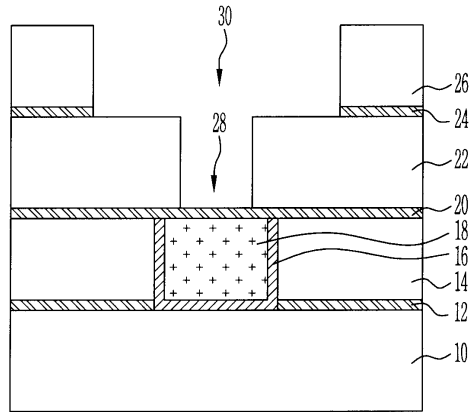
상기 (d) 단계후 상기 스페이서 형성공정시 생성되는 부산물로 인한 금속배선 간의 브릿지가 발생하는 것을 방지하기 위하여 세정공정이 실시되는 단계를 더 포함하는 금속배선 형성방법.

도면

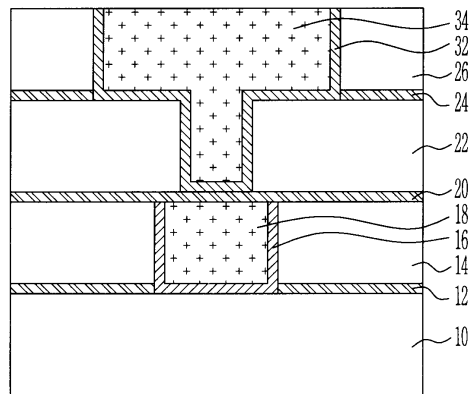
도면1



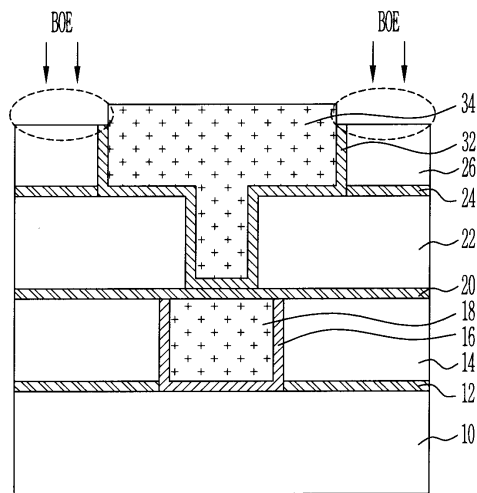
도면2



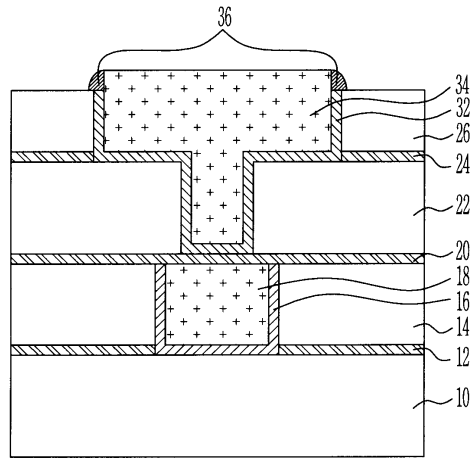
도면3



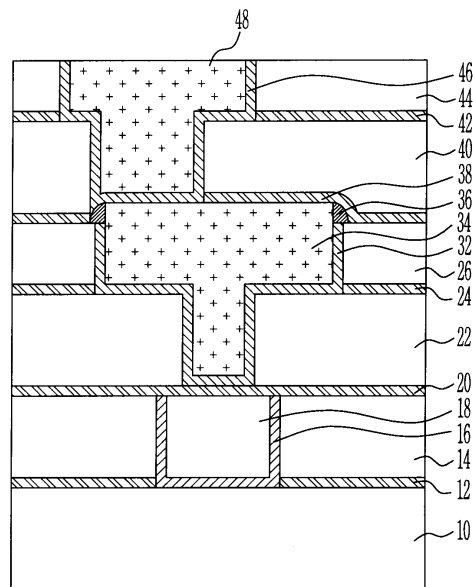
도면4



도면5



도면6



도면7

