

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3609513号

(P3609513)

(45) 発行日 平成17年1月12日(2005.1.12)

(24) 登録日 平成16年10月22日(2004.10.22)

(51) Int. Cl.⁷

F I

G06F 9/30

G06F 9/30 330B

G06F 1/06

G06F 15/78 510P

G06F 15/78

G06F 1/04 310A

請求項の数 5 (全 10 頁)

| | | | |
|--------------|------------------------|-----------|---------------------|
| (21) 出願番号 | 特願平7-320569 | (73) 特許権者 | 591016172 |
| (22) 出願日 | 平成7年12月8日(1995.12.8) | | アドバンスト・マイクロ・デバイス・ |
| (65) 公開番号 | 特開平8-278883 | | インコーポレイテッド |
| (43) 公開日 | 平成8年10月22日(1996.10.22) | | ADVANCED MICRO DEVI |
| 審査請求日 | 平成14年12月2日(2002.12.2) | | CES INCORPORATED |
| (31) 優先権主張番号 | 08/355302 | | アメリカ合衆国、94088-3453 |
| (32) 優先日 | 平成6年12月12日(1994.12.12) | | カリフォルニア州、サニペイル、ピー・ |
| (33) 優先権主張国 | 米国(US) | | オウ・ボックス・3453、ワン・エイ・ |
| | | | エム・ディ・プレイス、メイル・ストップ |
| | | | ・68(番地なし) |
| 前置審査 | | (74) 代理人 | 100064746 |
| | | | 弁理士 深見 久郎 |
| | | (74) 代理人 | 100085132 |
| | | | 弁理士 森田 俊雄 |

最終頁に続く

(54) 【発明の名称】 マイクロプロセッサ

(57) 【特許請求の範囲】

【請求項1】

クロック周波数を有するクロック信号を受取るよう構成されるクロック入力と、前記クロック入力に接続され、かつクロック選択信号に応答して前記クロック入力へ与えられる前記クロック周波数の選択された倍数の内部クロックを与える出力を有する倍数クロック回路と、

前記倍数クロック回路に接続され、前記選択された倍数が選択されたときに前記内部クロックの前記クロック周波数の逆数に対応する第2の期間よりも長い第1の期間で機能を行ないかつ結果を出力するように構成される内部回路と、

前記クロック選択信号と前記内部回路とに接続され、クロックサイクルの予め定められた数を計数するように構成される計数回路とを含み、前記計数回路は、クロックサイクルの前記予め定められた数が計数されたときに、内部回路からの出力が有効であることを示す信号を出力する、マイクロプロセッサ。

【請求項2】

クロック選択信号に従って複数のクロック周波数から選択される内部クロック周波数で内部で動作するマイクロプロセッサであって、

マイクロプロセッサ内部の、同一機能を行なうように各々が設計された複数の回路を含み、複数の回路の各々は、複数のクロック周波数の1つに対応して、対応するクロック周波数の最小数のクロックで同一機能を行ない、さらに

複数の回路の各々から出力を受取るように接続され、かつ内部クロック周波数に対応する

10

20

前記複数の回路の1つからの出力を選択するためのセレクタを含む、マイクロプロセッサ。

【請求項3】

クロックサイクルの前記予め定められた数は時間において前記第1の期間の n 倍に対応し、 n は整数であり、

前記第2の期間の $(n - 1)$ 倍は前記第1の期間よりも小さく、前記第2の期間の n 倍は前記第1の期間に等しいかまたはそれよりも大きい、請求項1に記載のマイクロプロセッサ。

【請求項4】

関連するクロック周波数を有するクロック信号を受取るよう構成されるクロック入力と、
前記クロック入力に接続され、かつクロック選択信号に 응답して前記クロック入力へ与えられる前記クロック周波数の選択された倍数の内部クロックを与える出力を有する倍数クロック回路とを含み、前記クロック周波数の前記選択された倍数の各々は、前記クロック周波数の前記対応する選択された倍数の逆数として定められる関連する内部クロック期間を有し、さらに

前記倍数クロック回路および前記クロック選択信号から前記内部クロック信号を受取るよう構成される内部回路を含み、前記内部回路は、前記選択された倍数の少なくとも1つが選択されたときに前記内部クロックの前記クロック周波数の前記選択された倍数の1つに対応する前記関連する内部クロック期間よりも長い期間で機能を行なうよう構成され、

前記内部回路は、前記クロック選択信号に 응답し、前記選択された倍数の前記1つに対応する複数の状態を経て動作し、

前記倍数クロック回路は、

前記クロック信号を受取って前記クロック信号を出力するよう構成される第1の部分と、前記クロック信号を受取り、前記クロック信号に第1の整数値を乗じ、その結果として関連する第1の乗算されたクロック周波数を有する第1の乗算されたクロック信号を出力するよう構成される第2の部分と、

前記クロック信号を受取り、前記クロック信号に前記第1の整数値とは異なる第2の整数値を乗じ、その結果として関連する第2の乗算されたクロック周波数を有する第2の乗算されたクロック信号を出力するよう構成される第3の部分と、

制御入力における前記クロック選択信号を受取るよう構成され、かつ第1の入力ポートにおける前記第1の部分からの前記クロック信号と、第2の入力ポートにおける前記第1の乗算されたクロック信号と、第3の入力ポートにおける前記第2の乗算されたクロック信号とを受取るように構成されるマルチプレクサとを含み、前記マルチプレクサは前記クロック選択信号の状態に従って前記クロック信号、第1の乗算されたクロック信号および第2の乗算されたクロック信号のうちの1つを出力し、

前記内部回路は、前記クロック周波数における第1の複数のクロック期間において前記機能を行なうよう構成される第1の部分と、前記第1の乗算されたクロック周波数における第2の複数のクロック期間において前記機能を行なうよう構成される第2の部分と、前記第2の乗算されたクロック周波数における第3の複数のクロック期間において前記機能を行なうよう構成される第3の部分とを有し、前記クロック選択信号の前記状態に基づいて前記機能を行なうために前記内部回路の前記第1の部分、第2の部分および第3の部分の1つが選択され、

第1の複数の数は前記第2の複数の数よりも小さく、前記第2の複数の数は前記第3の複数の数よりも小さい、マイクロプロセッサ。

【請求項5】

前記内部回路はキャッシュメモリであり、前記キャッシュメモリによって行なわれる前記機能はスヌープ機能と、照合機能と、アイドル機能とを含み、

前記キャッシュメモリは第1の状態、第2の状態および第3の状態の1つで動作可能であることにより、前記第1の状態においては、前記キャッシュメモリは前記スヌープ機能、前記照合機能および前記アイドル機能のすべてを前記クロック周波数の逆数として定めら

10

20

30

40

50

れる第1のクロック期間内に行ない、前記第2の状態においては、前記キャッシュメモリは前記第1の乗算されたクロック周波数の逆数として定められる第2のクロック期間内に前記スヌープ機能および照合機能を行なうが前記アイドル機能は行なわず、前記アイドル機能を続ぐ第2のクロック期間に行ない、第3の状態においては、前記キャッシュメモリは前記スヌープ機能のみを前記第2の乗算されたクロック周波数の逆数として定められる第3のクロック期間に行なって、前記照合機能を続ぐ第3のクロック期間に行ない、前記アイドル機能を次に続ぐ第3のクロック期間に行ない、前記クロック選択信号の前記状態は、前記キャッシュメモリの前記第1、第2および第3の状態のいずれが選ばれるかを定める、請求項4に記載のマイクロプロセッサ。

【発明の詳細な説明】

【0001】

【発明の分野】

この発明は、倍数クロック周波数オプションを有するマイクロプロセッサにおいて使用するための自己構成スピードパスに関する。より特定的にはこの発明は、倍数クロックマイクロプロセッサにおいてクロック選択信号にตอบสนองし、スピードパスの通常の動作能力よりも高い周波数を有するクロック信号で使用するためのスピードパスを構成する、再構成可能なスピードパスに関する。

【0002】

倍数クロックオプションを有するマイクロプロセッサにおいては、マイクロプロセッサ内で、外部クロックの倍数で複数のクロック周波数を出力する回路へ、たとえば、25MHzの第1の周波数の外部クロックが与えられる。こうして、このようなマイクロプロセッサへ与えられるクロックは、外部から与えられたクロック周波数の複数の倍数のうちの一つで内部クロックを出力する回路を有する。たとえば25MHzのクロックであれば、ユーザは25MHz、50MHzまたは75MHzの内部クロックを選択できるだろう。内部クロックは、マイクロプロセッサの個々の機能回路により用いられる。システム全体の性能を最良にするクロック倍数を選択することが一般に望ましい。

【0003】

そのような従来の装置と関連して問題が生じるのは、クロック周波数が高い倍数のうちの一つで選択されるときである。なぜなら特定の機能回路が、その機能を行なうのに1をこえるクロックサイクルを要求することがあるからである。この結果スピードパスをもたらす。ここで用いられるスピードパスとは、プロセッサ内の他のパスよりも解決に時間がかかるパスである。そのようなスピードパスは、プロセッサの内部クロック周波数に上限を課す。この問題を克服するために速いスピードパスを設計するのにかなりの努力がされてきた。なぜなら最悪のスピードパスのタイミングが、結局、マイクロプロセッサの最高動作周波数を制限するからである。

【0004】

【発明の概要】

したがって、この発明の目的は、自己構成スピードパスを用いることにより、従来の倍数クロックマイクロプロセッサに関連した上述の欠点を克服することである。

【0005】

この発明の別の目的は、倍数クロックオプションのあるマイクロプロセッサにおいてクロック構成を用いてスピードパスを再構成し、倍数クロックオプションを有する従来のマイクロプロセッサで経験した動作周波数におけるスピードパスの限度を避けることである。

【0006】

これらおよび他の目的を達成するために、外部クロックを受取るためのクロック入力と、クロック選択信号にตอบสนองして外部クロックの周波数の選択された倍数で内部クロックを与える倍数クロック回路と、可能な内部クロック倍数のいずれかに対応する期間よりも長い期間をかけて機能を行なう内部回路とを有するマイクロプロセッサが提供される。内部回路は、クロック選択信号にตอบสนองして選択された倍数に対応する複数の状態を経るよう動作する。

10

20

30

40

50

【0007】

この発明の別の実施例に従えば、外部クロックおよびクロック選択信号を受取るように接続され、クロック選択信号に従って複数のクロック周波数の1つで内部クロックを作り出す内部信号生成回路と、クロック選択信号の第1の値に従って第1の数のラッチステージで、クロック選択信号の第2の値に従って第2の数のラッチステージで機能を行なう状態機械として構成される内部回路とを含むマイクロプロセッサが提供される。

【0008】

別の実施例に従えば、クロック入力と、クロック選択信号にตอบสนองして、クロック入力に与えられる周波数の選択された倍数で内部クロックを与える出力を有する倍数クロック回路と、選択された倍数の1つが選択されるとき、内部クロックに対応する第2の期間よりも長い第1の期間で機能を行ないかつ結果を出力する内部回路と、クロック選択信号と内部回路とに接続され、クロックサイクルの予め定められた数を計数するように構成された計数回路とを含み、クロックサイクルの予め定められた数が計数されると、計数回路が内部回路からの結果が有効であることを示す信号を出力するマイクロプロセッサが提供される。

10

【0009】

この発明の特徴は、以下に明らかにされた好ましい実施例の詳細な説明および添付図面から理解されるであろう。

【0010】

【好ましい実施例の詳細な説明】

20

図1は、この発明の実施例による倍数クロック周波数オプションを有するマイクロプロセッサを示す。図1では、外部クロックCLKがマイクロプロセッサ1に与えられる。逡倍周波数内部クロック生成回路3がマイクロプロセッサ1内に設けられ、これは外部クロックCLKの周波数の倍数の出力を与える。図1で示された例では、外部クロックCLKは25MHzのクロック周波数で与えられる。内部クロック周波数生成回路は、信号線5に沿ってクロック選択信号とともに外部クロックCLKを受取る。内部クロック周波数は、マイクロプロセッサ1の所望される用途に従って選択されるだろう。このように、倍数クロックオプションを有するマイクロプロセッサの究極の用途に従って、内部クロック生成回路3の部分の1つ、3a、3bまたは3cが選択される。内部クロック生成回路は、それぞれ25MHz、50MHzまたは75MHzを出力する。クロック選択線5に沿ってクロック選択信号を受取るマルチプレクサ7により、この選択がなされるだろう。

30

【0011】

内部プロセッサクロックは、信号線9へのマルチプレクサの出力である。信号線9上の内部クロックは、次いで個々の機能回路11、13および15に与えられる。既に述べたように、外部クロック周波数は25MHzであるが、信号線9上のこの内部クロック周波数は、25MHz、50MHzまたは75MHzのいずれでもあり得る。図1は、クロック周波数の3倍までの倍数を示すが、クロック周波数倍数のいずれの数でも用いることができることに注目すべきである。上で述べたように、機能回路11、13および15が対応できる限りもっとも高い周波数を選択し、マイクロプロセッサの性能を向上させることが望ましい。しかしながらこの場合、クロック周波数が高い倍数の1つであるとき、機能回路11、13、15のうち1つまたは2つ以上がその機能を果たすのに1をこえるクロックサイクルを要するかもしれない。

40

【0012】

高い内部クロックスピードに対応するために、この発明の最初の実施例において、スピードパス回路はクロック倍数の数が状態の数であるような状態機械として構成することができる。たとえば、回路11が50MHzの速度で1クロックサイクルにおいて成し遂げられる機能を行なうと仮定しよう。したがって、もしマルチプレクサ7により出力される信号線9上の内部クロックが、25MHzの3aまたは50MHzの3bのいずれかとして選択されるならば、回路11は正しく動作するだろう。50MHzで動作し、かつ1クロックサイクル内で機能を完了する回路17aを用いることで、これは成し遂げられる。

50

【0013】

一方、もしユーザが、信号線9上の内部クロックとして75MHzの3cを選択するような信号をクロック選択線5上に送信すると、ブロック17a内の50MHz回路は、1クロックサイクル内ではその処理を完了しないだろう。それゆえ、2つのサイクルを用いる必要があるだろう。75MHzで2つのクロックサイクルで同じ機能を行なう回路17bを用いることで、これは成し遂げられる。回路17aまたは17bのいずれを用いるべきかは、信号線5に供給されるクロック選択信号に基づいて決定される。こうして、マイクロプロセッサ内の他の回路は高い周波数(たとえば75MHz)で動作し続け、一方で機能ブロック11の回路は2つのクロックパルスをとるよう再構成され、実質的に37.5MHzで動作する。

10

【0014】

図2から図5は、図1と関連して、複数状態機械の状況でのこの発明による第2の実施例を示す。第2の実施例では、機能回路13は、メモリ19に対するスヌープ機能を行なうキャッシュである。スヌープ機能とは、キャッシュメモリ13がメモリ19を照合し、キャッシュ内の情報が最新のものかどうかを決定するとき用いられる。スヌーピング機能の詳細はこの発明の一部ではなく、一般に周知である。したがって、スヌーピングのさらなる詳細な説明はここでは提供されない。

【0015】

図2は、状態機械のさまざまな構成を示す目的のために倍数周波数クロック(すなわち25MHz、50MHzおよび75MHz)を示している。図3は、25MHzでの状況を示すが、この場合キャッシュ13がメモリ19をスヌープし、キャッシュの内容に対して情報を比較または照合し、かつさらにアイドル時間を有するのに十分な時間がある。したがってこのキャッシュは、25MHz、すなわち外部クロックの1倍の単一状態機械である。

20

【0016】

図4は、たとえば50MHzで存在し得る第2の状況を示す。この例では、第1のクロックサイクルの間に、スヌーピングおよび照合動作が完了し、第2のクロックサイクルの間は、スヌープ作業はアイドルである。この例において、このキャッシュマシンは、外部クロックの周波数の2倍に対応する2状態機械として構成された。

【0017】

図5は、たとえば、75MHzで存在する第3の状況を示す。この例では、スヌープを完了するのに1クロックサイクルが要求され、第2のクロックサイクルで照合を完了し、その状態機械は第3のクロックサイクルの間アイドルである。このように外部クロックの3倍では、状態機械は3状態を有する。アイドル周期の間、他の活動が可能であることに注目すべきである。このように、図4および図5において、アイドル周期の間、状態機械を他の何らかのタスクのために用いることが可能である。さらに、もし図5において、スヌーピングおよび照合が1クロック周期で行なわれるとすれば、2つのアイドル状態が他の用途のために利用できるだろう。

30

【0018】

図6および図7は、この発明の第3の実施例を示す。図6は、入力 I_1 および I_2 を有する従来の乗算回路30aを示す。乗算回路30aは、 I_1 および I_2 を受取る乗算器31と乗算器31からの出力を受取る加算器32を含む。乗算器31および加算器32の機能は組合されて、乗算回路30の出力33を作り出す。25MHzでは、1クロックサイクルで完全な乗算を完了することが可能で、結果として単一状態機械をもたらすであろう。しかしながら、50MHzでは、1サイクルで乗算器31における乗算および加算器32における加算の両方を完了させることはできないだろう。したがって、この従来の回路は、内部動作周波数を25MHzまでに制限するスピードパスになり得る。

40

【0019】

図7は、この発明の実施例に従った乗算回路30bを示す。従来の回路は、50MHzでの動作を完了させることはできないだろうが、第1サイクルで乗算、かつ第2サイクルで

50

加算を実行することが可能であるかもしれない。図7で示されるように、乗算器31からの出力は、第1クロック周期の間ラッチ34に与えられる。クロック選択信号5の状態によって加算器32および36が次いで用いられ、マルチプレクサ38は、加算器32(25MHz状態)または加算器36(50MHz状態)からの出力のいずれかを選択する。こうして、乗算回路30bは、クロック選択信号5にตอบสนองして正しく自己構成し、内部クロックの周波数によって1クロックサイクルまたは2クロックサイクルのいずれかで乗算を実行する。

【0020】

図8は、実行保持を用いるこの発明のさらに別の実施例を示す。図8の実施例において、図1の双対回路17aおよび17bは、正しい周波数のために自己構成する単一回路に置換えられる。図8では、内部クロックの第1位相₁でラッチ46へラッチされ、次のクロックの第2位相₂でトリガされる出力ラッチ45へラッチされる入力を回路は受取る。

【0021】

図8で示される実施例で、スピードパスが用いられるとき、クロック構成は計数器40へロードされ、この計数器は、スピードパスの解決に必要な内部クロックサイクルの数を計数する。これはクロック選択信号5にตอบสนองしている。計数器40が、正しいクロックの数を計数しスピードパスを解決するまで、信号線42の状態はANDゲート43の出力が低いままとなるようになっている。クロック周期の必要な数が満了したことを計数器が決定すると、線42上の信号はハイになり、位相₂クロックがラッチ45に届くようになる。要求されるクロック周期の数は、ラッチ46からの入力を受取る機能ブロック44により行なわれる機能により決定される。その結果、「n」個のサイクルが完了し、かつ機能の実行が達成されるまで機能回路44からの出力はラッチされない。

【0022】

図9は、この発明のさらに別の実施例を示す。図9は、図6、図7で示される具体例のより一般的な応用である。この実施例では、さまざまな内部クロック周波数のためにさまざまな回路が設けられるような多重回路が設計される。図9において、入力51が機能回路50全体に対して設けられる。機能回路50は、3つの別個の動作パス52、53および54からなり、各々は同じ機能動作を実行するように設計されている。回路52、53および54の各々は特定の内部周波数と関連していて、スピードパスを作るのに必要な最少数のクロックサイクルを用いて機能を実行するように設計されている。たとえば、回路52、53および54は、それぞれ25MHz、50MHzおよび75MHzの選択された倍数で動作するように設計され得る。回路52、53および54の出力は、マルチプレクサ57へ与えられる。マルチプレクサ57は、クロック選択信号に基づいて出力の1つを選択する。こうして、出力は、選択された内部周波数に対して最少の数のクロックサイクルで所望される機能を実行する特定の回路のものが選択される。

【0023】

複数命令が動作パスのさまざまな機能部分で操作され得るので、図9の実施例はパイプライン環境に特に適応している。たとえば、動作パス52は、それぞれクロック₁および₂に従って動作するラッチ521および523を含み得る。機能回路522は機能F_ABを実行する。このパスは、25MHzの内部周波数で用いられるので、機能F_AB全体を実行するのに十分な時間がある。代わりに、動作パス53は、ラッチ531および533ならびに動作回路F_AおよびF_Bを含む。動作パス53は50MHzで動作するので、1サイクルで機能F_AB全体を完了させることはできない。したがって、機能は2つのステップF_AおよびF_Bに分割され、これらは組合されると全体の機能F_ABとなる。こうして₁の第1クロックサイクルでF_Aが処理され、₁の第2クロックサイクルでF_Bが処理されるだろう。回路がパイプラインで動作するとき、機能F_Bが現在の命令に対して実行されている間に次の命令に対して機能F_Aを実行することが可能である。言い換えると、機能F_AB全体の部分は、同時に複数命令に対して実行されることが可能である。このように図9の実施例は図8よりも広いスペースを使用する

10

20

30

40

50

が、1つ以上の命令が動作パスにより同時に操作可能であるので、性能を向上させることができる。

【0024】

上記の実施例がこの発明の特徴を示すが、この発明は開示される特定の実施例に限定されない。この発明の特徴に関する多くの変形がこの開示を参照にして当業者に明らかになるであろう。したがって、この発明は前掲の請求項によって限定されるだけである。

【図面の簡単な説明】

【図1】この発明の実施例に従ったマイクロプロセッサを示す図である。

【図2】この発明の第2の実施例の動作を示す図である。

【図3】この発明の第2の実施例の動作を示す図である。

10

【図4】この発明の第2の実施例の動作を示す図である。

【図5】この発明の第2の実施例の動作を示す図である。

【図6】この発明の実施例に従った乗算回路を示す図である。

【図7】この発明の実施例に従った乗算回路を示す図である。

【図8】この発明の別の実施例を示す図である。

【図9】この発明のさらに別の実施例を示す図である。

【符号の説明】

1 マイクロプロセッサ

3 クロック生成回路

3 a 倍数クロック回路の一部

3 b 倍数クロック回路の一部

3 c 倍数クロック回路の一部

1 1 機能回路

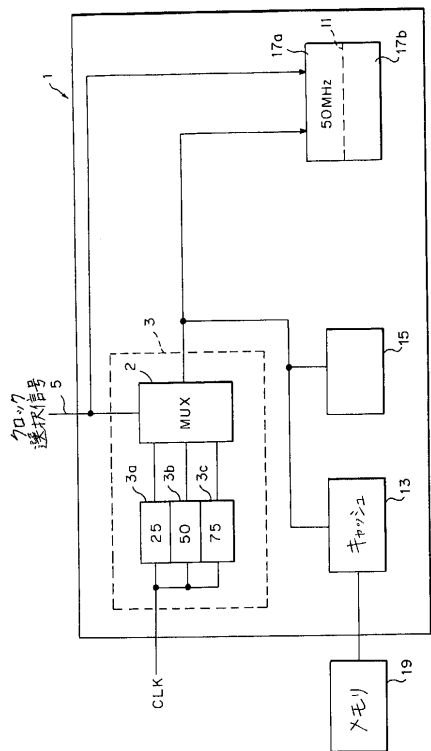
1 3 機能回路 (キャッシュ)

1 5 機能回路

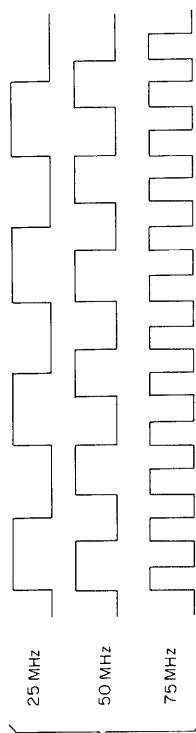
4 0 計数器

20

【図1】



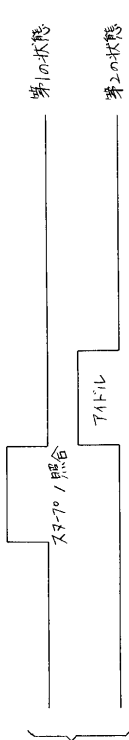
【図2】



【図3】



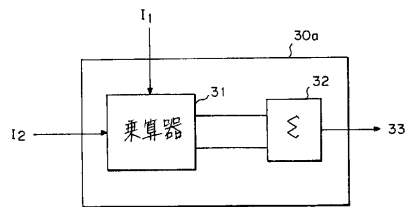
【図4】



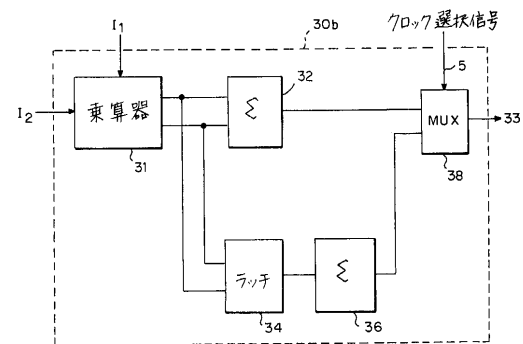
【 図 5 】



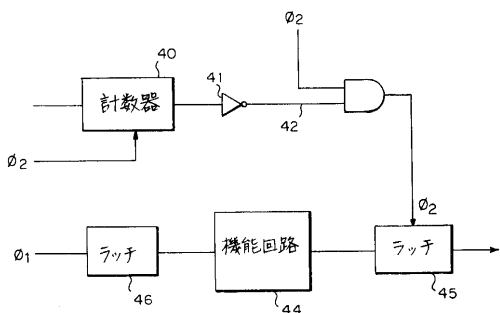
【 図 6 】



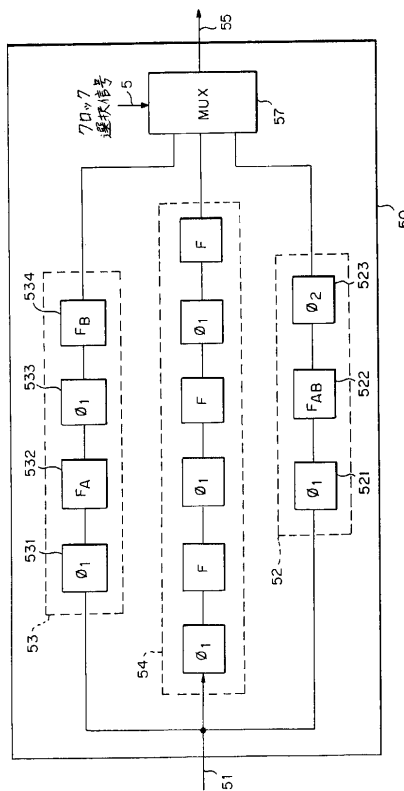
【 図 7 】



【 図 8 】



【 図 9 】



フロントページの続き

(74)代理人 100096781

弁理士 堀井 豊

(72)発明者 ステファン・シィ・クロマー

アメリカ合衆国、78727 テキサス州、オースティン、ウィクリフ・レーン、12418

審査官 後藤 彰

(56)参考文献 特開平6 - 83583 (JP, A)

特開平6 - 301439 (JP, A)

特開平3 - 171213 (JP, A)

特開平1 - 147722 (JP, A)

特開平8 - 147163 (JP, A)

(58)調査した分野(Int.Cl.⁷, DB名)

G06F 9/30 - 9/42

G06F 1/06

G06F 15/78