

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-120742

(P2006-120742A)

(43) 公開日 平成18年5月11日(2006.5.11)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 27/105 (2006.01)	HO 1 L 27/10 4 4 7	5 F O 8 3
HO 1 L 21/8246 (2006.01)	HO 1 L 43/08 Z	
HO 1 L 43/08 (2006.01)		

審査請求 未請求 請求項の数 7 O L (全 21 頁)

(21) 出願番号	特願2004-305106 (P2004-305106)	(71) 出願人	503121103 株式会社ルネサステクノロジ 東京都千代田区丸の内二丁目4番1号
(22) 出願日	平成16年10月20日 (2004.10.20)	(74) 代理人	100089233 弁理士 吉田 茂明
		(74) 代理人	100088672 弁理士 吉竹 英俊
		(74) 代理人	100088845 弁理士 有田 貴弘
		(72) 発明者	上野 修一 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
		(72) 発明者	大下 博史 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

最終頁に続く

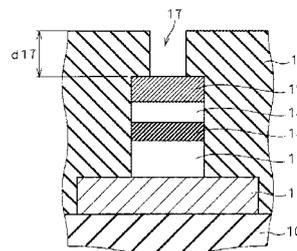
(54) 【発明の名称】 半導体装置の製造方法及び半導体装置

(57) 【要約】

【課題】 M T J 特性が高く、かつ、低消費電力化を図った半導体装置の製造方法を得る。

【解決手段】 M T J 素子を覆って全面に層間絶縁膜 1 6 を形成した後、層間絶縁膜 1 6 を選択的に貫通させ、ハードマスク層 1 5 上の層間絶縁膜 1 6 の一部にビアホール 1 7 を形成する。このビアホール 1 7 の形成深さ $d 1 7$ は、コンタクトプラグ形成用の導電膜の C M P 処理時に生じる最大オーバー除去量 $C X 2$ より小さい値に設定され、ハードマスク層 1 5 の膜厚 $t 1 5$ 及びビアホール 1 7 の形成深さ $d 1 7$ と最大オーバー除去量 $C X$ との関係において、 $\{ d 1 7 + t 1 5 > C X 2 \}$ (第3の設定条件) を満足するように形成する。その後、全面に導電膜を堆積後、上記 C M P 処理を施すことによりビアホール 1 7 内にコンタクトプラグを形成する。

【選択図】 図 1 3



【特許請求の範囲】

【請求項 1】

(a) 所定の下地層上に M T J 素子を形成するステップを備え、前記 M T J 素子の最上部は導電性を有するハードマスク層が形成され、

(b) 前記 M T J 素子を覆って層間絶縁膜を形成するステップと、

(c) 前記層間絶縁膜を選択的に貫通し、前記ハードマスク層上に所定の深さの開口部を形成するステップと、

(d) 前記層間絶縁膜に対して所定の除去量の C M P 処理を施し、前記層間絶縁膜の形成高さを前記 M T J 素子と同程度にするステップとをさらに備え、前記 C M P 処理は前記所定の除去量から余分に最大オーバー除去量の除去が局所的に発生するバラツキを有し、前記ハードマスク層の膜厚は前記最大オーバー除去量より小さい値に設定され、前記ハードマスク層の膜厚と前記所定の深さとの和は前記最大オーバー除去量より大きい値に設定され、

10

(e) 前記 M T J 素子の前記ハードマスク層上に直接上部配線を形成するステップをさらに備える、

半導体装置の製造方法。

【請求項 2】

(a) 所定の下地層上に M T J 素子を形成するステップを備え、前記 M T J 素子の最上部は導電性を有するハードマスク層が形成され、

(b) 前記 M T J 素子を覆って層間絶縁膜を形成するステップと、

20

(c) 前記層間絶縁膜を選択的に貫通し、前記ハードマスク層上に所定の深さのビアホールを形成するステップと、

(d) 前記ビアホール内を埋め込むとともに、前記層間絶縁膜上に導電膜を形成するステップと、

(e) 前記導電膜に対して所定の除去量の C M P 処理を施し、前記ビアホール内に埋め込まれた前記導電膜のみコンタクトプラグとして残存させるステップとをさらに備え、前記 C M P 処理は前記所定の除去量から余分に最大オーバー除去量の除去が局所的に発生するバラツキを有し、前記ハードマスク層の膜厚は前記最大オーバー除去量より小さい値に設定され、前記ハードマスク層の膜厚と前記所定の深さとの和は前記最大オーバー除去量より大きい値に設定され、

30

(f) 前記コンタクトプラグ上に直接上部配線を形成するステップをさらに備える、
半導体装置の製造方法。

【請求項 3】

請求項 1 あるいは請求項 2 記載の半導体装置の製造方法であって、

前記ハードマスク層は単層構造のハードマスク層を含む、

半導体装置の製造方法。

【請求項 4】

請求項 1 あるいは請求項 2 記載の半導体装置の製造方法であって、

前記ハードマスク層は複合構造のハードマスク層を含む、

半導体装置の製造方法。

40

【請求項 5】

所定の下地層上における所定の領域に形成される第 1 種のメモリトランジスタ部と第 2 種のメモリトランジスタ部とを備え、

前記第 1 種メモリトランジスタ部は、

所定の下地層上に形成され、最上部に導電性を有するハードマスク層を備える M T J 素子と、

前記 M T J 素子の前記ハードマスク層上に形成されるコンタクトプラグと、

前記コンタクトプラグ上に形成される上部配線とを有し、

前記第 2 種のメモリトランジスタ部は、

前記所定の下地層上に形成され、最上部に導電性を有するハードマスク層を有する M T

50

J素子と、

前記MTJ素子の前記ハードマスク層上に形成される前記上部配線とを備える、半導体装置。

【請求項6】

請求項5記載の半導体装置であって、

前記所定の領域は、所定の半導体集積回路の形成領域を含む、半導体装置。

【請求項7】

請求項5記載の半導体装置であって、

前記所定の領域は、ウェハ領域を含む、半導体装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、MTJ (Magnetic Tunneling Junction) 素子を有する半導体装置の製造方法及びMTJ素子を有する半導体装置に関する。

【背景技術】

【0002】

MRAMとは、非特許文献1および非特許文献2に記載のような、2つの磁性層(フリー層およびピン層)と両磁性層に挟まれたトンネル絶縁層とを備えたMTJ素子を記憶素子とする記憶装置のことを指す。MRAMにおいては、MTJ素子の上方に上部配線としてビット線が、下方に下部配線としてディジット線がそれぞれ設けられており、これらビット線およびディジット線の発生させる磁界がMTJ素子の磁気特性を変化させる。なお、ビット線およびディジット線は、直交して配置される。

20

【0003】

上記のようなMTJ素子は、外部磁場により反転可能なフリー層のスピンの、ピン層のスピンの平行である時、電子がトンネル絶縁層をトンネリングする確率が上がり、より多くの電子がトンネリング伝導するため電流が大きくなるため抵抗値が比較的低い低抵抗値として観測される。一方、フリー層のスピンのピン層のスピンの反平行であると電子がトンネル絶縁層をトンネリングする現象が抑制されるため抵抗値が比較的高い高抵抗値として観測される。その結果、例えば、高抵抗値と低抵抗値で50~70%の差が生まれる。この差がMR (MagnetoResistance) 比となる。

30

【0004】

【非特許文献1】R.Scheuerlein et al., 「A 10ns Read and Write Non-Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in each Cell」 ISSCC 2000 /SESSION 7/TD:EMERGING MEMORY & DEVICE TECHNOLOGIES/PAPER TA 7.2,pp.128-129

【非特許文献2】P.K.Naji et al., 「A 256kb 3.0V 1T1MTJ Nonvolatile Magnetoresistive RAM」 ISSCC 2001/SESSION 7/TECHNOLOGY DIRECTIONS:ADVANCED TECHNOLOGIES/7.6,pp.122-123

【発明の開示】

40

【発明が解決しようとする課題】

【0005】

上記MR比自体は高く、MTJ素子毎のMR比バラツキが小さい程、MTJ素子の特性(MTJ特性)は向上する。一方、近年の装置の携帯化の流れを考えると、消費電力が低いことが望まれる。

【0006】

しかしながら、従来のMTJ素子を有する半導体装置の製造方法では、製造プロセス時におけるMTJ素子にかかるメカニカルストレス(以下、単に「ストレス」と略記)、CMP (Chemical Mechanical Polishing) 処理時に生じるエロージョン等のバラツキの影響を効果的に解消することができず、MTJ特性が高く、かつ、低消費電力化を図った、

50

M T J素子を有する半導体装置を得ることができなかった。

【0007】

この発明は上記問題点を解決するためになされたもので、M T J特性が高く、かつ、低消費電力化を図った半導体装置の製造方法を得ることを目的とする。

【課題を解決するための手段】

【0008】

この発明に係る請求項1記載の半導体装置の製造方法は、(a) 所定の下地層上にM T J素子を形成するステップを備え、前記M T J素子の最上部は導電性を有するハードマスク層が形成され、(b) 前記M T J素子を覆って層間絶縁膜を形成するステップと、(c) 前記層間絶縁膜を選択的に貫通し、前記ハードマスク層上に所定の深さの開口部を形成するステップと、(d) 前記層間絶縁膜に対して所定の除去量のCMP処理を施し、前記層間絶縁膜の形成高さを前記M T J素子と同程度にするステップとをさらに備え、前記CMP処理は前記所定の除去量から余分に最大オーバー除去量の除去が局所的に発生するバラツキを有し、前記ハードマスク層の膜厚は前記最大オーバー除去量より小さい値に設定され、前記ハードマスク層の膜厚と前記所定の深さとの和は前記最大オーバー除去量より大きい値に設定され、(e) 前記M T J素子の前記ハードマスク層上に直接上部配線を形成するステップをさらに備える。

10

【0009】

この発明に係る請求項2記載の半導体装置の製造方法は、(a) 所定の下地層上にM T J素子を形成するステップを備え、前記M T J素子の最上部は導電性を有するハードマスク層が形成され、(b) 前記M T J素子を覆って層間絶縁膜を形成するステップと、(c) 前記層間絶縁膜を選択的に貫通し、前記ハードマスク層上に所定の深さのビアホールを形成するステップと、(d) 前記ビアホール内を埋め込むとともに、前記層間絶縁膜上に導電膜を形成するステップと、(e) 前記導電膜に対して所定の除去量のCMP処理を施し、前記ビアホール内に埋め込まれた前記導電膜のみコンタクトプラグとして残存させるステップとをさらに備え、前記CMP処理は前記所定の除去量から余分に最大オーバー除去量の除去が局所的に発生するバラツキを有し、前記ハードマスク層の膜厚は前記最大オーバー除去量より小さい値に設定され、前記ハードマスク層の膜厚と前記所定の深さとの和は前記最大オーバー除去量より大きい値に設定され、(f) 前記コンタクトプラグ上に直接上部配線を形成するステップをさらに備える。

20

30

【0010】

この発明に係る請求項5記載の半導体装置は、所定の下地層上における所定の領域に形成される第1種のメモリトランジスタ部と第2種のメモリトランジスタ部とを備え、前記第1種メモリトランジスタ部は、所定の下地層上に形成され、最上部に導電性を有するハードマスク層を備えるM T J素子と、前記M T J素子の前記ハードマスク層上に形成されるコンタクトプラグと、前記コンタクトプラグ上に形成される上部配線とを有し、前記第2種のメモリトランジスタ部は、前記所定の下地層上に形成され、最上部に導電性を有するハードマスク層を有するM T J素子と、前記M T J素子の前記ハードマスク層上に形成される前記上部配線とを備える。

【発明の効果】

40

【0011】

この発明における請求項1記載の半導体装置の製造方法において、ハードマスク層を最大オーバー除去量より小さく形成できるため、ハードマスク層の膜厚に起因するストレスを十分に低く抑えることにより、M T J特性の向上を図った半導体装置を得ることができる。

【0012】

さらに、上部配線をハードマスク層上に直接形成することにより、上部配線とM T J素子内のフリー層との距離を十分に短くすることができるため、低い書き込み電流によりM T J素子を正常動作させることができる。

【0013】

50

また、ハードマスク層の膜厚と所定の深さとの和は最大オーバー除去量より大きい値に設定されるため、ステップ(d)において最大オーバー除去量で層間絶縁膜が除去された領域においても、MTJ素子のハードマスク層の一部は必ず残存するため、MTJ特性が劣化することはない。

【0014】

この発明における請求項2記載の半導体装置の製造方法において、ハードマスク層を最大オーバー除去量より小さく形成できるため、ハードマスク層の膜厚に起因するストレスを十分に低く抑えることにより、MTJ特性の向上を図った半導体装置を得ることができる。

【0015】

さらに、ビアホール形成深さ(所定の深さ)を最大オーバー除去量より小さい値に設定することにより、上部配線とMTJ素子内のフリー層との距離を最大でも最大オーバー除去量を超えないように設定できるため、低い書き込み電流によりMTJ素子を正常動作させることができる。

【0016】

また、ハードマスク層の膜厚とビアホール形成深さとの和は最大オーバー除去量より大きい値に設定されるため、ステップ(e)において最大オーバー除去量で導電膜が除去された領域においても、MTJ素子のハードマスク層の一部は必ず残存するため、MTJ特性が劣化することはない。

【0017】

この発明における請求項5記載の半導体装置は、コンタクトプラグを介して上部配線と電気的に接続を図る第1種のメモリトランジスタ部と、コンタクトプラグを介することなく上部配線と直接接続を図る第2種のメモリトランジスタ部とを混在して設けることにより、コンタクトプラグの構成材料となる導電膜に対するCMP処理によるバラツキが所定の領域に発生した場合にも、第1種及び第2種のメモリトランジスタ部におけるMTJ素子は共に良好なMTJ特性が発揮することができる。

【発明を実施するための最良の形態】

【0018】

<実施の形態1>

(第1の製造方法)

図1~図5はこの発明の実施の形態1であるMTJ素子を有する半導体装置の第1の製造方法を示す断面図である。以下、これらの図を参照して、実施の形態1の第1の製造方法について説明する。

【0019】

まず、図1に示すように、通常、半導体基板上に形成され、下地となる絶縁膜10(所定の下地層)を形成し、この絶縁膜10上に下部電極11を形成し、下部電極11上に、ピン層12、絶縁層13及びフリー層14からなるMTJ構造7を形成し、フリー層14上にハードマスク層15を形成する。この際、MTJ構造7はパターニングされたハードマスク層15をマスクとしたエッチング等により形成することができる。例えば、ピン層12を50nm程度の膜厚で形成し、絶縁層13を1nm以下の膜厚で形成し、フリー層14を50nm程度の膜厚で形成する。これら下部電極11、MTJ構造7及びハードマスク層15によりMTJ素子M1を構成する。

【0020】

上述したハードマスク層15は導電性を有する金属で形成される。ハードマスク層15の構造は単層構造でも複合(多層)構造でも良い。この際、ハードマスク層15の膜厚 t_{15} を層間絶縁膜16に対するCMP処理によるバラツキ(エロージョンERを含む)により生じる最大オーバー除去量 CX_1 より小さい値(50nm程度)に設定する。なお、本明細書において、最大オーバー除去量 CX_1 とは、層間絶縁膜16に対するCMP処理において予め設定された所定の除去量から余分に除去する量の最大値を意味する。

【0021】

10

20

30

40

50

次に、図 2 に示すように、M T J 素子 M 1 を覆って全面に S i O₂ 等からなる層間絶縁膜 1 6 を C V D 法等により形成する。この際、ハードマスク層 1 5 上の層間絶縁膜 1 6 の形成高さ d 1 6 をハードマスク層 1 5 の膜厚 t 1 5 との関係において、 $\{ d 1 6 + t 1 5 > C X 1 \}$ (第 1 の設定条件) を満足するように形成する。例えば、層間絶縁膜 1 6 の形成高さ d 1 6 を 6 0 n m 以下で上記第 1 の設定条件を満足する高さに設定する。

【 0 0 2 2 】

そして、図 3 に示すように、層間絶縁膜 1 6 を選択的に貫通させて、ハードマスク層 1 5 上に開口部 3 8 を形成する。この開口部 3 8 は形成深さ d 3 8 は形成高さ d 1 6 と等しい値となる。

【 0 0 2 3 】

その後、図 4 に示すように、開口部 3 8 がなくなるように、層間絶縁膜 1 6 の表面から、層間絶縁膜 1 6 に対する C M P 処理を行う。

【 0 0 2 4 】

この際、C M P 処理によるパラッキが最大に生じ、所定の除去量から最大オーバー除去量 C X 1 分、余分に除去された場合、ハードマスク層 1 5 の一部が表面から除去される可能性があるが、上記第 1 の設定条件は $\{ d 3 8 (= d 1 6) + t 1 5 > C X 1 \}$ であるため、必ず導電性の有するハードマスク層 1 5 の一部は残存し、M T J 特性が劣化することはない。

【 0 0 2 5 】

その後、図 5 に示すように、全面に層間絶縁膜 5 1 を形成し、既存の方法により、層間絶縁膜 5 1 内のハードマスク層 1 5 上に上部配線 5 2 を選択的に形成する。

【 0 0 2 6 】

その結果、ハードマスク層 1 5 を介して上部配線 5 2 と M T J 構造 7 との電氣的接続を図ることができる。

【 0 0 2 7 】

このように、実施の形態 1 の第 1 の製造方法においては、上記第 1 の設定条件を満足する範囲において、ハードマスク層 1 5 の膜厚を十分に薄く形成することができるため、ハードマスク層 1 5 の形成時及び形成後の熱処理等により生じる、ハードマスク層 1 5 の膜厚に起因するストレスを十分に低く抑えることにより、高 M R 比の実現及び M R のパラッキの低減による M T J 特性を高めることができる。

【 0 0 2 8 】

さらに、上部配線 5 2 をハードマスク層 1 5 上に直接形成することにより、上部配線 5 2 とフリー層 1 4 との距離を十分に短くすることができるため、磁場を所望のレベルに保ちながら書き込み電流を減らすことができ、低い書き込み電流により M T J 素子 M 2 を正常動作させることができる。

【 0 0 2 9 】

その結果、実施の形態 1 の第 1 の製造方法によって、M T J 特性が高く、かつ、低消費電力化を図った半導体装置を得ることができる効果を奏する。

【 0 0 3 0 】

(第 2 の製造方法)

図 6 ~ 図 1 0 はこの発明の実施の形態 1 である M T J 素子を有する半導体装置の第 2 の製造方法を示す断面図である。以下、これらの図を参照して、実施の形態 1 の第 2 の製造方法について説明する。

【 0 0 3 1 】

まず、図 6 に示すように、下地となる絶縁膜 1 0 上に下部電極 2 1 を形成し、下部電極 2 1 上に、ピン層 2 2、絶縁層 2 3 (2 3 a, 2 3 b) 及びフリー層 2 4 からなる M T J 構造 8 を形成し、フリー層 2 4 上にハードマスク層 2 5 を形成する。これら、下部電極 2 1、M T J 構造 8 及びハードマスク層 2 5 により M T J 素子 M 2 を構成する。

【 0 0 3 2 】

なお、絶縁層 2 3 b 及びフリー層 2 4 はパターンニングされたハードマスク層 2 5 をマス

10

20

30

40

50

クとしたエッチング等により形成することができ、下部電極 2 1、ピン層 2 2 及び絶縁層 2 3 b はパターンニングされたレジスト（図示せず）をマスクとしたエッチング等により形成することができる。例えば、ピン層 2 2 を 50 nm 程度の膜厚で形成し、絶縁層 2 3 を 1 nm 以下の膜厚で形成し、フリー層 2 4 を 50 nm 程度の膜厚で形成する。

【0033】

上述したハードマスク層 2 5 は導電性を有する金属で形成される。ハードマスク層 2 5 の構造は単層構造でも複合構造でも良い。この際、ハードマスク層 2 5 の膜厚 t_{25} を層間絶縁膜 2 6 に対する CMP 処理による最大オーバー除去量 $CX1$ より小さい値（例えば、50 nm 程度）に設定する。

【0034】

次に、図 7 に示すように、MTJ 素子 M 2 を覆って全面に SiO_2 等からなる層間絶縁膜 2 6 を CVD 法等により形成する。この際、ハードマスク層 2 5 上の層間絶縁膜 2 6 の形成高さ d_{26} は、ハードマスク層 2 5 の膜厚 t_{25} との関係において、 $\{d_{26} + t_{25} > CX1\}$ （第 2 の設定条件）を満足するように形成する。例えば、層間絶縁膜 2 6 の形成高さ d_{26} を 60 nm 以下で上記第 2 の設定条件を満足する高さに設定する。

【0035】

そして、図 8 に示すように、層間絶縁膜 2 6 を選択的に貫通させて、ハードマスク層 2 5 上の層間絶縁膜 2 6 の一部に開口部 3 9 を形成する。この開口部 3 9 は形成深さ d_{39} は形成高さ d_{26} と等しい値となる。

【0036】

その後、図 9 に示すように、開口部 3 9 がなくなるように、層間絶縁膜 2 6 の表面から、層間絶縁膜 1 6 に対する CMP 処理を行う。

【0037】

この際、CMP 処理によるバラツキが最大に生じ、最大オーバー除去量 CX 分、余分に除去された場合、さらにハードマスク層 2 5 の一部が除去されてしまう可能性があるが、ハードマスク層 2 5 の膜厚 t_{25} を加えた上記第 2 の設定条件は $\{d_{39} (= d_{26}) + t_{25} > CX1\}$ であるため、必ず導電性の有するハードマスク層 2 5 の一部は残存する。

【0038】

その後、図 10 に示すように、全面に層間絶縁膜 6 1 を形成し、既存の方法により、層間絶縁膜 6 1 内のハードマスク層 2 6 上に直接上部配線 6 2 を選択的に設ける。

【0039】

その結果、ハードマスク層 2 6 を介して上部配線 6 2 と MTJ 構造 8 との電気的接続を図ることができる。

【0040】

このように、実施の形態 1 の第 2 の製造方法においては、上記第 2 の設定条件を満足する範囲において、ハードマスク層 1 5 の膜厚を十分に薄く形成することができるため、第 1 の製造方法と同様に、MTJ 特性が高く、かつ、低消費電力化を図った半導体装置を得ることができる効果を奏する。

【0041】

<実施の形態 2 >

（第 1 の製造方法）

図 11 ~ 図 16 はこの発明の実施の形態 2 である MTJ 素子を有する半導体装置の第 1 の製造方法を示す断面図である。以下、これらの図を参照して、実施の形態 2 の第 1 の製造方法について説明する。

【0042】

図 11 に示すように、半導体基板上に形成され下地となる絶縁膜 1 0（所定の下地層）を形成後、絶縁膜 1 0 上に下部電極 1 1 を形成し、下部電極 1 1 上に、ピン層 1 2、絶縁層 1 3 及びフリー層 1 4 からなる MTJ 構造 7 を形成し、フリー層 1 4 上にハードマスク層 1 5 を形成する。この際、MTJ 構造 7 はパターンニングされたハードマスク層 1 5 をマ

10

20

30

40

50

スクとしたエッチング等により形成することができる。例えば、ピン層 12 を 50 nm 程度の膜厚で形成し、絶縁層 13 を 1 nm 以下の膜厚で形成し、フリー層 14 を 50 nm 程度の膜厚で形成する。

【0043】

上述したハードマスク層 15 は導電性を有する金属で形成される。ハードマスク層 15 の構造は単層構造でも複合構造でも良い。

【0044】

次に、図 12 に示すように、MTJ 素子 M1 を覆って全面に SiO₂ 等からなる層間絶縁膜 16 を形成する。この際、ハードマスク層 15 上の層間絶縁膜 16 の形成高さ d16 は、後述する導電膜に対する CMP 処理によるバラツキ（エロージョン ER を含む）により生じる最大オーバー除去量 CX2 より小さい値（60 nm 以下程度の膜厚）に設定される。ただし、ハードマスク層 15 の膜厚 t15 との関係において、 $\{d16 + t15 > CX2\}$ （第 3 の設定条件）を満足するように形成する。なお、最大オーバー除去量 CX2 とは、導電膜 53 に対する CMP 処理のバラツキによって生じる、予め設定された所定の除去量から余分に除去される量の最大値を意味する。

10

【0045】

そして、図 13 に示すように、層間絶縁膜 16 を選択的に貫通させ、ハードマスク層 15 上の層間絶縁膜 16 の一部にビアホール 17 を形成する。なお、本明細書中で用いる用語「ビアホール」は内部にコンタクトプラグとなる導電材料を埋め込むために形成される穴を意味する。このビアホール 17 の形成深さ d17 は形成高さ d16 と等しい値となる。

20

【0046】

次に、図 14 に示すように、スパッタ法等を用いて、ビアホール 17 内を埋め込みながら、層間絶縁膜 16 上に導電膜 53 を堆積する。なお、ビアホール 17 内において導電膜 53 の表面にバリアメタル層を形成しても良い。

【0047】

その後、図 15 に示すように、ビアホール 17 以外の層間絶縁膜 16 の表面が露出するように、導電膜 53 の表面から CMP 処理を行って導電膜 53 を選択的に除去することにより、ビアホール 17 に埋め込まれた導電膜 53 からなるコンタクトプラグ 54 を得る。

【0048】

この際、ビアホール 17 の形成深さ d17 と CMP 処理による最大オーバー除去量 CX2 との関係は $\{d17 (= d16) < CX2\}$ であるため、導電膜 53 に対する CMP 処理のバラツキにより最大オーバー除去量 CX2 が生じた場合、ビアホール 17 内の導電膜 53 も全て除去されてしまうが、ハードマスク層 15 の膜厚 t15 を加えた第 3 の設定条件は $\{d17 (= d16) + t15 > CX2\}$ であるため、必ず導電性の有するハードマスク層 15 の一部は残存する。

30

【0049】

その後、図 16 に示すように、全面に層間絶縁膜 56 を形成し、既存の方法により、層間絶縁膜 56 内のコンタクトプラグ 54 上に上部配線 55 を選択的に設ける。

【0050】

その結果、コンタクトプラグ 54 及びハードマスク層 15 を介して上部配線 55 と MTJ 構造 7 との電氣的接続を図ることができる。

40

【0051】

なお、図 15 で示す工程で、ビアホール 17 内の導電膜 53 も全て除去されてしまった場合は、図 16 で示す工程後、実施の形態 1 の第 1 の製造方法で得られた構造（図 5 参照）のように、コンタクトプラグを有することなく、ハードマスク層 15 のみを介して上部配線と MTJ 構造 7 との電氣的接続を図った構造を得ることができる。

【0052】

このように、実施の形態 2 の第 1 の製造方法においては、上記第 3 の設定条件を満足する範囲において、ハードマスク層 15 の膜厚を十分に薄く形成することができるため、ハ

50

ードマスク層 15 の形成時及びその後の熱処理時等に生じするハードマスク層 15 によるストレスを十分に低く抑えることにより、高 MR 比の実現及び MR のバラツキの低減による MTJ 特性を高めることができる。

【0053】

さらに、ビアホール 17 の形成深さ d_{17} を最大オーバー除去量 $C \times 2$ より小さい値に設定することにより、上部配線 55 とフリー層 14 との距離を最大でも最大オーバー除去量 $C \times 2$ を超えないように設定できるため、低い書き込み電流により MTJ 素子 M1 を正常動作させることができる。

【0054】

その結果、実施の形態 2 の第 1 の製造方法によって、MTJ 特性が高く、かつ、低消費電力化を図った半導体装置を得ることができる効果を奏する。

10

【0055】

(第 2 の製造方法)

図 17 ~ 図 20 はこの発明の実施の形態 2 である MTJ 素子を有する半導体装置の第 2 の製造方法の一部を示す断面図である。以下、これらの図を参照して、実施の形態 2 の第 2 の製造方法について説明する。

【0056】

まず、図 17 に示すように、実施の形態 1 の第 2 の製造方法と同様、下地となる絶縁膜 10 上に下部電極 21 を形成し、下部電極 21 上に、ピン層 22、絶縁層 23 (23a, 23b) 及びフリー層 24 からなる MTJ 構造 8 を形成し、フリー層 24 上にハードマスク層 25 を形成する。

20

【0057】

次に、実施の形態 2 の第 1 の製造方法の層間絶縁膜 16 の形成工程 (図 12 参照) と同様に SiO_2 等からなる層間絶縁膜 26 を形成し、図 18 に示すように、層間絶縁膜 26 を選択的に貫通させて、ハードマスク層 25 上の層間絶縁膜 26 の一部にビアホール 27 を形成する。このビアホール 27 は形成深さ d_{27} は層間絶縁膜 26 の形成高さ d_{26} と等しい値となる。

【0058】

次に、実施の形態 2 の第 1 の製造方法の導電膜 53 の形成工程 (図 14 参照) と同様に、ビアホール 27 内を埋め込みながら全面に導電膜を堆積した後、図 19 に示すように、導電膜の表面から導電膜に対する CMP 処理を行って導電膜を選択的に除去することにより、ビアホール 27 に埋め込まれた導電膜からなるコンタクトプラグ 64 を得る。

30

【0059】

この際、第 1 の製造方法と同様、ビアホール 27 の形成深さ d_{27} と導電膜に対する CMP 処理による最大オーバー除去量 $C \times 2$ との関係は $\{d_{27} (= d_{26}) < C \times 2\}$ であるため、CMP 処理のバラツキにより最大オーバー除去量 $C \times 2$ が生じた場合、ビアホール 27 内の導電膜も全て除去されてしまうが、ハードマスク層 25 の膜厚 t_{15} を加えた第 4 の設定条件は $\{d_{27} (= d_{26}) + t_{25} > C \times 2\}$ であるため、必ず導電性の有するハードマスク層 25 の一部は残存する。

【0060】

その後、図 20 に示すように、全面に層間絶縁膜 66 を形成し、既存の方法により、層間絶縁膜 66 内のコンタクトプラグ 64 上に上部配線 65 を選択的に設ける。

40

【0061】

その結果、コンタクトプラグ 64 及びハードマスク層 25 を介して上部配線 65 と MTJ 構造 8 との電氣的接続を図ることができる。

【0062】

なお、図 19 で示す工程で、ビアホール 27 内の導電膜も全て除去されてしまった場合は、図 20 で示す工程後、実施の形態 1 の第 2 の製造方法で示した図 10 で示す構造のように、コンタクトプラグを有することなく、ハードマスク層 25 のみを介して上部配線と MTJ 構造 8 との電氣的接続を図った構造を得ることができる。

50

【0063】

このように、実施の形態2の第2の製造方法においては、上記第4の設定条件を満足する範囲において、ハードマスク層15の膜厚を十分に薄く、かつビアホール17の形成深さd17を十分に短く形成することができるため、実施の形態2の第1の製造方法と同様に、MTJ特性が高く、かつ、低消費電力化を図った半導体装置を得ることができる効果を奏する。

【0064】

(第3の製造方法)

図21はこの発明の実施の形態2であるMTJ素子を有する半導体装置の第3の製造方法の一部を示す断面図である。同図で示す工程は、図13で示すビアホール17を設ける工程に相当する。 10

【0065】

図21に示すように、ビアホール18の開口形状はハードマスク層15の表面が全面的に露出するように、ビアホール17より広く形成される。なお、この点を除き、他の特徴は実施の形態2の第1の製造方法と同様であるため説明は省略する。

【0066】

このように、実施の形態2の第3の製造方法においては、上記第3の設定条件を満足する範囲において、ハードマスク層15の膜厚を十分に薄く、かつビアホール18の形成深さを十分に短く形成することができるため、実施の形態2の第1の製造方法と同様に、MTJ特性が高く、かつ、低消費電力化を図った半導体装置を得ることができる効果を奏する。 20

【0067】

(第4の製造方法)

図22はこの発明の実施の形態2であるMTJ素子を有する半導体装置の第4の製造方法の一部を示す断面図である。同図で示す工程は、図18で示すビアホール27を設ける工程に相当する。

【0068】

図22に示すように、ビアホール28の開口形状はハードマスク層25の表面が全面的に露出するように、ビアホール27より広く形成される。なお、この点を除き、他の特徴は実施の形態2の第2の製造方法と同様であるため説明は省略する。 30

【0069】

このように、実施の形態2の第4の製造方法においては、上記第4の設定条件を満足する範囲において、ハードマスク層25の膜厚を十分に薄く、かつビアホール28の形成深さを十分に短く形成することができるため、実施の形態2の第2の製造方法と同様に、MTJ特性が高く、かつ、低消費電力化を図った半導体装置を得ることができる効果を奏する。

【0070】

<実施の形態3>

(第1の製造方法)

図23はこの発明の実施の形態3であるMTJ素子を有する半導体装置の第1の製造方法の一部を示す断面図である。同図で示す工程は、実施の形態1の第1の製造方法における図1で示す工程に相当する。 40

【0071】

同図に示すように、図1のハードマスク層15に相当するハードマスク層15Aを高融点金属(Ta(タンタル), Ti(チタン), W(タングステン)等)あるいは高融点金属を含む化合物(TiN等)の単層構造で形成している。これら下部電極11、MTJ構造7及びハードマスク層15AによりMTJ素子M3を構成する。

【0072】

そして、ハードマスク層15Aの膜厚は、実施の形態1の第1の製造方法におけるハードマスク層15の膜厚t15と同様な条件(上記第1の設定条件を含む)を満足するよう 50

に設定される。なお、上述した点を除き、他の特徴は実施の形態 1 の第 1 の製造方法と同様であるため説明は省略する。

【0073】

したがって、実施の形態 3 の第 1 の製造方法は実施の形態 1 の第 1 の製造方法と同様な効果を奏する。加えて、ハードマスク層 15 A を単層構造で形成することにより、製造コストの低減化を図ることができる。

【0074】

(第 2 の製造方法)

図 2 4 はこの発明の実施の形態 3 である M T J 素子を有する半導体装置の第 2 の製造方法の一部を示す断面図である。同図で示す工程は、実施の形態 2 の第 1 の製造方法における図 1 3 で示す工程に相当する。

【0075】

同図に示すように、図 1 3 等のハードマスク層 15 に相当するハードマスク層 15 A を高融点金属 (T a (タンタル) , T i (チタン) , W (タングステン) 等) あるいは高融点金属を含む化合物 (T i N 等) の単層構造で形成している。

【0076】

そして、ハードマスク層 15 A の膜厚は、実施の形態 2 の第 1 の製造方法におけるハードマスク層 15 の膜厚 t_{15} と同様な条件 (上記第 3 の設定条件を含む) を満足するように設定される。なお、上述した点を除き、他の特徴は実施の形態 2 の第 1 の製造方法と同様であるため説明は省略する。

【0077】

したがって、実施の形態 3 の第 2 の製造方法は実施の形態 2 の第 1 の製造方法と同様な効果を奏する。加えて、ハードマスク層 15 A を単層構造で形成することにより、製造コストの低減化を図ることができる。

【0078】

(その他の製造方法)

図 2 1 で示した実施の形態 2 の第 3 の製造方法のハードマスク層 15 の代わりに上記ハードマスク層 15 A を設けてもよく、図 6 ~ 図 1 0 で示した実施の形態 1 の第 2 の製造方法、図 1 7 ~ 図 2 0 及び図 2 2 で示した実施の形態 2 の第 2 及び第 4 の製造方法のハードマスク層 2 5 の代わりに上記ハードマスク層 15 A 相当のハードマスクを設ける製造方法も勿論考えられる。

【0079】

< 実施の形態 4 >

(第 1 の製造方法)

図 2 5 はこの発明の実施の形態 4 である M T J 素子を有する半導体装置の第 1 の製造方法の一部を示す断面図である。同図で示す工程は、実施の形態 1 の第 1 の製造方法における図 1 で示す工程に相当する。

【0080】

同図に示すように、図 1 のハードマスク層 15 に相当する積層ハードマスク層 1 9 を高融点金属 (T a (タンタル) , T i (チタン) , W (タングステン) 等) 及び高融点金属を含む化合物 (T i N 等) の複合構造で形成している。

【0081】

すなわち、積層ハードマスク層 1 9 はハードマスク層 1 9 a ~ 1 9 c の多層構造で形成される。例えば、フリー層 1 4 上に T a を構成材料とするハードマスク層 1 9 a を形成し、積層ハードマスク層 1 9 上に R u (ルビジウム) を構成材料とするハードマスク層 1 9 b を形成し、ハードマスク層 1 9 b 上に R u O を構成材料とするハードマスク層 1 9 c を形成することにより、積層ハードマスク層 1 9 を得ている。

【0082】

なお、積層ハードマスク層 1 9 の各層 1 9 a ~ 1 9 c の膜厚は、例えば、ハードマスク層 1 9 a は 3 0 n m 以下の膜厚で形成され、ハードマスク層 1 9 b は 2 5 n m 以下の膜厚

10

20

30

40

50

で形成され、ハードマスク層 19c は 5 nm 以下の膜厚で形成される。これら下部電極 11、MTJ 構造 7 及び積層ハードマスク層 19 により MTJ 素子 M4 を構成している。

【0083】

積層ハードマスク層 19 の膜厚は、実施の形態 1 の第 1 の製造方法におけるハードマスク層 15 の膜厚 t_{15} と同様な条件を満足するように設定される。なお、上述した点を除き、他の特徴は実施の形態 1 の第 1 の製造方法と同様であるため説明は省略する。

【0084】

したがって、実施の形態 4 の第 1 の製造方法は実施の形態 1 の第 1 の製造方法と同様な効果を奏する。加えて、複合構造の積層ハードマスク層 19 を形成することにより、ストレスの相殺作用（例：引っ張り応力のある材料からなる層と圧縮応力のある材料からなる層との複合による相殺作用）を発揮させることができ、その結果、MTJ 構造 7 にかかる積層ハードマスク層 19 によるストレスを低減化を図ることができる。

10

【0085】

（第 2 の製造方法）

図 26 はこの発明の実施の形態 4 である MTJ 素子を有する半導体装置の第 2 の製造方法の一部を示す断面図である。同図で示す工程は、実施の形態 2 の第 1 の製造方法における図 13 で示す工程に相当する。

【0086】

同図に示すように、図 13 のハードマスク層 15 に相当する積層ハードマスク層 19 を、実施の形態 4 の第 1 の製造方法と同様、高融点金属（Ta（タンタル）、Ti（チタン）、W（タングステン）等）及び高融点金属を含む化合物（TiN 等）の複合膜で形成している。

20

【0087】

積層ハードマスク層 19 の膜厚は、実施の形態 2 の第 1 の製造方法におけるハードマスク層 15 の膜厚 t_{15} と同様な条件を満足するように設定される。なお、上述した点を除き、他の特徴は実施の形態 2 の第 1 の製造方法と同様であるため説明は省略する。

【0088】

したがって、実施の形態 4 の第 2 の製造方法は実施の形態 2 の第 1 の製造方法と同様な効果を奏する。加えて、積層ハードマスク層 19 を形成することにより、実施の形態 4 の第 2 の製造方法と同様、MTJ 構造 7 にかかる積層ハードマスク層 19 によるメカニカルストレスを低減化を図ることができる。

30

【0089】

（その他の製造方法）

図 21 で示した実施の形態 2 の第 3 の製造方法のハードマスク層 15 の代わりに上記積層ハードマスク層 19 を設けてもよく、図 6 ~ 図 10 で示した実施の形態 1 の第 2 の製造方法、図 17 ~ 図 20 及び図 22 で示した実施の形態 2 の第 2 及び第 4 の製造方法のハードマスク層 25 の代わりに上記積層ハードマスク層 19 相当のハードマスクを設ける製造方法も勿論考えられる。

【0090】

< 実施の形態 5 >

図 27 ~ 図 32 はこの発明に実施の形態 5 である MTJ 素子を有する半導体装置を示す図面であり、図 27 はウェハ全体の平面構造を示す説明図、図 28 は図 27 を局所的に拡大して示す説明図、図 29 及び図 30 はサブメモリセルアレイ領域の断面構造を模式的に示す説明図、図 31 は第 1 種のメモリトランジスタ部の断面構造を示す断面図、図 32 は第 2 種のメモリトランジスタ部を示す断面図である。

40

【0091】

図 27 に示すようにウェハ 1 内に複数のチップ 2 が設けられる。チップ 2 には少なくとも一つの半導体集積回路が形成される。図 28 に示すように、図 27 の拡大エリア 41 の各チップ 2 は複数（図 28 で 4 個）のサブメモリセルアレイ領域 3 を有し、複数のサブメモリセルアレイ領域 3 によって 1 単位のメモリセルアレイを構成する。すなわち、図 28

50

の例では半導体集積回路がメモリ回路である例を示している。

【0092】

図29及び図30は、図28の一つのサブメモリセルアレイ領域3を括る拡大エリア42におけるA-A断面を模式的に示す説明図である。これらの図に示すように、1単位のメモリトランジスタユニット31の形成高さにおいて、図29で示す例ではメモリセル周辺領域43の方がメモリセル中央領域44より高くなっており、図30で示す例ではメモリセル中央領域34の方がメモリセル周辺領域33より高くなっている。このように、サブメモリセルアレイ領域3内においてメモリトランジスタユニット31の形成高さに高低差が生じている。

【0093】

チップ2内のサブメモリセルアレイ領域3において、メモリトランジスタユニット31の形成高さに高低差が生じる原因は、すなわち、CMP処理にバラツキが生じる原因は、例えば、エロージョン（パターンが密な部分が疎な部分より余分に除去されてしまうことにより生じる現象）が考えられる。

【0094】

メモリトランジスタユニット31の形成高さが最も高い領域（図29のメモリセル周辺領域43、図30のメモリセル中央領域34）は、コンタクトプラグ54形成材料の導電膜53に対するCMP処理によって、導電膜53が所定の除去量で除去された領域であり、メモリトランジスタユニット31の形成高さが最も低い領域（図29のメモリセル中央領域44、図13のメモリセル周辺領域33）は所定の除去量に加え、さらに最大オーバー除去量CX3で除去されて、ハードマスク層15上の導電膜53が全て除去された領域を意味する。

【0095】

実施の形態5の半導体装置は、メモリトランジスタユニット31にチップ2単位（サブメモリセルアレイ領域3単位）で生じる、導電膜53に対するCMP処理時に生じるバラツキを考慮して、サブメモリセルアレイ領域3に対し実施の形態2の第1の製造方法でMTJ素子を製造することにより得られる。

【0096】

実施の形態2の第1の製造方法で製造した場合、メモリトランジスタユニット31の形成高さが比較的高い領域（ビアホール17の形成深さd17よりCMPオーバー除去量（所定の除去量より余分に除去される量）が小さい領域（図29のメモリセル周辺領域43、図30のメモリセル中央領域34を含む））において、図15で示す工程処理後は、図31に示すように、ビアホール17内に埋め込まれたコンタクトプラグ54を介して上部配線55と電氣的に接続（図16に示すような電氣的接続）されるMTJ素子MA1、MA2等からなる第1種メモリトランジスタ部が形成される。

【0097】

一方、メモリトランジスタユニット31の形成高さが比較的低い領域（ビアホール17の形成深さd17よりCMPオーバー除去量大きい領域（図29のメモリセル中央領域44、図30のメモリセル周辺領域33を含む））では、ビアホール17に埋め込まれた導電膜は全て除去され、図32に示すように、ハードマスク層15の表面が完全に露出し、コンタクトプラグを介することなく上部配線55と直接電氣的に接続（図5示すような電氣的接続）可能なMTJ素子MB1、MB2等からなる第2種メモリトランジスタ部が形成される。

【0098】

このように、実施の形態5の半導体装置は、同一チップ2（サブメモリセルアレイ領域3）内において、コンタクトプラグ54を介して上部配線55と電氣的に接続を図るMTJ素子MA1等の第1種のメモリトランジスタと、コンタクトプラグを介することなく上部配線55と直接接続を図るMTJ素子MB1等の第2種のメモリトランジスタとを混在して設けている。なお、実施の形態5の半導体装置は、実施の形態2の製造方法により製造され上記第3の設定条件を満足しているため、第2種のメモリトランジスタのハードマ

10

20

30

40

50

スク層 15 の一部は必ず残存し M T J 特性が劣化することはない。

【0099】

したがって、実施の形態 5 の半導体装置は、コンタクトプラグ形成用の導電膜に対する C M P 処理のバラツキが、チップ内に形成される半導体集積回路単位に生じても、歩留まりが良いという効果を奏する。

【0100】

< 実施の形態 6 >

図 3 3 及び図 3 4 はこの発明に実施の形態 6 である M T J 素子を有する半導体装置のウェハ断面構造を模式的に示す説明図である。なお、図 3 3 及び図 3 4 は図 2 7 及び図 2 8 で示したウェハ 1 における A - A 断面 (図 2 8 参照) に相当する。

10

【0101】

これらの図に示すように、ウェハ 1 において、図 3 3 で示す例ではチップ中央領域 4 6 の方がチップ周辺領域 4 5 より高くなっており、図 3 4 で示す例ではチップ周辺領域 4 7 の方がチップ中央領域 4 8 より高くなっている。このように、ウェハ 1 内において、メモリトランジスタユニット 3 1 の形成高さに高低差が生じている。

【0102】

ウェハ 1 において、メモリトランジスタユニット 3 1 の形成高さに高低差が生じる原因は、例えば、C M P 処理時におけるウェハ 1 にかかる圧力の偏り等が考えられる。

【0103】

実施の形態 6 の半導体装置は、実施の形態 5 と同様、メモリトランジスタユニット 3 1 に生じるウェハ 1 単位の上記高低差を考慮して、ウェハ 1 に対し実施の形態 2 の第 1 の製造方法で M T J 素子を製造することにより得られる。

20

【0104】

実施の形態 2 の第 1 の製造方法を実施した場合、実施の形態 5 と同様、メモリトランジスタユニット 3 1 の形成高さが比較的高い領域 (図 3 3 のチップ中央領域 4 6 , 図 3 4 のチップ周辺領域 4 7 を含む) において、図 1 5 で示す工程処理後は、図 3 1 に示すように、コンタクトプラグ 5 4 を介して上部配線 5 5 と電氣的に接続される M T J 素子 M A 1 , M A 2 等からなる第 1 種のメモリトランジスタ部が形成される。

【0105】

一方、メモリトランジスタユニット 3 1 の形成高さが比較的低い領域 (図 3 3 のチップ周辺領域 4 5 , 図 3 4 のチップ中央領域 4 8 を含む) において、図 3 2 に示すように、コンタクトプラグを介することなく上部配線 5 5 と直接電氣的に接続可能な M T J 素子 M B 1 , M B 2 等からなる第 2 種のメモリトランジスタ部が形成される。

30

【0106】

このように、実施の形態 6 の半導体装置は、ウェハ 1 内において、コンタクトプラグ 5 4 を介して上部配線 5 5 と電氣的に接続を図る M T J 素子 M A 1 等の第 1 種のメモリトランジスタ部と、コンタクトプラグを介することなく上部配線 5 5 と直接接続を図る M T J 素子 M B 1 等の第 2 種のメモリトランジスタ部とを混在して設けている。なお、実施の形態 6 の半導体装置は、実施の形態 2 の製造方法により製造されており上記第 3 の設定条件を満足しているため、第 2 種のメモリトランジスタのハードマスク層 15 は必ず残存し M T J 特性が劣化することはない。

40

【0107】

したがって、実施の形態 6 の半導体装置は、C M P 処理のバラツキがウェハ単位に生じても、歩留まりが良いという効果を奏する。

【図面の簡単な説明】

【0108】

【図 1】この発明の実施の形態 1 である M T J 素子を有する半導体装置の第 1 の製造方法を示す断面図である。

【図 2】実施の形態 1 の第 1 の製造方法を示す断面図である。

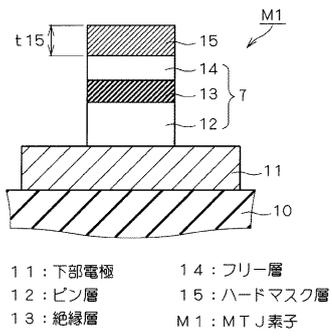
【図 3】実施の形態 1 の第 1 の製造方法を示す断面図である。

50

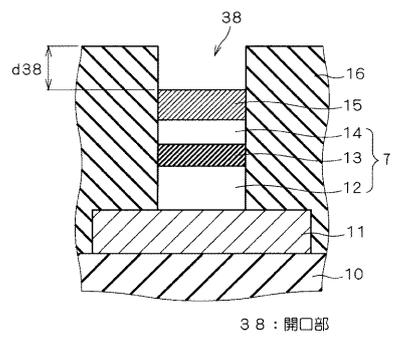
- 【図 4】実施の形態 1 の第 1 の製造方法を示す断面図である。
- 【図 5】実施の形態 1 の第 1 の製造方法を示す断面図である。
- 【図 6】この発明の実施の形態 1 である M T J 素子を有する半導体装置の第 2 の製造方法を示す断面図である。
- 【図 7】実施の形態 1 の第 2 の製造方法を示す断面図である。
- 【図 8】実施の形態 1 の第 2 の製造方法を示す断面図である。
- 【図 9】実施の形態 1 の第 2 の製造方法を示す断面図である。
- 【図 10】実施の形態 1 の第 2 の製造方法を示す断面図である。
- 【図 11】この発明の実施の形態 2 である M T J 素子を有する半導体装置の第 1 の製造方法を示す断面図である。 10
- 【図 12】実施の形態 2 の第 1 の製造方法を示す断面図である。
- 【図 13】実施の形態 2 の第 1 の製造方法を示す断面図である。
- 【図 14】実施の形態 2 の第 1 の製造方法を示す断面図である。
- 【図 15】実施の形態 2 の第 1 の製造方法を示す断面図である。
- 【図 16】実施の形態 2 の第 1 の製造方法を示す断面図である。
- 【図 17】この発明の実施の形態 2 である M T J 素子を有する半導体装置の第 1 の製造方法を示す断面図である。
- 【図 18】実施の形態 2 の第 1 の製造方法を示す断面図である。
- 【図 19】実施の形態 2 の第 1 の製造方法を示す断面図である。
- 【図 20】実施の形態 2 の第 1 の製造方法を示す断面図である。 20
- 【図 21】この発明の実施の形態 2 である M T J 素子を有する半導体装置の第 3 の製造方法の一部を示す断面図である。
- 【図 22】この発明の実施の形態 2 である M T J 素子を有する半導体装置の第 4 の製造方法の一部を示す断面図である。
- 【図 23】この発明の実施の形態 3 である M T J 素子を有する半導体装置の第 1 の製造方法の一部を示す断面図である。
- 【図 24】この発明の実施の形態 3 である M T J 素子を有する半導体装置の第 2 の製造方法の一部を示す断面図である。
- 【図 25】この発明の実施の形態 4 である M T J 素子を有する半導体装置の第 1 の製造方法の一部を示す断面図である。 30
- 【図 26】この発明の実施の形態 4 である M T J 素子を有する半導体装置の第 2 の製造方法の一部を示す断面図である。
- 【図 27】ウェハ全体の平面構造を示す説明図である。
- 【図 28】図 27 を局所的に拡大して示す説明図である。
- 【図 29】この発明の実施の形態 5 である半導体装置におけるサブメモリセルアレイ領域の断面構造を模式的に示す説明図である。
- 【図 30】この発明の実施の形態 5 である半導体装置におけるサブメモリセルアレイ領域の断面構造を模式的に示す説明図である。
- 【図 31】第 1 種のメモリトランジスタの断面構造を示す断面図である。
- 【図 32】第 2 種のメモリトランジスタの断面構造を示す断面図である。 40
- 【図 33】この発明の実施の形態 6 である半導体装置におけるウェハの断面構造を模式的に示す説明図である。
- 【図 34】この発明の実施の形態 6 である半導体装置におけるウェハの断面構造を模式的に示す説明図である。
- 【符号の説明】
- 【 0 1 0 9 】
- 7, 8 M T J 構造、1 1, 2 1 下部電極、1 2, 2 2 ピン層、1 3, 2 3 絶縁層、1 4, 2 4 フリー層、1 5, 1 5 A, 2 5, 2 5 A ハードマスク層、1 6, 2 6, 5 1, 5 6, 6 1, 6 6 層間絶縁膜、1 7, 1 8, 2 7, 2 8 ピアホール、1 9 積層ハードマスク層、3 8, 3 9 開口部、5 4, 6 4 コンタクトプラグ、M 1 ~ M 4 50

MTJ素子。

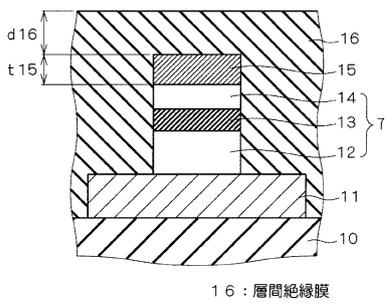
【図1】



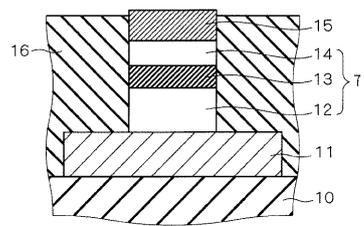
【図3】



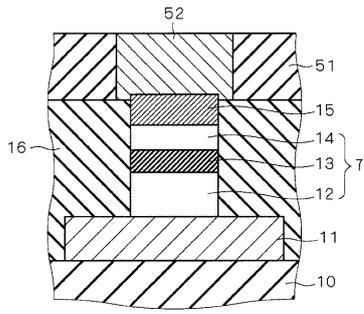
【図2】



【図4】

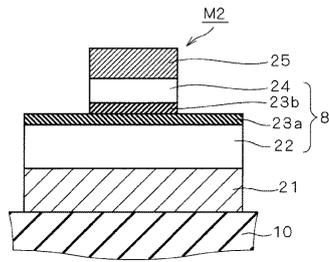


【図5】



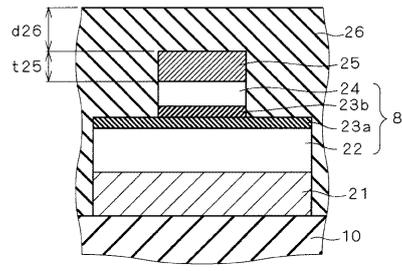
51 : 層間絶縁膜
52 : 上部配線

【図6】



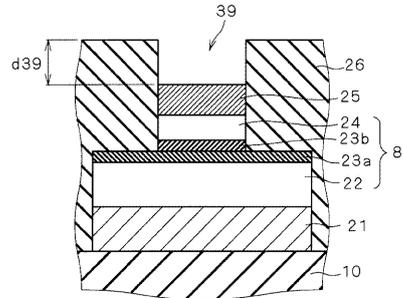
21 : 下部電極 24 : フリー層
22 : ピン層 25 : ハードマスク層
23a, 23b : 絶縁層 M2 : MTJ素子

【図7】



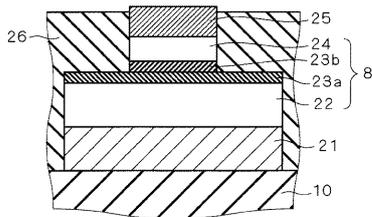
26 : 層間絶縁膜

【図8】

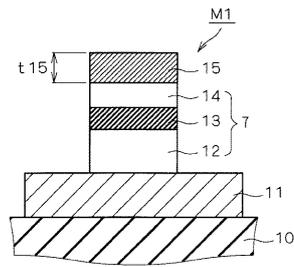


39 : 開口部

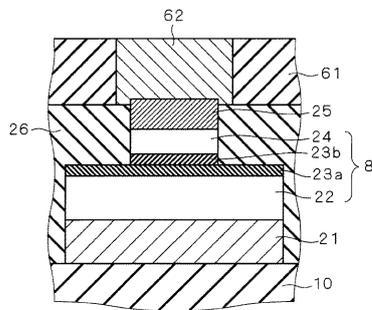
【図9】



【図11】

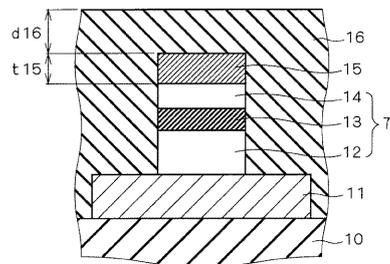


【図10】

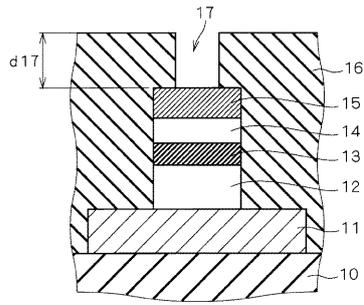


61 : 層間絶縁膜
62 : 上部配線

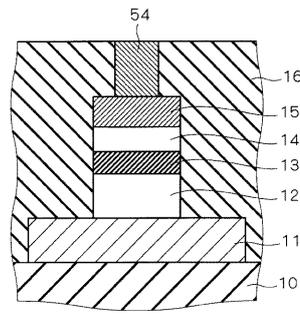
【図12】



【図13】

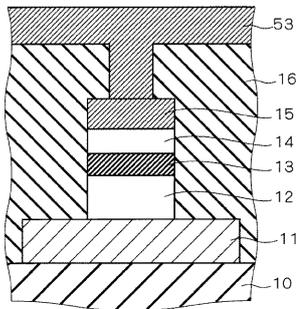


【図15】



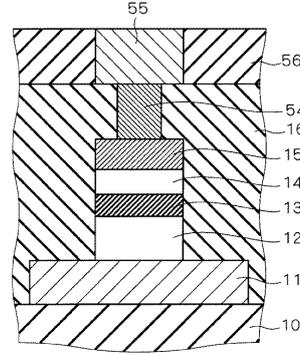
54: コンタクトプラグ

【図14】



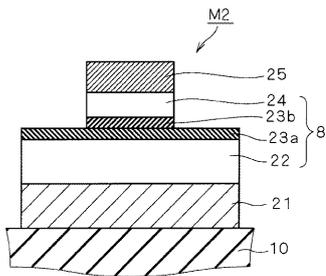
53: 導電膜

【図16】

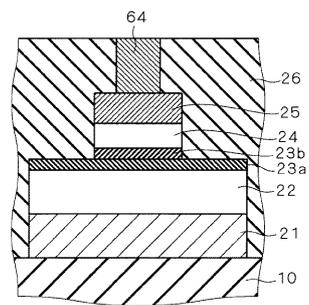


55: 上部配線
56: 層間絶縁膜

【図17】

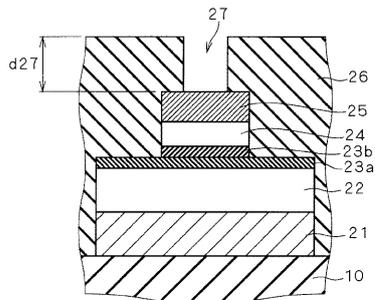


【図19】

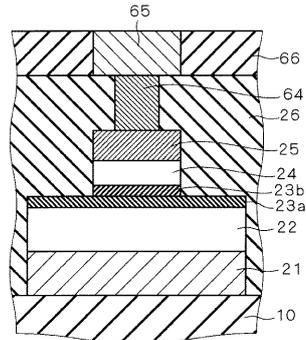


64: コンタクトプラグ

【図18】

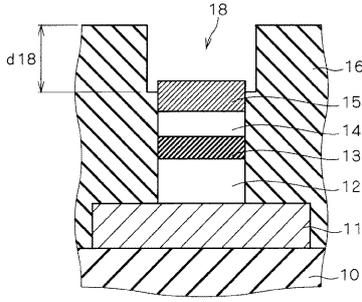


【図20】

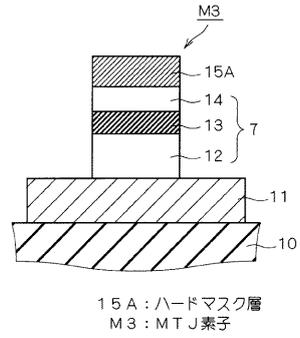


65: 上部配線
66: 層間絶縁膜

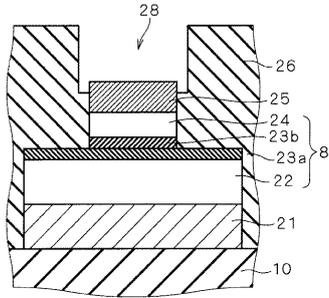
【図 2 1】



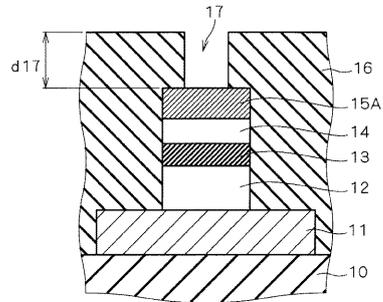
【図 2 3】



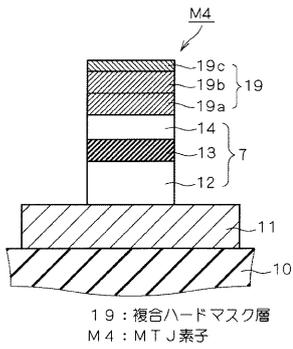
【図 2 2】



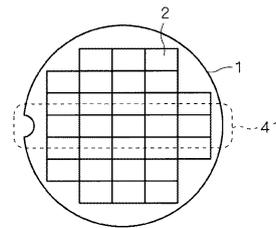
【図 2 4】



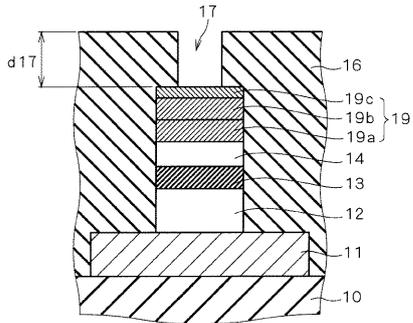
【図 2 5】



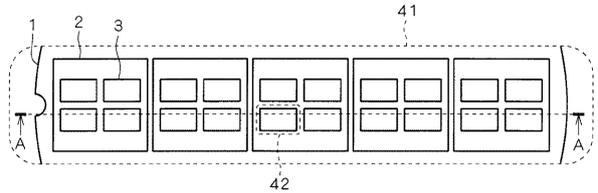
【図 2 7】



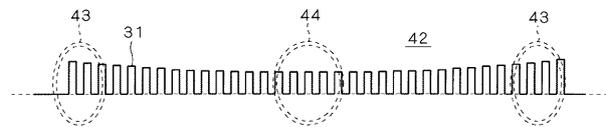
【図 2 6】



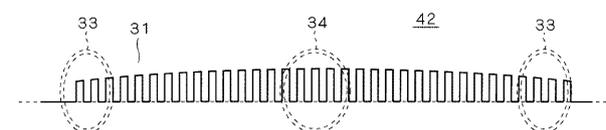
【図 2 8】



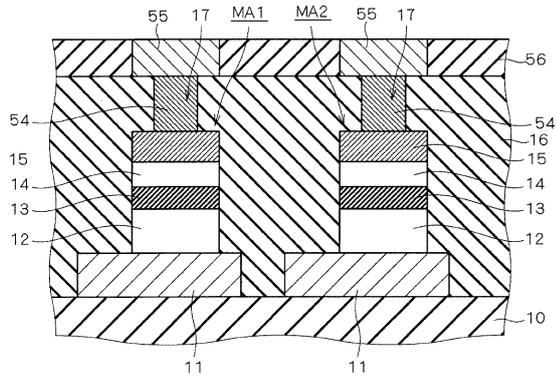
【図 2 9】



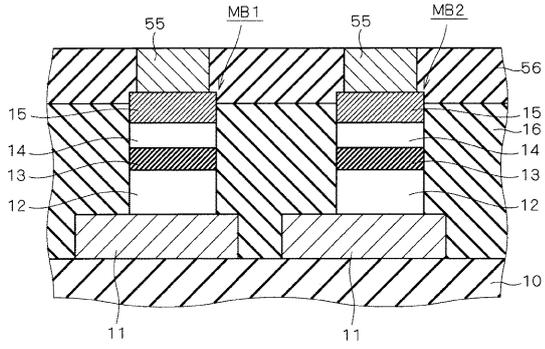
【図 3 0】



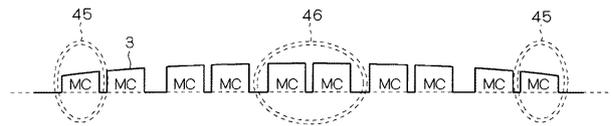
【 図 3 1 】



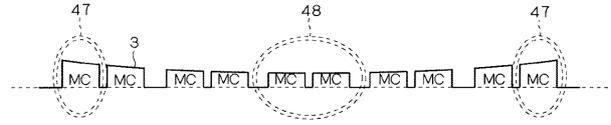
【 図 3 2 】



【 図 3 3 】



【 図 3 4 】



フロントページの続き

Fターム(参考) 5F083 FZ10 GA05 GA27 MA01 MA06 PR07