

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6072510号
(P6072510)

(45) 発行日 平成29年2月1日(2017.2.1)

(24) 登録日 平成29年1月13日(2017.1.13)

(51) Int.Cl.		F I			
HO 1 L	23/12	(2006.01)	HO 1 L	23/12	5 O 1 P
HO 1 L	25/00	(2006.01)	HO 1 L	25/00	B
HO 1 L	21/56	(2006.01)	HO 1 L	21/56	E
HO 1 L	21/288	(2006.01)	HO 1 L	21/288	E

請求項の数 18 (全 17 頁)

(21) 出願番号	特願2012-241164 (P2012-241164)	(73) 特許権者	308033711
(22) 出願日	平成24年10月31日(2012.10.31)		ラピスセミコンダクタ株式会社
(65) 公開番号	特開2014-93324 (P2014-93324A)		神奈川県横浜市港北区新横浜二丁目4番地8
(43) 公開日	平成26年5月19日(2014.5.19)	(74) 代理人	100083840
審査請求日	平成27年9月30日(2015.9.30)		弁理士 前田 実
		(74) 代理人	100116964
			弁理士 山形 洋一
		(74) 代理人	100135921
			弁理士 篠原 昌彦
		(72) 発明者	小池 理
			東京都八王子市東浅川町550番地1
			ラピスセミコンダクタ株式会社内
		審査官	豊島 洋介

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法及び半導体装置

(57) 【特許請求の範囲】

【請求項1】

複数の配線を備えた基板の上に、該複数の配線上に複数の第1の開口部を備える第1のレジストを形成する工程と、

電解メッキ処理により、前記複数の第1の開口部に対応する複数の第1の電極を形成する工程と、

前記複数の第1の電極のうちの第1の所定値以下の高さの位置を上面とする複数の第1の電極上に複数の第2の開口部を備える第2のレジストを、前記第1のレジスト上に形成する工程と、

前記第2のレジストを用いて、電解メッキ処理により、前記第1の所定値以下の高さの位置を上面とする前記複数の第1の電極上に、前記複数の第2の開口部に対応する複数の第2の電極を形成する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項2】

前記複数の第2の電極のうちの第2の所定値以下の高さの位置を上面とする第2の電極上に第3の開口部を備える第3のレジストを、前記第2のレジスト上に形成する工程と、

前記第3のレジストを用いて、電解メッキ処理により、前記第2の所定値以下の高さの位置を上面とする前記第2の電極上に、前記第3の開口部に対応する第3の電極を形成する工程と

をさらに有することを特徴とする請求項1に記載の半導体装置の製造方法。

10

20

【請求項 3】

前記第 1 の電極の形成開始前に、測定用の半導体ウェハを用いて、前記第 1 の電極の前記上面が前記第 1 の所定値以下の高さの位置となる領域を検出し、該検出結果を用いて、前記第 2 のレジストを形成する工程を実行することを特徴とする請求項 1 又は 2 に記載の半導体装置の製造方法。

【請求項 4】

複数の配線を備えた基板上に、該複数の配線上に複数の第 1 の開口部を備える第 1 のレジストを形成する工程と、

前記第 1 のレジストを用いて、電解メッキ処理により、前記複数の第 1 の開口部に対応する複数の第 1 の電極を形成する工程と、

前記複数の第 1 の電極のうちの所定の第 1 のメッキ成長速度以下のメッキ成長速度で形成された複数の第 1 の電極上に複数の第 2 の開口部を備える第 2 のレジストを、前記第 1 のレジスト上に形成する工程と、

前記第 2 のレジストを用いて、電解メッキ処理により、前記所定の第 1 のメッキ成長速度以下のメッキ成長速度で形成された前記複数の第 1 の電極上に前記複数の第 2 の開口部に対応する複数の第 2 の電極を形成する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項 5】

前記複数の第 2 の電極のうちの所定の第 2 のメッキ成長速度以下のメッキ成長速度で形成された第 2 の電極上に第 3 の開口部を備える第 3 のレジストを、前記第 2 のレジスト上に形成する工程と、

前記第 3 のレジストを用いて、電解メッキ処理により、前記所定の第 2 のメッキ成長速度以下のメッキ成長速度で形成された第 2 の電極上に、前記第 3 の開口部に対応する第 3 の電極を形成する工程と

をさらに有することを特徴とする請求項 4 に記載の半導体装置の製造方法。

【請求項 6】

前記第 1 のレジストを形成する工程は、前記基板上に第 1 のフォトレジストドライフィルムを貼り付ける工程と、前記第 1 のフォトレジストドライフィルムを厚さ方向に貫通する前記複数の第 1 の開口部を形成する工程とを含み、

前記第 2 のレジストを形成する工程は、前記第 1 のレジスト上に第 2 のフォトレジストドライフィルムを貼り付ける工程と、前記第 2 のフォトレジストドライフィルムを厚さ方向に貫通する前記複数の第 2 の開口部を形成する工程とを含む

ことを特徴とする請求項 1 から 5 までのいずれか 1 項に記載の半導体装置の製造方法。

【請求項 7】

前記第 3 のレジストを形成する工程は、前記第 2 のレジスト上に第 3 のフォトレジストドライフィルムを貼り付ける工程と、前記第 3 のフォトレジストドライフィルムを厚さ方向に貫通する前記第 3 の開口部を形成する工程を含むことを特徴とする請求項 2 に記載の半導体装置の製造方法。

【請求項 8】

前記第 2 のレジスト及び前記第 1 のレジストを除去する工程と、

前記第 1 の電極と前記第 2 の電極とから構成されるポスト電極を樹脂で封止する工程と、

研削により、前記樹脂で封止された構造体を研削する工程と

をさらに有することを特徴とする請求項 1 又は 3 に記載の半導体装置の製造方法。

【請求項 9】

前記第 2 のレジスト及び前記第 1 のレジストを除去する工程の後で、前記樹脂で封止する工程の前に、前記基板上に電子部品を実装する工程をさらに有することを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 10】

前記第 3 のレジスト、前記第 2 のレジスト及び前記第 1 のレジストを除去する工程と、

	10
	20
	30
	40
	50

前記第 1 の電極と前記第 2 の電極と前記第 3 の電極とから構成されるポスト電極を樹脂で封止する工程と、

研削により、前記樹脂で封止された構造体を研削する工程と

をさらに有することを特徴とする請求項 2 に記載の半導体装置の製造方法。

【請求項 1 1】

前記第 3 のレジスト、前記第 2 のレジスト及び前記第 1 のレジストを除去する工程の後で、前記樹脂で封止する工程の前に、前記基板上に電子部品を実装する工程をさらに有することを特徴とする請求項 1 0 に記載の半導体装置の製造方法。

【請求項 1 2】

前記複数の第 1 の電極を形成する工程において、前記複数の第 1 の電極の上面が前記第 1 のレジストの上面よりも低くなるように、前記複数の第 1 の電極を形成することを特徴とする請求項 1 から 1 1 までのいずれか 1 項に記載の半導体装置の製造方法。

10

【請求項 1 3】

前記複数の第 2 の電極を形成する工程において、前記複数の第 2 の電極の上面が前記第 2 のレジストの上面よりも低くなるように、前記複数の第 2 の電極を形成することを特徴とする請求項 2 に記載の半導体装置の製造方法。

【請求項 1 4】

レジストマスクを多段に積層して基板から露出した導電層上にメッキ処理を行う半導体装置の製造方法であって、

前記レジストマスクの 1 段目と他段目の開口部の一部を変更することによりメッキ成長速度が相対的に高い箇所を変更することを特徴とする半導体装置の製造方法。

20

【請求項 1 5】

基板と、

前記基板上に備えられた複数の導電部材と、

前記複数の導電部材上に、電解メッキ処理により形成された複数の第 1 の電極と、

前記複数の第 1 の電極のうちの第 1 の所定値以下の高さの位置を上面とする第 1 の電極上に、電解メッキ処理により形成された第 2 の電極と、

前記第 1 及び第 2 の電極を含む第 1 ポスト電極と前記第 1 の電極で構成される第 2 ポスト電極とを封止する樹脂と

を備えたことを特徴とする半導体装置。

30

【請求項 1 6】

前記第 1 ポスト電極の側面には、前記第 1 の電極と前記第 2 の電極との接合位置よりも高い位置に、周方向に長い第 1 の外周突起部が形成されていることを特徴とする請求項 1 5 に記載の半導体装置。

【請求項 1 7】

前記樹脂で封止される電子部品を備えることを特徴とする請求項 1 5 に記載の半導体装置。

【請求項 1 8】

前記複数の第 2 の電極のうちの第 2 の所定値以下の高さの位置を上面とする第 2 の電極上に、電解メッキ処理により形成された第 3 の電極を備え、

40

前記樹脂で封止される前記第 1 ポスト電極は、前記第 3 の電極を含む

ことを特徴とする請求項 1 5 から 1 7 までのいずれか 1 項に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法及び半導体装置に関し、特に、ポスト電極の形成方法及びポスト電極に関するものである。

【背景技術】

【0002】

近年、携帯電話及びデジタルカメラ等の電子機器の小型化に伴い、電子機器に搭載され

50

る半導体装置のサイズの縮小が強く要求されている。特に、ウェハレベル・チップサイズパッケージ(WL- CSP)は、パッケージサイズを半導体チップサイズまで縮小可能である。例えば、特許文献1(特開2002-299496号公報)及び特許文献2(特許第4771658号公報)は、WL- CSPなどの半導体装置に適用可能な電極構造として、電解メッキ処理によって銅(Cu)層を2段に重ねたポスト電極を説明している。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2002-299496号公報

【特許文献2】特許第4771658号公報

10

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、電解メッキ処理によって半導体ウェハの表面の全域に複数のポスト電極を形成する場合には、半導体ウェハの表面における位置に応じてメッキ成長速度が異なるため、複数のポスト電極の高さに違いが生じる。特にポスト電極を高く形成する場合は、当現象である高さの違いが顕著に見られる。具体的にいえば、電解メッキ装置のカソード電極に近い領域では電界強度が高くメッキ成長速度が高いため、ポスト電極が高くなり、それ以外の電解強度が低い領域ではメッキ成長速度が低いため、ポスト電極が低くなる傾向がある。高いポスト電極を被覆するためにモールド樹脂を厚くすると、モールド樹脂内に発生する応力が大きくなり、ウェハの反り量を増加させることとなる。一方、ウェハ反り量を抑えるためにモールド樹脂をポスト電極以下の膜厚で形成すると、例えば液状樹脂による印刷樹脂封止の場合には、スキージがポスト電極に接触しポスト電極が倒れたり、折れたりする。またモールド樹脂による樹脂封止の場合には、金型とポスト電極の接触によりウェハ割れの不良を生じ、歩留りが低下するという問題が生じる。

20

【0005】

そこで、本発明の目的は、不良品発生頻度が低い半導体装置の製造方法及び半導体装置を提供することにある。

【課題を解決するための手段】

【0006】

本発明に係る半導体装置の製造方法は、複数の配線を備えた基板上に、該複数の配線上に複数の第1の開口部を備える第1のレジストを形成する工程と、電解メッキ処理により、前記複数の第1の開口部に対応する複数の第1の電極を形成する工程と、前記複数の第1の電極のうちの第1の所定値以下の高さの位置を上面とする複数の第1の電極上に複数の第2の開口部を備える第2のレジストを、前記第1のレジスト上に形成する工程と、前記第2のレジストを用いて、電解メッキ処理により、前記第1の所定値以下の高さの位置を上面とする前記複数の第1の電極上に、前記複数の第2の開口部に対応する複数の第2の電極を形成する工程とを有することを特徴とする。

30

【0007】

本発明に係る他の半導体装置の製造方法は、複数の配線を備えた基板上に、該複数の配線上に複数の第1の開口部を備える第1のレジストを形成する工程と、前記第1のレジストを用いて、電解メッキ処理により、前記複数の第1の開口部に対応する複数の第1の電極を形成する工程と、前記複数の第1の電極のうちの所定の第1のメッキ成長速度以下のメッキ成長速度で形成された複数の第1の電極上に複数の第2の開口部を備える第2のレジストを、前記第1のレジスト上に形成する工程と、前記第2のレジストを用いて、電解メッキ処理により、前記所定の第1のメッキ成長速度以下のメッキ成長速度で形成された前記複数の第1の電極上に前記複数の第2の開口部に対応する複数の第2の電極を形成する工程とを有することを特徴とする。

40

【0008】

本発明に係る半導体装置の製造方法は、レジストマスクを多段に積層して基板から露出

50

した導電層上にメッキ処理を行う半導体装置の製造方法であって、前記レジストマスクの1段目と他段目の開口部の一部を変更することによりメッキ成長速度が相対的に高い箇所を変更することを特徴とする。

【0009】

本発明に係る半導体装置は、基板と、前記基板上に備えられた複数の導電部材と、前記複数の導電部材上に、電解メッキ処理により形成された複数の第1の電極と、前記複数の第1の電極のうちの第1の所定値以下の高さの位置を上面とする第1の電極上に、電解メッキ処理により形成された第2の電極と、前記第1及び第2の電極を含む第1ポスト電極と前記第1の電極で構成される第2ポスト電極とを封止する樹脂とを備えたことを特徴とする。

10

【発明の効果】

【0010】

本発明によれば、ポスト電極の不良品発生頻度が低下するので、半導体装置の歩留りを上げることができる。

【図面の簡単な説明】

【0011】

【図1】(a)～(e)は、本発明の第1の実施形態に係る半導体装置の製造方法の工程を示す概略断面図(その1)である。

【図2】(a)～(d)は、第1の実施形態に係る半導体装置の製造方法の工程を示す概略断面図(その2)である。

20

【図3】(a)及び(b)は、第1の実施形態に係る半導体装置を概略的に示す要部断面図及び要部平面図である。

【図4】第1の実施形態に係る半導体装置の製造方法の工程を示すフローチャートである。

【図5】電解メッキ装置によって半導体ウェハの表面に形成された電極の高さの分布の一例を示す図である。

【図6】第1の電極形成後、第2の電極形成後、及び第3の電極形成後のポスト電極の位置と高さの関係を示す図である。

【図7】(a)及び(b)は、比較例の半導体装置の製造プロセスと第1の実施形態に係る半導体装置の製造プロセスとを対比して示す概略断面図である。

30

【図8】(a)及び(b)は、本発明の第2の実施形態に係る半導体装置の製造方法の工程を示す概略断面図である。

【図9】第2の実施形態に係る半導体装置の概略的に示す要部断面図である。

【図10】第2の実施形態に係る半導体装置の製造方法の工程を示すフローチャートである。

【図11】(a)及び(b)は、比較例の半導体装置の製造プロセスと第2の実施形態に係る半導体装置の製造プロセスとを対比して示す概略断面図である。

【発明を実施するための形態】

【0012】

以下に説明する実施の形態に係る半導体装置の製造方法及び半導体装置は、WL-CSPにおいて、樹脂を厚さ方向に貫通するポスト電極及びその形成方法を特徴とする。

40

【0013】

《1》第1の実施形態

《1-1》第1の実施形態の製造方法

図1(a)～(e)は、第1の実施形態に係る半導体装置の製造方法の工程を示す概略断面図(その1)であり、図2(a)～(d)は、第1の実施形態に係る半導体装置の製造方法の工程を示す概略断面図(その2)である。図2(a)は、図1(e)に続く工程を示す。また、図3(a)及び(b)は、第1の実施形態に係る半導体装置の要部を示す概略断面図及び平面図である。また、図4は、第1の実施形態に係る半導体装置の製造方法の工程を示すフローチャートである。

50

【 0 0 1 4 】

先ず、図 1 (a) に示されるように、基板 1 0 1 上、例えば、ウェハプロセスが完了した状態の半導体ウェハ 1 0 1 上に絶縁膜 1 0 2 を介して導電部材としての複数の配線 1 0 3 を形成する。なお、半導体ウェハ 1 0 1 及び絶縁膜 1 0 2 の構造は、図示の例に限定されない。例えば、半導体ウェハ 1 0 1 上は、他の配線、他の絶縁膜、パッシベーション膜、ビア (V I A) 等の他の構成要素を備えてもよい。また、複数の配線 1 0 3 は、図示の形状及び配置に限定されず、他の形状及び配置であってもよい。

【 0 0 1 5 】

次に、図 1 (b) に示されるように、配線 1 0 3 が形成された半導体ウェハ 1 0 1 に対し、半導体ウェハ全面に、第 1 のレジストの一例である第 1 のドライフィルム (1 層目のドライフィルム) 1 0 4 を貼り付ける (図 4 におけるステップ S 1)。次に、図 1 (b) に示されるように、リソグラフィ技術に基づく露光及び現像処理を用いて、配線 1 0 3 上に第 1 のドライフィルム 1 0 4 を厚さ方向に貫通する複数の第 1 の開口部 (第 1 のホール) 1 0 4 a を形成する (図 4 におけるステップ S 2 , S 3)。

10

【 0 0 1 6 】

次に、図 1 (c) に示されるように、柱状の 1 段目の電極である第 1 の電極 1 0 5 を電解メッキにより形成する (図 4 におけるステップ S 4)。第 1 の電極 1 0 5 は、通常は、銅 (C u) 電極であるが、他の金属の電極 (例えば、金、パラジウムなど) とすることも可能である。このとき、第 1 のドライフィルム 1 0 4 の第 1 の開口部 1 0 4 a 内のみ第 1 の電極 1 0 5 は形成される。また、図 1 (c) に示されるように、第 1 の電極 1 0 5 の上面は、第 1 のドライフィルム 1 0 4 の上面よりも低くなるように、第 1 の電極 1 0 5 を形成する。

20

【 0 0 1 7 】

電解メッキ処理によって半導体ウェハ 1 0 1 の表面の全域に複数の第 1 の電極を形成する場合には、半導体ウェハ 1 0 1 の表面における位置に応じてメッキ成長速度が異なるため、複数の第 1 の電極 1 0 5 の高さの違いが生じる。例えば、電解メッキ装置のカソード電極が接触する場所に近い電界強度の高い領域ではメッキ成長速度が高いため、第 1 の電極 1 0 5 が高くなり、カソード電極の接触する場所から遠い電解強度が低い領域ではメッキ成長速度が低いため、第 1 の電極 1 0 5 が低くなる傾向がある。このため、複数の第 1 の電極 1 0 5 は、第 1 の電極の上面が第 1 の所定値 H 1 以下の高さの位置となる第 1 領域 1 3 1 における複数の第 1 の電極 1 0 5 a と、第 1 の電極の上面が第 1 の所定値 H 1 より高い高さの位置となる第 2 領域 1 3 2 における少なくとも 1 つの第 1 の電極 1 0 5 b とを含む。

30

【 0 0 1 8 】

次に、図 1 (d) に示されるように、半導体ウェハ 1 0 1 上の第 1 のドライフィルム 1 0 4 上に第 2 のドライフィルム 1 0 6 を貼り付ける (図 4 におけるステップ S 5)。

【 0 0 1 9 】

次に、図 1 (e) に示されるように、リソグラフィ技術に基づく露光及び現像処理を用いて、第 1 領域 1 3 1 における複数の第 1 の電極 1 0 5 a 上に、第 1 の開口部 1 0 4 a に重なり、第 2 のドライフィルム 1 0 6 を厚さ方向に貫通する第 2 の開口部 (第 2 のホール) 1 0 6 a を形成する (図 4 におけるステップ S 6 , S 7)。第 2 の電極 1 0 7 を形成しない領域である第 2 領域 1 3 2 は、例えば、1 又は複数の矩形の単位領域であり、半導体ウェハ 1 0 1 に形成される 1 又は複数チップの領域とすることができる。また、第 2 の電極 1 0 7 を形成しない領域である第 2 領域 1 3 2 は、1 チップ内の一部の領域であってもよい。

40

【 0 0 2 0 】

次に、図 2 (a) に示されるように、第 1 領域 1 3 1 内の第 1 の電極 1 0 5 a 上に 2 段目の電極である第 2 の電極 1 0 7 を電解メッキ処理により形成する (図 4 におけるステップ S 8)。第 2 の電極 1 0 7 は、通常は、C u 電極であるが、他の金属の電極 (例えば、金、パラジウムなど) とすることも可能である。第 1 の実施形態においては、第 1 の電極

50

105aと第2の電極107を重ね合わせた柱状の構造体が、ポスト電極108である。このとき、第2のドライフィルム106の第2の開口部106a内に第2の電極107は形成される。なお、ポスト電極108が最終構造として2段構成であり、半導体ウェハ101上に複数のポスト電極108を形成する場合には、電解メッキ装置のカソード電極が接触する場所から遠い位置（例えば、半導体ウェハ101の中心付近）と近い位置（例えば、半導体ウェハ101の周辺部）におけるメッキ成長速度が異なる場合があるが、一部又は全ての第2の電極107の頂部が、第2のドライフィルム106の上面よりも高くなるように形成してもよい。

【0021】

ただし、ドライフィルムを3層以上重ねて用いる場合には、第1の電極105と同様に、第2の電極107の上面を、第2のドライフィルム106の上面よりも低く形成する。

【0022】

次に、図2(b)に示されるように、第2及び第1のドライフィルム106及び104を薬液処理等により除去する（図4におけるステップS9）。

【0023】

次に、必要に応じて、配線103上に部品（例えば、図3における112）を実装する（図4におけるステップS10）。部品112は、発光素子、受光素子、或は発振素子やセンサ等のチップ又はパッケージ化された電子部品であり、その種類及び数量は限定されない。部品112は、実装された部品112の上面が、最も低いポスト電極108の上面よりも低い位置になるように、選択する。言い換えれば、ポスト電極108の高さが、実装される部品112の上面よりも高くなるように、ポスト電極108の高さ（重ねる電極の段数）を選択する必要がある。積層するドライフィルムの枚数を増やすことでポスト電極108の高さを高くすることが可能である。なお、半導体ウェハ101内に機能素子が形成されている場合には、配線103上に部品112を実装しないこともある。

【0024】

その後、図2(c)に示されるように、半導体ウェハ101全面を樹脂109により封止する（図4におけるステップS11）。

【0025】

次に、図2(d)に示されるように、樹脂109により封止が完了した半導体ウェハ101において、樹脂109を研削し、ポスト電極108を露出させる（図4におけるステップS12）。研削後のポスト電極108の高さは、ポスト電極108の頂部が、部品112の頂部よりも高い位置になるように形成する。樹脂109としては、例えば、モールドイングの封止樹脂又は液状（ペースト）樹脂による印刷封止などがある。

【0026】

その後、ポスト電極108上に半田ペーストを印刷し、リフロー処理を行い、半球状の半田端子を形成する（図4におけるステップS13）。以上の工程により、WL-CSPにおいて、配線上に部品を実装し、部品を樹脂で封止した半導体装置が完成する。

【0027】

レジストマスクを多段に積層してポスト電極の形成を行う際、レジストマスクの1段目の開口部の電解集中が生じる領域に、2段目のレジストマスクの2段目に開口部を設けないことにより、1段目のレジストマスクの電解集中箇所と2段目のレジストマスクの電解集中箇所を任意に移動（すなわち、任意の位置に設定）する。すなわち、1段目のレジストマスクにより電解メッキで形成された1段目の電極のメッキ成長速度が高い箇所と、2段目のレジストマスクにより電解メッキで形成された2段目の電極のメッキ成長速度が高い箇所を変更する。換言すれば、レジストマスクを多段に積層してポスト電極の形成を行う際、1段目のレジストマスクの開口部の位置と2段目のレジストマスクの開口部の位置と一部を変更することによりメッキ成長速度が相対的に高い箇所を変更する。

【0028】

《1-2》第1の実施形態の半導体装置

図2(d)又は図3に示されるように、第1の実施形態に係る半導体装置は、半導体ウ

10

20

30

40

50

エハ101と、半導体ウェハ101上に、例えば、絶縁膜102を介して備えられた複数の配線103と、複数の配線103上に、電解メッキ処理により形成された複数の第1の電極105と、複数の第1の電極105のうちの第1の所定値H1以下の高さの位置を上面とする第1の電極105a上に、電解メッキ処理により形成された第2の電極107と、第1の電極105を封止すると共に第2の電極107の側面を封止する樹脂109とを有している。積層された第1の電極105aと第2の電極107とが、上面を樹脂109から露出させるポスト電極108を構成し、第2の電極107が積層されない第1の電極105bは樹脂109によって封止されている。

【0029】

《1-3》第1の実施形態の効果

電解メッキ処理により形成される第1の電極105及び第2の電極107は半導体ウェハ101の外周側、特に、電解メッキ装置のカソード電極143が接触する場所の近傍が急激に高くなる特性を持ち、半導体ウェハ101の面内のポスト電極の高さのバラツキを大きくする。図5は、電解メッキ装置によって半導体ウェハの表面に形成された電極の高さの分布の一例を概略的に示す図である。また、図6は、第1の電極形成後、第2の電極形成後、及び第3の電極形成後のポスト電極の位置と高さの関係を示す図であり、図7(a)及び(b)は、比較例の半導体装置の製造プロセスと第1の実施形態に係る半導体装置の製造プロセスとを対比して示す概略断面図である。図5において、電界集中の小さい領域(白色)を140aで示し、電界集中が中間の領域(細線のハッチング領域)を140bで示し、電界集中が大きい領域(太線のハッチング領域)を140cで示している。図5に示されるように、電解強度の高いカソード電極143が接触する場所の近傍では、局所的に、メッキ成長速度が高いため、本発明を適用しない場合には、図6や図7(a)の比較例のように、最も高いポスト電極と最も低いポスト電極との差D0は非常に大きくなる。この場合には、最も高いポスト電極に合わせて樹脂を厚くすると、樹脂内に発生する応力が大きくなり、ウェハの反り量を増加させることとなる。一方、ウェハの反り量を抑えるために樹脂をポスト電極以下の膜厚で形成すると、例えば液状樹脂による印刷樹脂封止の場合には、スキージがポスト電極に接触しポスト電極が倒れたり、折れたりする。またモールドイング樹脂による樹脂封止の場合には、金型とポスト電極の接触によりウェハ割れの不良発生の頻度が増加し、歩留りが低下する。

【0030】

より具体的に説明すれば、既存のWL-CSPのポスト電極(Cuポスト)の高さは50~120 μ m程度であるが、部品実装用のWL-CSPではポスト電極の高さを250 μ m以上とすることがある。このため、ドライフィルム及び電極を積層して250 μ m以上のポスト電極を形成するが、電極を積層する度に半導体ウェハの面内におけるポスト電極の高さのバラツキは増加する。図6は、第1の電極(1段のCuポスト)、第2の電極(2段のCuポスト)、第3の電極(3段のCuポスト)を積層した際の、半導体ウェハ101の面内におけるポスト電極の高さバラツキを示す。図6からわかるように、1段のCuポスト(第1の電極)の高さのバラツキは、最大で10 μ m程度であるが、2段のCuポスト(第1の電極と第2の電極の2段)の高さのバラツキは最大で20 μ m程度となり、3段のCuポスト(第1の電極と第2の電極と第3の電極の3段)の高さのバラツキは最大で35 μ m程度となる。樹脂109は、最も高くなったポスト電極以上の厚さとする必要があり、樹脂の膜厚の増加により生じる応力がウェハの反り量を増加させるため樹脂による封止後の工程においてウェハ加工上の問題が生じやすくなる。

【0031】

図7(a)には、比較例の半導体装置の製造プロセスによって製造された複数のポスト電極の高さのばらつきの最大値(高さの差の最大値)D0が示されており、図7(b)には、第1の実施形態に係る半導体装置の製造プロセスによって製造された複数のポスト電極の高さのばらつきの最大値(高さの差の最大値)D1が示されている。図7(a)に比較例として示されるように、電解メッキ装置のカソード電極(図5の143)が接触する場所に近い領域132aにポスト電極107aを形成した場合には、図7(a)に示され

10

20

30

40

50

るポスト電極の高さのばらつきの最大値D0は大きくなる。これに対し、第1の実施形態に係る半導体装置製造方法によれば、図7(b)に示されるように、最も高いポスト電極と最も低いポスト電極との差(複数のポスト電極の高さばらつきの最大値)D1は、領域132aにポストを形成した場合の図7(a)に示される差D0よりも、遙かに小さくなる。すなわち、メッキ装置のカソード電極143が接触する場所から遠い領域と比較し、メッキ装置のカソード電極143が接触する場所近傍のポスト電極高さが高くなる現象が抑制されるため、ポスト電極を被覆する樹脂を薄く形成することが可能であり、樹脂内に発生する応力に起因する半導体ウェハ101の反り量を抑制し、その後の半導体ウェハ加工上の問題を生じ難くすることができる。

【0032】

また、第1の実施形態においては、電解メッキ処理のマスクとして第1のドライフィルム104を用いて第1の電極105を形成した後、第2のドライフィルム106を用いて第2の電極107を形成することによって、高さの高いポスト電極108を形成する。このように、ポスト電極108の形成工程を2回に分けることにより、ポスト電極108の電解メッキ処理におけるドライフィルムのアスペクト比を下げるのが可能となり、ポスト電極内部に空洞を生じることなく、部品実装に必要なポスト電極の高さを確保することができる。

【0033】

また、第1のドライフィルム104をマスクとした第1の電極105の上部の高さを、第1のドライフィルム104の上面より低くすることにより、第2のドライフィルム106の貼付け時の密着性低下の原因となる第1の電極105の飛び出しを抑制することが可能となる。

【0034】

さらに、第1のドライフィルム104の現像は、パターン頂部を広げるという傾向を持つ。これにより、第1のドライフィルム104と第2のドライフィルム106の界面の位置であって、ポスト電極108の外周面には、図3(a)及び(b)に示されるように、周方向に長い環状の外周突起部(段差)110が生じる。この突起部110によって、樹脂109からのポスト電極108が抜けることを防止することができるという効果が得られる。

【0035】

さらに、第1の実施形態においては、第1の電極105aと第2の電極107の継ぎ目(接合位置)111を、応力集中箇所である第1のドライフィルム104と第2のドライフィルム106の界面(この界面位置には、図3(a)及び(b)に示されるような、周方向に長い環状の外周突起部(段差)110が形成される)より下にしている。接合位置と応力集中箇所を異ならせることによりポスト電極の強度を上げることが可能となる。また、第1のドライフィルム104と第2のドライフィルム106の界面に生じるポスト電極の段差110により樹脂109からのポスト電極抜けを抑制することが可能となる。

【0036】

なお、第2領域132は、電解メッキ条件毎にメッキ速度が急激に上昇する領域を事前に把握し、決定することが可能である。

【0037】

《2》第2の実施形態

《2-1》第2の実施形態の製造方法

図8(a)及び(b)は、第2の実施形態に係る半導体装置の製造方法の工程を示す概略断面図であり、図9は、第2の実施形態に係る半導体装置の要部を示す概略断面図である。なお、第2の実施形態においは、第1の実施形態と共通のプロセスを示す図1(a)~(e)及び図2(a)をも参照する。第2の実施形態を示す図8(a)は、図2(a)の次の工程である。また、第2の実施形態においては、図1(a)~(e)及び図2(a)における領域131, 132は、領域231, 232と読み替える。また、図10は、第2の実施形態に係る半導体装置の製造方法の工程を示すフローチャートである。第2の

10

20

30

40

50

実施形態は、ポスト電極 208 を、第 1 の電極 105 と第 2 の電極 107 と第 3 の電極 207 からなる 3 段の電極の積層構造としている点が、ポスト電極 108 を 2 段の電極の積層構造とする第 1 の実施形態と相違する。なお、本発明は、4 段以上の電極の積層構造とするポスト電極の形成にも適用することができる。

【0038】

第 2 の実施形態に係る半導体装置の製造方法においては、半導体ウェハ 101 上にポスト電極 208 を形成するためのプロセスの開始前に、第 2 の実施形態に係る半導体装置の製造に使用する半導体ウェハ 101 と同じ構造を持つ測定用の半導体ウェハ及びフォトレジストを用いて、第 1 の電極 105 の上面が第 1 の所定値（図 8（a）における H1）以下の高さの位置となる半導体ウェハ 101 上の第 1 領域 231 と、第 1 の電極 105 の上面が第 1 の所定値（図 8（a）における H1）を超える高さの位置となる半導体ウェハ 101 上の第 2 領域 232 とを検出する。第 2 の実施形態に係る半導体装置の製造方法においては、この検出結果を用いて、第 2 のドライフィルム 106 の第 2 の開口部 106a を第 1 領域 231 において形成し、第 2 領域 232 において開口部を形成しない（図 10 におけるステップ S5 ~ S7）。

【0039】

また、第 2 の実施形態に係る半導体装置の製造方法においては、第 2 の実施形態に係る半導体装置の製造に使用する半導体ウェハ 101 と同じ構造を持つ測定用の半導体ウェハ及びフォトレジストを用いて、第 2 の電極 107 の上面が第 2 の所定値（図 8（a）における H2）以下の高さの位置となる半導体ウェハ 101 上の第 3 領域 234 と、第 2 の電極 107 の上面が第 2 の所定値（図 8（a）における H2）を超える高さの位置となる半導体ウェハ 101 上の第 4 領域 233 とを検出する。第 2 の実施形態に係る半導体装置の製造方法においては、この検出結果を用いて、第 3 のドライフィルム 206 の第 3 の開口部 206a を第 3 領域 234 において形成し、第 4 領域 233 において開口部を形成しない（図 10 におけるステップ S21 ~ S23）。第 2 の実施形態に係る半導体装置の製造方法を用いることによって、ポスト電極 208 の高さのバラツキを小さくできるので、ポスト電極の不良品発生頻度を低くできる。

【0040】

第 1 の実施形態の場合と同様に、半導体ウェハ 101 上に絶縁膜 102 を介して複数の配線 103 を形成し、第 1 のドライフィルム 104 を貼り付ける（図 10 におけるステップ S1）、配線 103 上に第 1 のドライフィルム 104 を厚さ方向に貫通する複数の第 1 の開口部 104a を形成し（図 10 におけるステップ S2, S3）、電解メッキ処理により、1 段目の電極である第 1 の電極 105 を形成する（図 10 におけるステップ S4）。

【0041】

次に、第 1 の実施形態の場合と同様に、第 2 のドライフィルム 106 を貼り付ける（図 10 におけるステップ S5）、第 1 領域 231 上に第 2 のドライフィルム 106 を厚さ方向に貫通する複数の第 2 の開口部 106a を形成し（図 10 におけるステップ S6, S7）、電解メッキ処理により、2 段目の電極である第 2 の電極 107 を形成する（図 10 におけるステップ S8）。

【0042】

次に、第 2 のドライフィルム 106 上に第 3 のドライフィルム 206 を貼り付ける（図 10 におけるステップ S21）。次に、図 8（a）に示されるように、リソグラフィ技術に基づく露光及び現像処理を用いて、第 3 領域 234 における複数の第 2 の電極 107 上に、第 2 の開口部 106a に重なり、第 3 のドライフィルム 206 を厚さ方向に貫通する第 3 の開口部（第 3 のホール）206a を形成する（図 10 におけるステップ S22, S23）。第 3 の電極 207 を形成しない領域である第 4 領域 233 は、例えば、1 又は複数の矩形の単位領域であり、半導体ウェハ 101 に形成される 1 又は複数チップの領域とすることができる。また、第 3 の電極 207 を形成しない領域である第 4 領域 233 は、1 チップ内の一部の領域でもあってもよい。

【0043】

次に、図8(b)に示されるように、第3領域234内の第2の電極107上に3段目の電極である第3の電極207を電解メッキにより形成する(図10におけるステップS24)。第3の電極207は、通常は、Cu電極であるが、他の金属の電極(例えば、金、パラジウムなど)とすることも可能である。第2の実施形態においては、第1の電極105aと第2の電極107と第3の電極207を重ね合わせた柱状の構造体が、ポスト電極208である。このとき、第3のドライフィルム206の第3の開口部206a内に第3の電極207は形成される。なお、ポスト電極208が最終構造として3段構成であり、半導体ウェハ101上に複数のポスト電極208を形成する場合には、電解メッキ装置のカソード電極143が接触する場所から遠い位置(例えば、半導体ウェハ101の中心付近)と近い位置(例えば、半導体ウェハ101の周辺部)におけるメッキ成長速度が異なる場合があるが、一部又は全ての第3の電極207の頂部が、第3のドライフィルム206の上面よりも高くなるように形成してもよい。

10

【0044】

ただし、ドライフィルムを4層以上重ねて用いる場合には、第1及び第2の電極105、107と同様に、第3の電極207の上面を、第3のドライフィルム206の上面よりも低く形成する。

【0045】

次に、第3、第2、及び第1のドライフィルム206、106及び104を薬液処理等により除去し(図10におけるステップS9)、必要に応じて、配線103上に部品(例えば、図9における112)を実装する(図10におけるステップS10)。部品112は、実装された部品112の上面が、最も低いポスト電極208の上面よりも低い位置になるように、選択する。なお、配線103上に部品112を実装しないこともある。

20

【0046】

その後、半導体ウェハ101全面を樹脂209により封止し(図10におけるステップS11)、樹脂209を研削し、ポスト電極208を露出させる(図10におけるステップS12)。研削後のポスト電極208の高さは、ポスト電極208の頂部が、部品112の頂部よりも高い位置になるように形成する。

【0047】

その後、ポスト電極208上に半田ペーストを印刷し、リフロー処理を行い、半球状の半田端子を形成する(図10におけるステップS13)。以上の工程により、WL-CSPにおいて、配線上に部品を実装し、部品を樹脂209で封止した半導体装置が完成する。

30

【0048】

レジストマスクを多段に積層してポスト電極の形成を行う際、1段目のレジストマスクの1段目の開口部の電解集中が生じる領域には、2段目のレジストマスクに2段目の開口部を設けず、2段目のレジストマスクの2段目の開口部の電解集中が生じる領域に3段目のレジストマスクの3段目の開口部を設けないことにより、1段目のレジストマスクの電解集中箇所と2段目のレジストマスクの電解集中箇所と3段目のレジストマスクの電解集中箇所を任意に移動(すなわち、任意の位置に設定)する。すなわち、1段目のレジストマスクにより電解メッキで形成された1段目の電極のメッキ成長速度が高い箇所と、2段目のレジストマスクにより電解メッキで形成された2段目の電極のメッキ成長速度が高い箇所と、3段目のレジストマスクにより電解メッキで形成された3段目の電極のメッキ成長速度が高い箇所を変更(すなわち、任意の位置に設定)する。換言すれば、レジストマスクを多段に積層してポスト電極の形成を行う際、レジストマスクの1段目と他段目の開口部の一部を変更することによりメッキ成長速度が相対的に高い箇所を変更する。

40

【0049】

図9に示されるように、第2の実施形態に係る半導体装置は、半導体ウェハ101と、半導体ウェハ101上に、例えば、絶縁膜102を介して備えられた複数の配線103と、複数の配線103上に、電解メッキ処理により形成された複数の第1の電極105と、複数の第1の電極105のうちの第1の所定値H1以下の高さの位置を上面とする第1の

50

電極 105 a 上に、電解メッキ処理により形成された第 2 の電極 107 と、複数の第 2 の電極 107 のうちの第 2 の所定値 H_2 ($H_2 > H_1$) 以下の高さの位置を上面とする第 2 の電極 107 上に、電解メッキ処理により形成された第 3 の電極 207 と、第 1 の電極 105 及び第 2 の電極 107 を封止すると共に第 3 の電極 207 の側面を封止する樹脂 209 とを有している。なお、図 9 に示されるように、積層され第 1 の電極 105 a と第 2 の電極 107 と第 3 の電極 207 とが、上面を樹脂 209 から露出させるポスト電極 208 を構成し、図 9 には示していないが、図 8 (b) に示されるように、第 3 の電極 207 が積層されない第 1 の電極 105 b 及び第 2 の電極 107 b は樹脂 209 によって封止されている。

【0050】

《2-2》第 2 の実施形態の効果

図 11 (a) には、比較例の半導体装置の製造プロセスによって製造された複数のポスト電極の高さのばらつきの最大値 (高さの差の最大値) D_{10} が示されており、図 11 (b) には、第 2 の実施形態に係る半導体装置の製造プロセスによって製造された複数のポスト電極の高さのばらつきの最大値 (高さの差の最大値) D_{11} が示されている。図 11 (a) に比較例として示されるように、電解メッキ装置のカソード電極 (図 5 の 143) が接触する場所に近い領域 233 a にポスト電極 207 a を形成した場合には、図 11 (a) に示されるポスト電極の高さのばらつきの最大値 D_{10} は大きくなる。これに対し、第 2 の実施形態に係る半導体装置製造方法によれば、図 11 (b) に示されるように、最も高いポスト電極と最も低いポスト電極のとの差 (複数のポスト電極の高さばらつきの最大値) D_{11} は、領域 233 a にポストを形成した場合の図 11 (a) に示される差 D_{10} よりも、遙かに小さくなる。すなわち、電解メッキ装置のカソード電極 143 が接触する場所から遠い領域と比較し、電解メッキ装置のカソード電極 143 が接触する場所近傍でポスト電極の高さが高くなる現象が抑制されるため、ポスト電極を被覆する樹脂を薄く形成することが可能であり、樹脂内に発生する応力に起因する半導体ウェハ 101 の反り量を抑制し、その後の半導体ウェハ加工上の問題を生じ難くすることができる。

【0051】

また、第 1 のドライフィルム 104 並びに第 2 のドライフィルム 106 の現像は、パターン頂部を広げるという傾向を持つ。これにより、第 1 のドライフィルム 104 と第 2 のドライフィルム 106 の界面は、ポスト電極 208 に図 9 に示されるような、周方向に長い環状の外周突起部 (段差) 110, 210 を生じ、この突起部 110, 210 は、樹脂 209 からのポスト電極抜けを防止するという効果が得られる。

【0052】

また、第 2 の実施形態によれば、ドライフィルム貼付け、ポスト電極メッキ工程を 3 回に分割し高いポスト電極を形成することにより、ポスト電極 208 の形成工程を 3 回に分けることとなり、ポスト電極 208 の電解メッキ処理におけるドライフィルムのアスペクト比を下げる事が可能となるため、安価な装置を使用してもポスト電極内部に空洞を生じることなく、部品実装に必要なポスト電極の高さを確保することができる。

【0053】

さらに、第 2 の実施形態においては、第 1 の電極 105 a と第 2 の電極 107 の継ぎ目 (接合位置) 111 を、応力集中箇所である第 1 のドライフィルム 104 と第 2 のドライフィルム 106 の界面 (この界面位置には、図 9 に示されるような、周方向に長い環状の外周突起部 (段差) 110 が形成される) より下にし、第 2 の電極 107 と第 3 の電極 207 の継ぎ目 (接合位置) 211 を、応力集中箇所である第 2 のドライフィルム 106 と第 3 のドライフィルム 206 の界面 (この界面位置には、図 9 に示されるような、周方向に長い環状の外周突起部 (段差) 210 が形成される) より下にしている。接合位置と応力集中箇所を異ならせることによりポスト電極の強度を上げることが可能となる。また、第 1 のドライフィルム 104 と第 2 のドライフィルム 106 の界面に生じるポスト電極の段差 110、及び、第 2 のドライフィルム 106 と第 3 のドライフィルム 206 の界面に生じるポスト電極の段差 210 により樹脂 209 からのポスト電極抜けを抑制することが

10

20

30

40

50

可能となる。

【0054】

なお、領域232, 233は、電解メッキ条件毎にメッキ速度が急激に上昇する領域を事前に把握し、決定することが可能である。

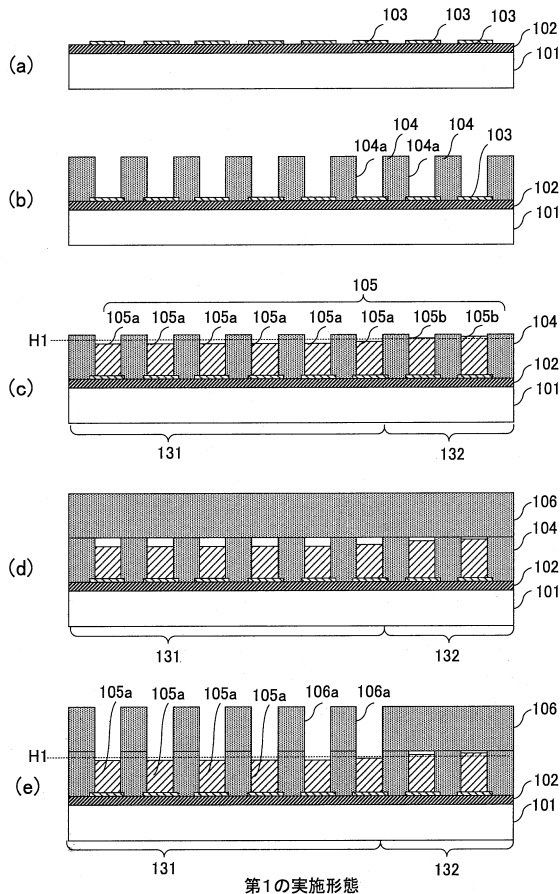
【符号の説明】

【0055】

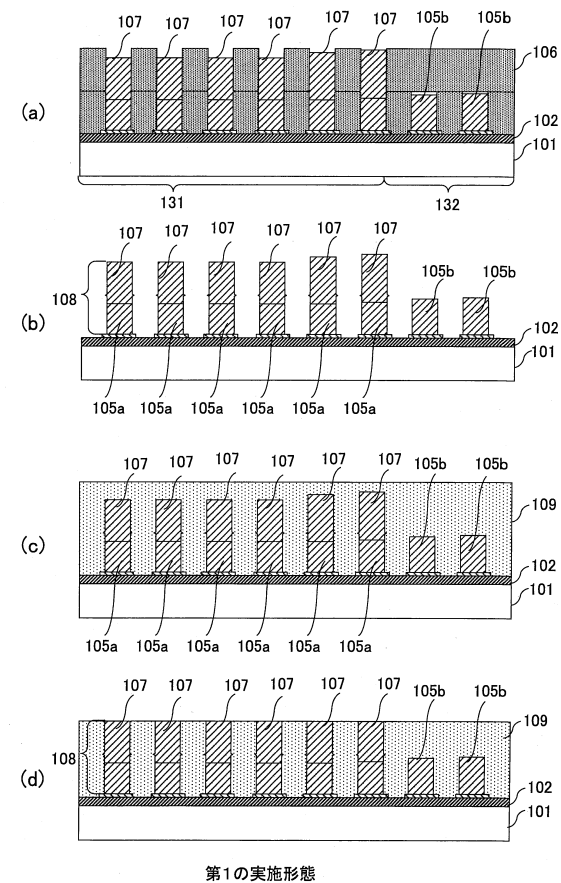
101 半導体ウェハ、 102 絶縁膜、 103 配線、 104 第1のドライフィルム(第1のレジスト)、 104a 第1の開口部(ホール)、 105, 105a, 105b 第1の電極、 106 第2のドライフィルム(第2のレジスト)、 106a 第2の開口部(ホール)、 107 第2の電極、 108, 208 ポスト電極、 109, 209 樹脂、 112 部品、 110, 210 外周突起部、 111, 211 接合位置、 131, 231 第1領域、 132, 232 第2領域、 143 カソード電極、 206 第3のドライフィルム(第3のレジスト)、 206a 第3の開口部(ホール)、 207 第3の電極、 234 第3領域、 233 第4領域。

10

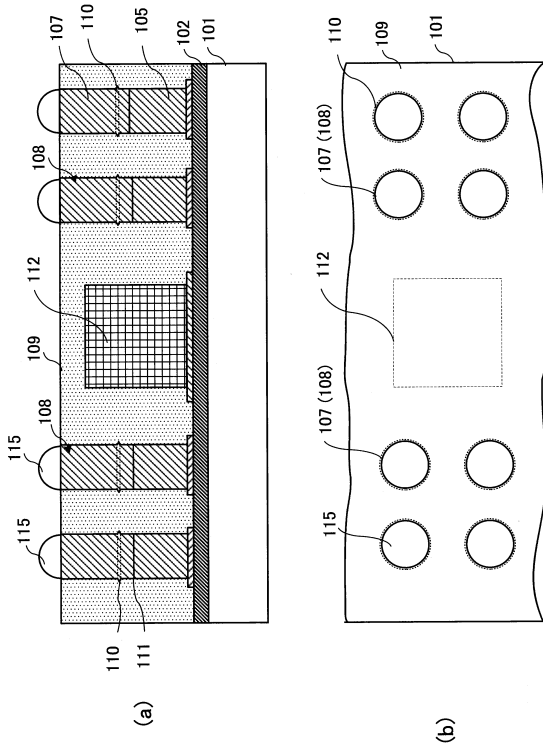
【図1】



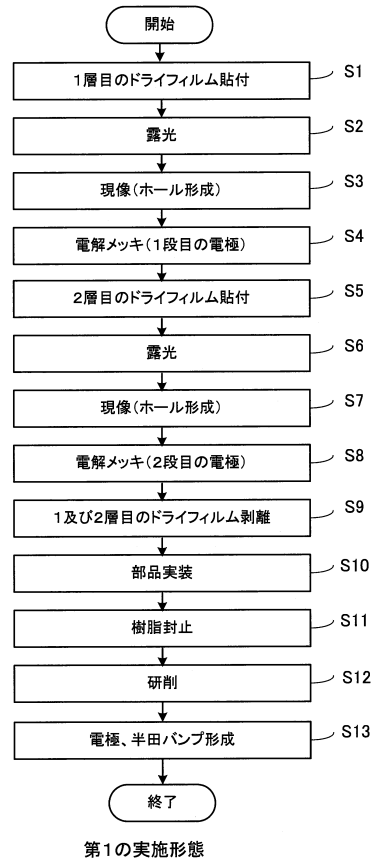
【図2】



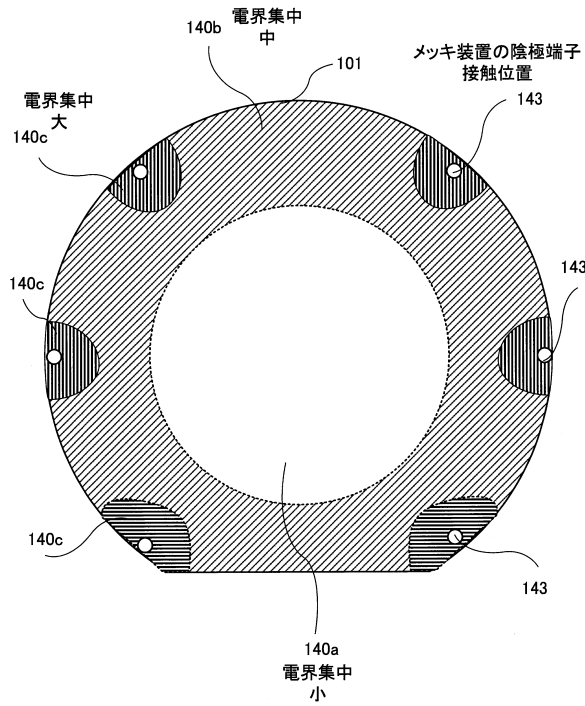
【図3】



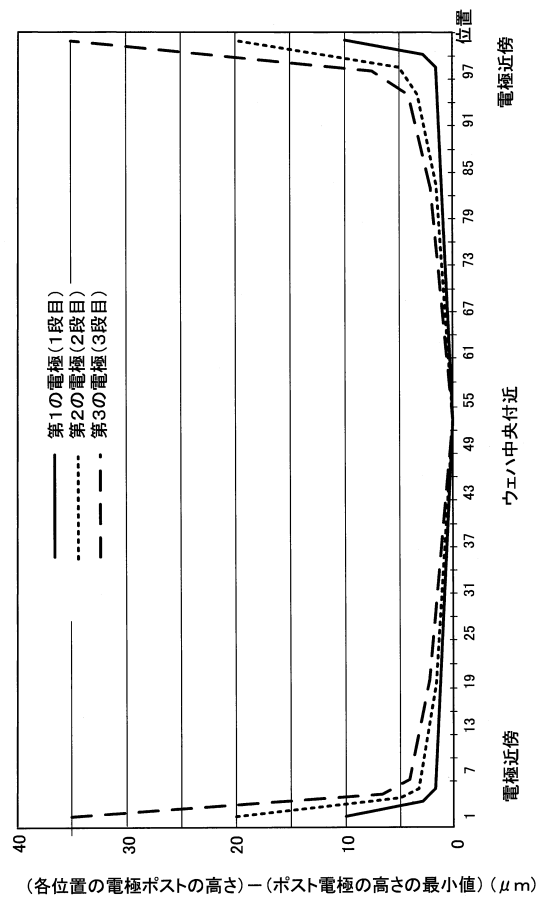
【図4】



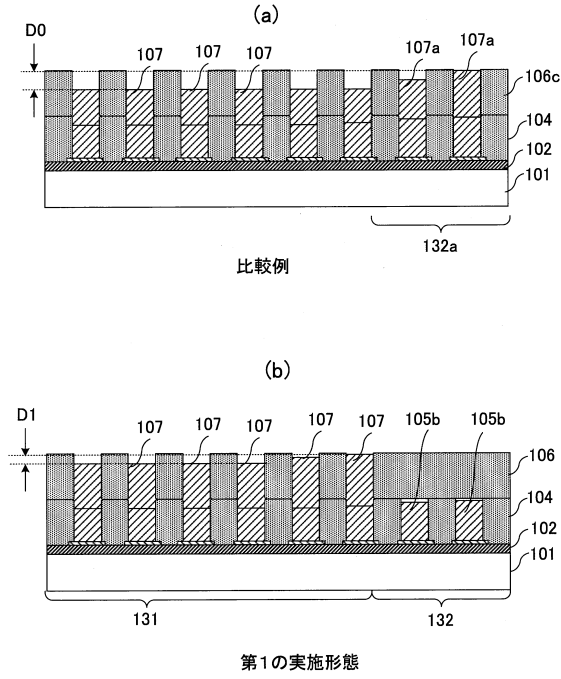
【図5】



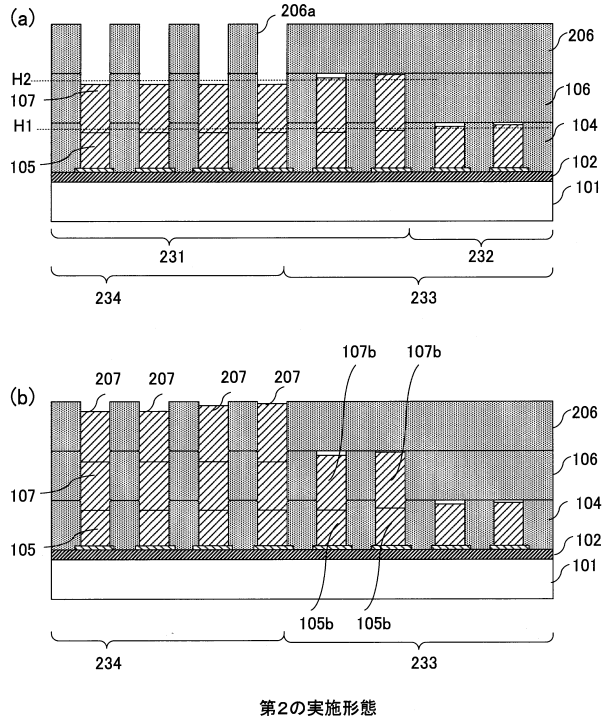
【図6】



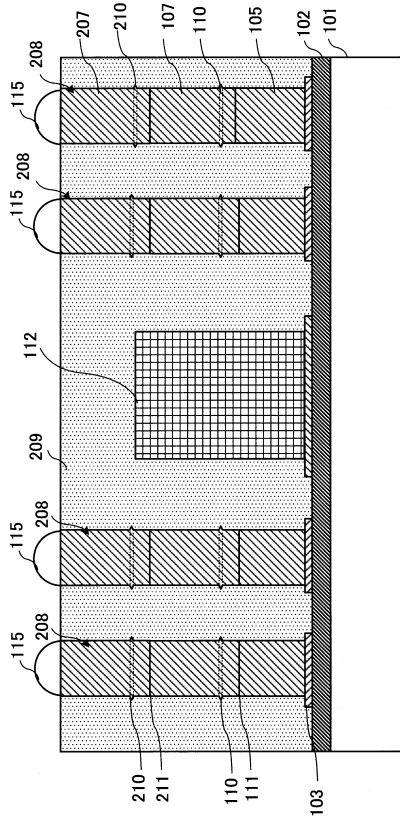
【図7】



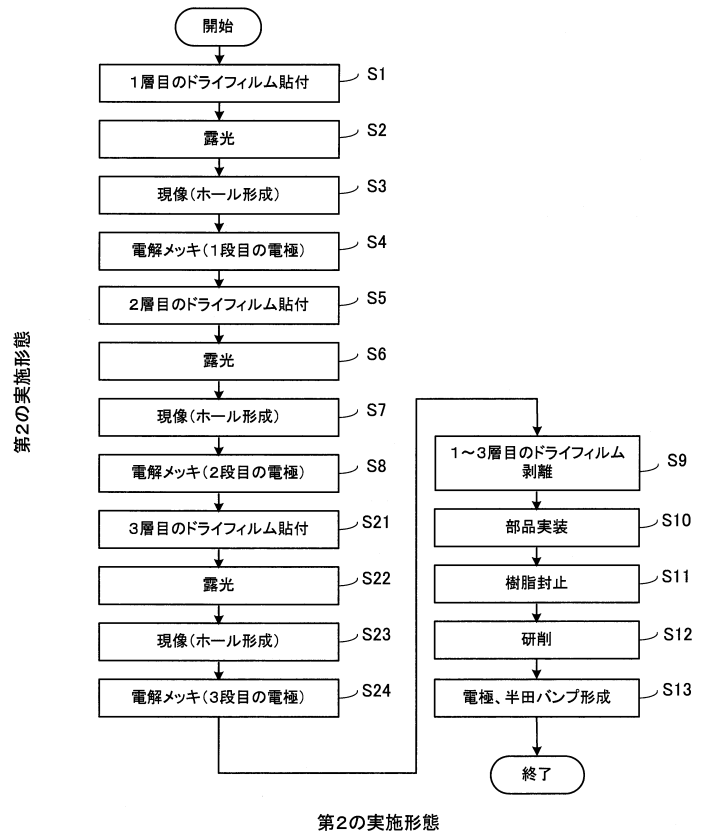
【図8】



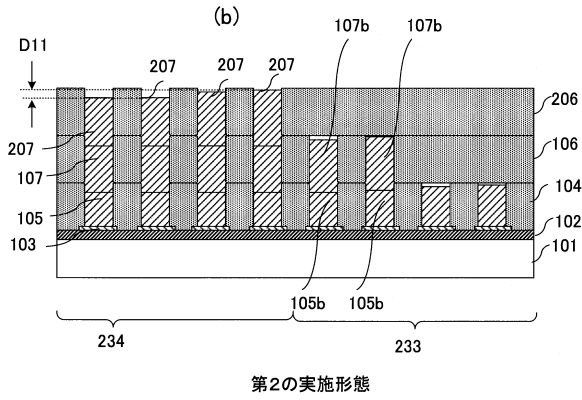
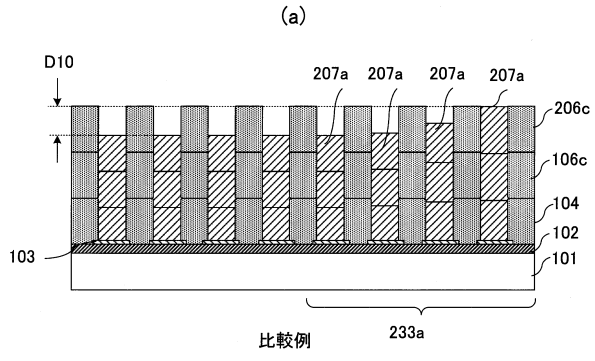
【図9】



【図10】



【図11】



第2の実施形態

フロントページの続き

- (56)参考文献 特開2009-123862(JP,A)
特開2002-299496(JP,A)
特開2013-222754(JP,A)
特開2013-222752(JP,A)
特開2013-222753(JP,A)
特開2003-338582(JP,A)
特開2004-193517(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L21/28 - 21/288
21/329
21/44 - 21/445
23/12 - 23/15
29/40 - 29/49
29/872