



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2023년01월17일  
(11) 등록번호 10-2488584  
(24) 등록일자 2023년01월10일

(51) 국제특허분류(Int. Cl.)  
G06F 1/06 (2006.01) H03L 7/085 (2006.01)  
(52) CPC특허분류  
G06F 1/06 (2013.01)  
H03L 7/085 (2013.01)  
(21) 출원번호 10-2018-0081435  
(22) 출원일자 2018년07월13일  
심사청구일자 2021년04월30일  
(65) 공개번호 10-2020-0007384  
(43) 공개일자 2020년01월22일  
(56) 선행기술조사문헌  
KR1020180038795 A\*  
KR1020180031856 A  
KR1020170026166 A  
KR1020180047267 A  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
에스케이하이닉스 주식회사  
경기도 이천시 부발읍 경충대로 2091  
(72) 발명자  
장수영  
서울특별시 강동구 명일로 172 둔촌푸르지오아파트 106동 1401호  
이근일  
경기도 용인시 기흥구 구갈로 115-16, 202동 1301호 (신갈동, 도현마을현대아이파크아파트)  
(74) 대리인  
김성남

전체 청구항 수 : 총 2 항

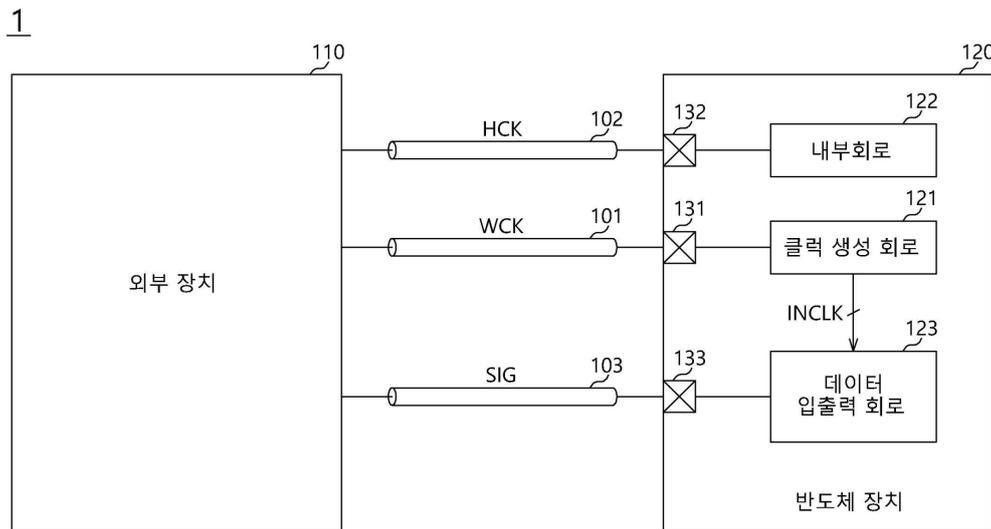
심사관 : 손경완

(54) 발명의 명칭 다양한 주파수의 클럭 신호들을 수신하는 반도체 장치 및 이를 포함하는 시스템

(57) 요약

시스템은 서로 통신하는 외부 장치 및 반도체 장치를 포함할 수 있다. 상기 반도체 장치는 상기 외부 장치로부터 제 1 클럭 신호 및 제 2 클럭 신호를 수신할 수 있다. 상기 제 1 클럭 신호는 제 1 주파수 및 상기 제 1 주파수보다 높은 제 2 주파수를 갖고, 상기 제 2 클럭 신호는 상기 제 1 주파수보다 낮은 제 3 주파수를 가질 수 있다.

대표도 - 도1



## 명세서

### 청구범위

#### 청구항 1

제 1 클럭 신호 및 제 2 클럭 신호를 전송하는 외부 장치; 및

상기 제 1 클럭 신호 및 상기 제 2 클럭 신호를 수신하여 상기 외부 장치와 통신하는 반도체 장치를 포함하고,

상기 제 1 클럭 신호는 제 1 주파수 및 상기 제 1 주파수보다 높은 제 2 주파수를 갖고, 상기 제 2 클럭 신호는 상기 제 1 주파수보다 낮은 제 3 주파수를 가지며,

상기 제 1 클럭 신호는 프리앰블 구간에서 상기 제 1 주파수를 갖고, 상기 프리앰블 구간 이후에 상기 제 2 주파수를 갖는 시스템.

#### 청구항 2

◆청구항 2은(는) 설정등록료 납부시 포기되었습니다.◆

제 1 항에 있어서,

상기 제 2 주파수는 상기 제 1 주파수의 두 배이고, 상기 제 1 주파수는 상기 제 3 주파수의 두 배인 시스템.

#### 청구항 3

◆청구항 3은(는) 설정등록료 납부시 포기되었습니다.◆

제 1 항에 있어서,

상기 제 1 클럭 신호는 상기 외부 장치와 상기 반도체 장치 사이에서 동기 신호가 전송될 때 상기 외부 장치로부터 상기 반도체 장치로 전송되고, 상기 동기 신호는 상기 제 1 클럭 신호에 동기하여 전송되는 시스템.

#### 청구항 4

◆청구항 4은(는) 설정등록료 납부시 포기되었습니다.◆

제 1 항에 있어서,

상기 외부 장치는 상기 제 1 주파수를 갖는 적어도 하나의 펄스 및 상기 제 2 주파수를 갖는 펄스를 포함하는 상기 제 1 클럭 신호를 제공하는 시스템.

#### 청구항 5

◆청구항 5은(는) 설정등록료 납부시 포기되었습니다.◆

제 1 항에 있어서,

상기 반도체 장치는 상기 제 1 클럭 신호의 주파수를 분주시켜 적어도 하나의 내부 클럭 신호를 생성하는 주파수 분주기; 및

상기 적어도 하나의 내부 클럭 신호 및 상기 제 2 클럭 신호의 위상을 비교하여 위상 감지 신호를 생성하는 위상 감지기를 포함하는 클럭 생성 회로를 포함하는 시스템.

#### 청구항 6

◆청구항 6은(는) 설정등록료 납부시 포기되었습니다.◆

제 5 항에 있어서,

상기 위상 감지 신호는 상기 외부 장치로 피드백되고, 상기 외부 장치는 상기 위상 감지 신호에 기초하여 상기 제 1 클럭 신호의 위상을 변화시키는 시스템.

**청구항 7**

◆청구항 7은(는) 설정등록료 납부시 포기되었습니다.◆

제 5 항에 있어서,

상기 반도체 장치는 상기 적어도 하나의 내부 클럭 신호에 동기하여 상기 외부 장치로부터 전송된 동기 신호를 수신하거나 상기 적어도 하나의 내부 클럭 신호에 동기하여 상기 외부 장치로 상기 동기 신호를 전송하는 데이터 입출력 회로를 더 포함하는 시스템.

**청구항 8**

외부 장치; 및

상기 외부 장치로부터 제 1 주파수와 제 2 주파수 사이에서 주파수가 변화되는 제 1 클럭 신호와 상기 제 1 주파수 및 상기 제 2 주파수보다 낮은 제 3 주파수를 갖는 제 2 클럭 신호를 수신하여 상기 외부 장치와 통신하는 반도체 장치를 포함하는 시스템.

**청구항 9**

◆청구항 9은(는) 설정등록료 납부시 포기되었습니다.◆

제 8 항에 있어서,

상기 제 2 주파수는 상기 제 1 주파수보다 높은 시스템.

**청구항 10**

◆청구항 10은(는) 설정등록료 납부시 포기되었습니다.◆

제 9 항에 있어서,

상기 제 1 클럭 신호는 프리앰블 구간을 포함하고, 상기 프리앰블 구간에서 상기 제 1 주파수를 갖는 클럭 신호가 상기 제 1 클럭 신호로 제공되고, 상기 프리앰블 구간 이후에 제 2 주파수를 갖는 클럭 신호가 상기 제 1 클럭 신호로 제공되는 시스템.

**청구항 11**

삭제

**청구항 12**

삭제

**청구항 13**

◆청구항 13은(는) 설정등록료 납부시 포기되었습니다.◆

제 8 항에 있어서,

상기 반도체 장치는 상기 제 1 클럭 신호의 주파수를 분주시켜 적어도 하나의 내부 클럭 신호를 생성하는 주파수 분주기; 및

상기 적어도 하나의 내부 클럭 신호 및 상기 제 2 클럭 신호의 위상을 비교하여 위상 감지 신호를 생성하는 위상 감지기를 포함하는 클럭 생성 회로를 포함하는 시스템.

**청구항 14**

◆청구항 14은(는) 설정등록료 납부시 포기되었습니다.◆

제 13 항에 있어서,

상기 위상 감지 신호는 상기 외부 장치로 피드백되고, 상기 외부 장치는 상기 위상 감지 신호에 기초하여 상기 제 1 클럭 신호의 위상을 변화시키는 시스템.

**청구항 15**

◆청구항 15은(는) 설정등록료 납부시 포기되었습니다.◆

제 13 항에 있어서,

상기 반도체 장치는 상기 적어도 하나의 내부 클럭 신호에 동기하여 상기 외부 장치로부터 전송된 동기 신호를 수신하거나 상기 적어도 하나의 내부 클럭 신호에 동기하여 상기 외부 장치로 상기 동기 신호를 전송하는 데이터 입출력 회로를 더 포함하는 시스템.

**청구항 16**

◆청구항 16은(는) 설정등록료 납부시 포기되었습니다.◆

제 15 항에 있어서,

상기 제 1 클럭 신호는 상기 외부 장치와 상기 반도체 장치 사이에서 상기 동기 신호가 전송될 때 상기 외부 장치로부터 상기 반도체 장치로 전송되는 시스템.

**청구항 17**

삭제

**청구항 18**

◆청구항 18은(는) 설정등록료 납부시 포기되었습니다.◆

제 9 항에 있어서,

상기 제 2 주파수는 상기 제 1 주파수의 두 배인 시스템.

**청구항 19**

삭제

**발명의 설명**

**기술 분야**

[0001] 본 발명은 집적 회로 기술에 관한 것으로, 더 상세하게는 반도체 장치 및 이를 포함하는 시스템에 관한 것이다.

**배경 기술**

[0002] 전자장치는 많은 전자 구성요소를 포함하고 있고, 그 중 컴퓨터 시스템은 반도체로 구성된 많은 반도체 장치들을 포함할 수 있다. 컴퓨터 시스템 구성하는 반도체 장치들은 클럭 신호와 데이터를 전송 및 수신하여 서로 통신할 수 있다. 컴퓨터 시스템의 동작 속도가 증가하면서, 빠른 동작 속도를 갖는 반도체 장치가 개발되고 있다. 또한, 반도체 장치들 사이에서 고속으로 데이터 통신이 수행될 수 있도록 클럭 신호의 주파수가 증가하고 있다. 특히, 그래픽 반도체 장치들은 예를 들어, 8Ghz 이상의 클럭 신호를 사용하여 16Gbps의 데이터 레이트를 구현하고 있다.

**발명의 내용**

**해결하려는 과제**

[0003] 본 발명의 실시예는 복수의 클럭 신호를 제공하고, 적어도 2개의 주파수를 갖는 적어도 하나의 클럭 신호를 제공할 수 있는 외부 장치, 이와 통신하는 반도체 장치를 제공할 수 있다.

**과제의 해결 수단**

[0004] 본 발명의 실시예에 따른 시스템은 제 1 클럭 신호 및 제 2 클럭 신호를 전송하는 외부 장치; 및 상기 제 1 클럭 신호 및 상기 제 2 클럭 신호를 수신하여 상기 외부 장치와 통신하는 반도체 장치를 포함하고, 상기 제 1 클럭 신호는 제 1 주파수 및 상기 제 1 주파수보다 높은 제 2 주파수를 갖고, 상기 제 2 클럭 신호는 제 1 주파수

보다 낮은 제 3 주파수를 가질 수 있다.

[0005] 본 발명의 실시예에 따른 시스템은 외부 장치; 및 상기 외부 장치로부터 주파수가 변화되는 제 1 클럭 신호를 수신하여 상기 외부 장치와 통신하는 반도체 장치를 포함할 수 있다.

**발명의 효과**

[0006] 본 발명의 실시예는 반도체 장치가 외부로부터 전송되는 클럭 신호를 정확하게 수신할 수 있도록 하고, 반도체 장치의 동작 신뢰성을 향상시킬 수 있다.

**도면의 간단한 설명**

[0007] 도 1은 본 발명의 실시예에 따른 시스템의 구성을 보여주는 도면,  
 도 2는 본 발명의 실시예에 따른 반도체 장치의 적어도 일부의 구성을 보여주는 도면,  
 도 3은 종래기술에 따른 반도체 장치의 동작을 보여주는 도면,  
 도 4는 본 발명의 실시예에 따른 반도체 장치의 동작을 보여주는 도면이다.

**발명을 실시하기 위한 구체적인 내용**

[0008] 도 1은 본 발명의 실시예에 따른 시스템(1)의 구성을 보여주는 도면이다. 도 1에서, 상기 시스템(1)은 외부 장치(110) 및 반도체 장치(120)를 포함할 수 있다. 상기 외부 장치(110)는 상기 반도체 장치(120)가 동작하는데 필요한 다양한 제어신호를 제공할 수 있다. 상기 외부 장치(110)는 다양한 종류의 장치를 포함할 수 있다. 예를 들어, 상기 외부 장치(110)는 중앙처리장치(CPU), 그래픽 처리 장치(Graphic Processing Unit, GPU), 멀티미디어 프로세서(Multi-Media Processor, MMP), 디지털 신호 프로세서(Digital Signal Processor), 어플리케이션 프로세서(AP) 및 메모리 컨트롤러와 같은 호스트 장치일 수 있다. 또한, 상기 외부 장치(110)는 상기 반도체 장치(120)를 테스트하기 위한 테스트 장치 또는 테스트 장비일 수 있다. 상기 반도체 장치(120)는 예를 들어, 메모리 장치일 수 있고, 상기 메모리 장치는 휘발성 메모리와 비휘발성 메모리를 포함할 수 있다. 상기 휘발성 메모리는 SRAM (Static RAM), DRAM (Dynamic RAM), SDRAM (Synchronous DRAM)을 포함할 수 있고, 상기 비휘발성 메모리는 ROM (Read Only Memory), PROM (Programmable ROM), EEPROM (Electrically Erase and Programmable ROM), EPROM (Electrically Programmable ROM), 플래시 메모리, PRAM (Phase change RAM), MRAM (Magnetic RAM), RRAM (Resistive RAM) 및 FRAM (Ferroelectric RAM) 등을 포함할 수 있다.

[0009] 상기 반도체 장치(120)는 테스트 장비로서 기능하는 상기 외부 장치(110)와 연결되어 테스트 동작을 수행할 수 있다. 상기 반도체 장치(120)는 상기 호스트 장치로서 기능하는 상기 외부 장치(110)와 연결되어 상기 테스트 장비와 상기 반도체 장치(120) 사이에서 수행되는 상기 테스트 동작을 제외한 다양한 동작을 수행할 수 있다. 예를 들어, 상기 반도체 장치(120)가 제조된 이후에, 상기 반도체 장치(120)는 테스트 장비로 기능하는 외부 장치(110)와 연결되어 테스트될 수 있다. 테스트가 완료된 이후에, 상기 반도체 장치(120)는 호스트 장치로 기능하는 외부 장치(110)와 연결되어 다양한 동작을 수행할 수 있다.

[0010] 상기 반도체 장치(120)는 복수의 버스를 통해 상기 외부 장치(110)와 연결될 수 있다. 상기 복수의 버스는 신호를 전송하기 위한 신호 전송 경로, 링크 또는 채널일 수 있다. 상기 복수의 버스는 커맨드 버스, 어드레스 버스, 클럭 버스 및 데이터 버스 등을 포함할 수 있고, 도 1에서는 클럭 신호가 전송되는 클럭 버스(101, 102)와 동기 신호가 전송되는 신호 버스(103)만을 도시하였다. 상기 클럭 버스(101, 102)는 단방향 버스일 수 있고, 상기 신호 버스(103)는 단방향 버스 또는 양방향 버스일 수 있다. 상기 외부 장치(110)는 제 1 클럭 신호(WCK) 및 제 2 클럭 신호(HCK)를 생성하고, 상기 제 1 클럭 신호(WCK) 및 상기 제 2 클럭 신호(HCK)를 상기 반도체 장치(120)로 제공할 수 있다. 상기 외부 장치(110)는 상기 제 1 클럭 버스(101)를 통해 상기 제 1 클럭 신호(CLK1)를 전송하고, 상기 제 2 클럭 버스(102)를 통해 상기 제 2 클럭 신호(CLK2)를 전송할 수 있다. 도시되지는 않았지만, 상기 외부 장치(110)는 상기 제 1 클럭 신호(WCK) 및 제 2 클럭 신호(HCK)를 생성하기 위한 위상 고정 루프 회로 또는 지연 고정 루프 회로와 같은 클럭 생성 회로를 포함할 수 있다.

[0011] 상기 반도체 장치(120)는 제 1 클럭 버스(101)를 통해 상기 외부 장치(110)와 연결되고, 상기 제 1 클럭 버스(101)를 통해 상기 제 1 클럭 신호(WCK)를 수신할 수 있다. 상기 제 1 클럭 신호(WCK)는 차동 클럭 신호 쌍을 포함할 수 있다. 상기 반도체 장치(120)는 상기 외부 장치(110)로부터 상기 제 1 클럭 신호(WCK)를 수신하여 상기 외부 장치(110)와 통신할 수 있다. 상기 반도체 장치(120)는 제 2 클럭 버스(103)를 더 포함할 수 있고, 상

기 제 2 클럭 버스(102)를 통해 상기 외부 장치(110)로부터 전송되는 제 2 클럭 신호(HCK)를 더 수신할 수 있다. 상기 제 2 클럭 신호(HCK)는 차동 클럭 신호 쌍을 포함할 수 있다. 상기 반도체 장치(120)는 상기 외부 장치(110)로부터 상기 제 2 클럭 신호(HCK)를 수신하여 상기 외부 장치(110)와 통신할 수 있다. 상기 반도체 장치(120)는 신호 버스(103)를 통해 상기 외부 장치(110)와 연결되고, 상기 신호 버스(103)를 통해 상기 외부 장치(110)로부터 동기 신호(SIG)를 수신하거나 상기 외부 장치(110)로 동기 신호(SIG)를 전송할 수 있다. 상기 동기 신호(SIG)는 상기 제 1 클럭 신호(WCK) 및 상기 제 2 클럭 신호(HCK) 중 하나에 동기되어 전송되는 어떠한 신호라도 포함할 수 있다. 예를 들어, 상기 동기 신호(SIG)는 데이터, 커맨드 신호 또는 어드레스 신호일 수 있다.

[0012] 본 발명의 실시예에서, 상기 제 1 클럭 신호(WCK)는 상기 제 2 클럭 신호(HCK)보다 낮은 주파수를 가질 수 있다. 상기 제 1 클럭 신호(WCK)는 주파수가 변화될 수 있다. 상기 제 2 클럭 신호(HCK)는 주파수가 변화되지 않을 수 있다. 상기 제 1 클럭 신호(WCK)는 제 1 주파수 및 제 2 주파수를 가질 수 있다. 상기 제 2 클럭 신호(HCK)는 제 3 주파수를 가질 수 있다. 상기 제 1 주파수는 상기 제 2 주파수보다 낮을 수 있고, 상기 제 3 주파수는 상기 제 1 주파수보다 낮을 수 있다. 예를 들어, 상기 제 2 주파수는 상기 제 1 주파수의 2배일 수 있고, 상기 제 1 주파수는 상기 제 3 주파수의 2배일 수 있다. 상기 제 1 클럭 신호(WCK)는 상기 제 1 주파수를 갖는 적어도 하나의 펄스와 상기 제 2 주파수를 갖는 펄스를 포함할 수 있다. 상기 제 1 주파수를 갖는 적어도 하나의 펄스가 상기 제 1 클럭 신호(WCK)로서 먼저 전송되고, 이후 상기 제 2 주파수를 갖는 펄스가 상기 제 1 클럭 신호(WCK)로서 전송될 수 있다. 상기 제 1 클럭 신호(WCK)는 프리엠프블 구간을 포함할 수 있다. 상기 프리엠프블 구간은 상기 제 1 클럭 신호(WCK)가 전송되는 초기의 구간을 의미할 수 있다. 상기 프리엠프블 구간에서, 상기 제 1 주파수를 갖는 클럭 신호가 상기 제 1 클럭 신호(WCK)로 제공될 수 있다. 상기 프리엠프블 구간 이후의 구간에서, 상기 제 2 주파수를 갖는 클럭 신호가 상기 제 1 클럭 신호(WCK)로 제공될 수 있다.

[0013] 본 발명의 실시예에서, 상기 제 2 클럭 신호(HCK)는 상기 반도체 장치(120)의 동작과 무관하게 상기 외부 장치(110)로부터 상기 반도체 장치(120)로 전송될 수 있다. 상기 제 1 클럭 신호(WCK)는 상기 외부 장치(110)와 상기 반도체 장치(120) 사이에서 상기 동기 신호(SIG)가 전송될 때에 상기 외부 장치(110)로부터 상기 반도체 장치(120)로 전송될 수 있다. 일 실시예에서, 상기 동기 신호(SIG)는 데이터일 수 있고, 상기 제 1 클럭 신호(WCK)는 상기 반도체 장치(120)의 라이트 동작 및/또는 리드 동작에서 상기 외부 장치(110)로부터 상기 반도체 장치(120)로 전송될 수 있다. 상기 제 1 클럭 신호(WCK)는 상기 동기 신호(SIG)가 전송되는 시점과 동시에 또는 상기 동기 신호(SIG)가 전송되는 시점보다 먼저 상기 외부 장치(110)로부터 상기 반도체 장치(120)로 전송될 수 있다. 상기 라이트 동작은 상기 외부 장치(110)로부터 상기 반도체 장치(120)로 데이터가 전송되는 동작을 의미할 수 있고, 상기 리드 동작은 상기 반도체 장치(120)로부터 상기 외부 장치(110)로 데이터가 전송되는 동작을 의미할 수 있다.

[0014] 상기 반도체 장치(120)는 클럭 생성 회로(121), 내부 회로(122) 및 데이터 입출력 회로(123)를 포함할 수 있다. 상기 클럭 생성 회로(121)는 클럭 패드(131)를 통해 상기 제 1 클럭 버스(101)와 연결되고, 상기 제 1 클럭 신호(WCK)를 수신하여 복수의 내부 클럭 신호(INCLK)를 생성할 수 있다. 상기 반도체 장치(120)는 상기 신호 버스(103)를 통해 전송된 동기 신호(SIG)를 상기 제 1 클럭 신호(WCK)에 동기하여 수신 및/또는 샘플링할 수 있다. 상기 반도체 장치(120)는 상기 동기 신호(SIG)를 수신 및/또는 샘플링하기 위한 타이밍 마진을 충분히 확보하기 위해 상기 제 1 클럭 신호(WCK)를 분주하여 사용할 수 있다. 상기 클럭 생성 회로(121)는 상기 제 1 클럭 신호(WCLK)를 주파수 분주하여 상기 복수의 내부 클럭 신호(INCLK)를 생성할 수 있다. 상기 반도체 장치(120)는 데이터와 같은 동기 신호(SIG)가 입출력되는 특정 구간에서만 상기 제 1 클럭 신호(WCLK)를 수신하므로, 상기 제 2 클럭 신호(HCLK)와 상기 제 1 클럭 신호(WCLK)의 위상이 일치하지 않는 상황이 발생할 수 있다. 따라서, 상기 반도체 장치(120)는 상기 제 1 클럭 신호(WCLK)의 위상을 상기 제 2 클럭 신호(HCLK)와 동기시키는 동작을 수행할 수 있다.

[0015] 상기 내부 회로(122)는 상기 반도체 장치(120)를 구성하는 로직 회로 중 상기 클럭 생성 회로(121) 및 상기 데이터 입출력 회로(123)를 제외한 어떠한 로직 회로라도 포함할 수 있다. 상기 내부 회로(122)는 클럭 패드(132)를 통해 상기 제 2 클럭 버스(102)와 연결될 수 있다. 상기 내부 회로(122)는 상기 제 2 클럭 버스(102)를 통해 상기 제 2 클럭 신호(HCK)를 수신할 수 있다. 상기 내부 회로(122)는 상기 제 2 클럭 신호(HCK)에 기초하여 다양한 동작을 수행할 수 있다. 예를 들어, 상기 내부 회로(122)는 상기 제 2 클럭 신호(HCK)에 기초하여 커맨드 신호 및/또는 어드레스 신호와 같은 제어신호를 상기 외부 장치(110)로부터 수신할 수 있다. 예를 들어, 상기 반도체 장치(120)는 상기 제 2 클럭 신호(HCK)에 동기되어 수신되는 상기 커맨드 신호에 기초하여 파워 다운 모드, 스텐바이 모드 또는 딥 파워 다운 모드와 같은 슬립 모드로 진입하거나, 상기 슬립 모드를 탈출하여 액티

브 모드로 진입할 수 있다.

- [0016] 상기 데이터 입출력 회로(123)는 신호 패드(133)를 통해 상기 신호 버스(103)와 연결되어 상기 외부 장치(110)로부터 전송된 동기 신호(SIG)를 수신하거나 상기 외부 장치(110)로 상기 동기 신호(SIG)를 전송할 수 있다. 상기 데이터 입출력 회로(123)는 상기 클럭 생성 회로(121)로부터 생성된 상기 복수의 내부 클럭 신호(INCLK)를 수신할 수 있다. 상기 동기 신호(SIG)가 데이터를 포함할 때, 상기 데이터 입출력 회로(123)는 상기 복수의 내부 클럭 신호(INCLK)에 기초하여 데이터의 입출력 동작을 수행할 수 있다. 상기 데이터 입출력 회로(123)는 상기 복수의 내부 클럭 신호(INCLK)에 동기하여 데이터를 상기 외부 장치(110)로 전송할 수 있고, 상기 복수의 내부 클럭 신호(INCLK)에 동기하여 상기 외부 장치(110)로부터 전송된 데이터를 수신할 수 있다.
- [0017] 도 2는 본 발명의 실시예에 따른 반도체 장치(200)의 적어도 일부의 구성을 보여주는 도면이다. 도 2에서, 상기 반도체 장치(200)는 제 1 수신기(210, RX), 제 2 수신기(220, RX), 주파수 분주기(230) 및 위상 감지기(240)를 포함할 수 있다. 상기 반도체 장치(200)는 도 1에 도시된 반도체 장치(120)로 적용될 수 있고, 상기 제 1 수신기(210), 상기 주파수 분주기(230) 및 상기 위상 감지기(240)는 상기 클럭 생성 회로(121)의 구성요소일 수 있다. 상기 제 1 수신기(210)는 상기 제 1 클럭 신호(WCK)를 수신할 수 있다. 상기 제 1 수신기(210)는 차동 클럭 신호 쌍을 포함하는 상기 제 1 클럭 신호(WCK)를 수신하고 상기 제 1 클럭 신호(WCK)를 버퍼링할 수 있다. 일 실시예에서, 상기 제 1 클럭 신호(WCK)는 싱글 엔디드(single ended) 신호일 수 있고, 상기 제 1 수신기(210)는 상기 제 1 클럭 신호(WCK)와 기준전압을 차동 증폭하여 버퍼링된 제 1 클럭 신호(WCKD)를 생성할 수 있다. 상기 기준전압은 상기 제 1 클럭 신호(WCK)의 스윙 폭의 중간에 대응하는 전압 레벨을 가질 수 있다. 상기 제 2 수신기(220)는 상기 제 2 클럭 신호(HCK)를 수신할 수 있다. 상기 제 2 수신기(220)는 차동 클럭 신호 쌍을 포함하는 상기 제 2 클럭 신호(HCK)를 수신하고, 상기 제 2 클럭 신호(HCK)를 버퍼링할 수 있다. 일 실시예에서, 상기 제 2 클럭 신호(HCK)는 싱글 엔디드(single ended) 신호일 수 있고, 상기 제 2 수신기(220)는 상기 제 2 클럭 신호(HCK)와 기준전압을 차동 증폭하여 버퍼링된 제 2 클럭 신호(HCKD)를 생성할 수 있다. 상기 기준전압은 상기 제 2 클럭 신호(HCK)의 스윙 폭의 중간에 대응하는 전압 레벨을 가질 수 있다.
- [0018] 상기 주파수 분주기(230)는 상기 제 1 클럭 신호(WCK)를 수신할 수 있다. 상기 주파수 분주기(230)는 상기 제 1 수신기(210)를 통해 버퍼링된 제 1 클럭 신호(WCKD)를 수신하고, 상기 버퍼링된 제 1 클럭 신호(WCKD)의 주파수를 분주시켜 적어도 하나의 내부 클럭 신호를 생성할 수 있다. 상기 주파수 분주기(230)는 상기 버퍼링된 제 1 클럭 신호(WCKD)를 2분주, 4분주 또는 8분주 시켜 서로 다른 위상을 갖는 복수의 내부 클럭 신호를 생성할 수 있다. 예를 들어, 상기 주파수 분주기(230)는 상기 버퍼링된 제 1 클럭 신호(WCKD)를 4분주하여 8개의 내부 클럭 신호(CLK1-CLK8)를 생성할 수 있다. 상기 8개의 내부 클럭 신호(CLK1-CLK8)는 상기 제 1 클럭 신호(WCK)에 비해 4배 낮은 주파수 및/또는 4배 긴 주기를 가질 수 있다. 상기 8개의 내부 클럭 신호(CLK1-CLK8)는 순차적으로 45도의 위상 차이를 가질 수 있다. 상기 내부 클럭 신호(CLK1-CLK8)는 상기 제 2 클럭 신호(HCK)와 실질적으로 동일한 주파수 및/또는 주기를 가질 수 있다.
- [0019] 상기 위상 감지기(240)는 상기 적어도 하나의 내부 클럭 신호 및 상기 제 2 클럭 신호(HCK)를 수신할 수 있다. 예를 들어, 상기 위상 감지기(240)는 첫 번째 내부 클럭 신호(CLK1)를 수신할 수 있다. 상기 위상 감지기(240)는 상기 첫 번째 내부 클럭 신호(CLK1)와 상기 버퍼링된 제 2 클럭 신호(HCKD)의 위상을 비교하고, 위상 비교 결과에 따라 위상 감지 신호(DET<1:n>)를 생성할 수 있다. 상기 위상 감지 신호(DET<1:n>)는 1개 이상의 비트를 포함하는 코드 신호로서 생성될 수 있다. 상기 위상 감지기(240)는 상기 첫 번째 내부 클럭 신호(CLK1)의 위상이 상기 버퍼링된 제 2 클럭 신호(HCKD)의 위상보다 앞서는지 또는 늦는지 여부를 판단함으로써, 상기 제 1 클럭 신호(WCK)와 상기 제 2 클럭 신호(HCK)의 위상이 동기되는지 여부에 대한 정보를 갖는 상기 위상 감지 신호(DET<1:n>)를 생성할 수 있다. 상기 위상 감지 신호(DET<1:n>)는 상기 제 1 클럭 신호(WCK)의 위상을 조절하는데 사용될 수 있다. 일 실시예에서, 상기 위상 감지 신호(DET<1:n>)는 도 1에 도시된 상기 외부 장치(110)로 피드백될 수 있고, 상기 외부 장치(110)는 상기 위상 감지 신호(DET<1:n>)에 기초하여 상기 제 1 클럭 신호(WCK)의 위상을 앞당기거나 지연시킬 수 있다. 일 실시예에서, 상기 위상 감지 신호(DET<1:n>)는 상기 반도체 장치(120)에 구비되는 지연 회로로 제공될 수 있고, 상기 반도체 장치(120)는 상기 지연 회로를 통해 상기 제 1 클럭 신호(WCK)의 위상을 앞당기거나 지연시킬 수 있다.
- [0020] 도 3은 종래기술에 따른 반도체 장치의 동작을 보여주는 도면이고, 도 4는 본 발명의 실시예에 따른 반도체 장치(120, 200)의 동작을 보여주는 도면이다. 도 1 내지 도 4를 참조하여 본 발명의 실시예에 따른 반도체 장치(120, 200)의 동작을 설명하면 다음과 같다. 상기 반도체 장치(120)의 동작 상태와 무관하게 상기 외부 장치(110)는 상기 반도체 장치(120)로 상기 제 3 주파수를 갖는 상기 제 2 클럭 신호(HCK)를 제공하고, 상기 반도체 장치(120)는 상기 제 2 클럭 신호(HCK)를 수신할 수 있다. 상기 외부 장치(110)가 상기 반도체 장치(120)로 동

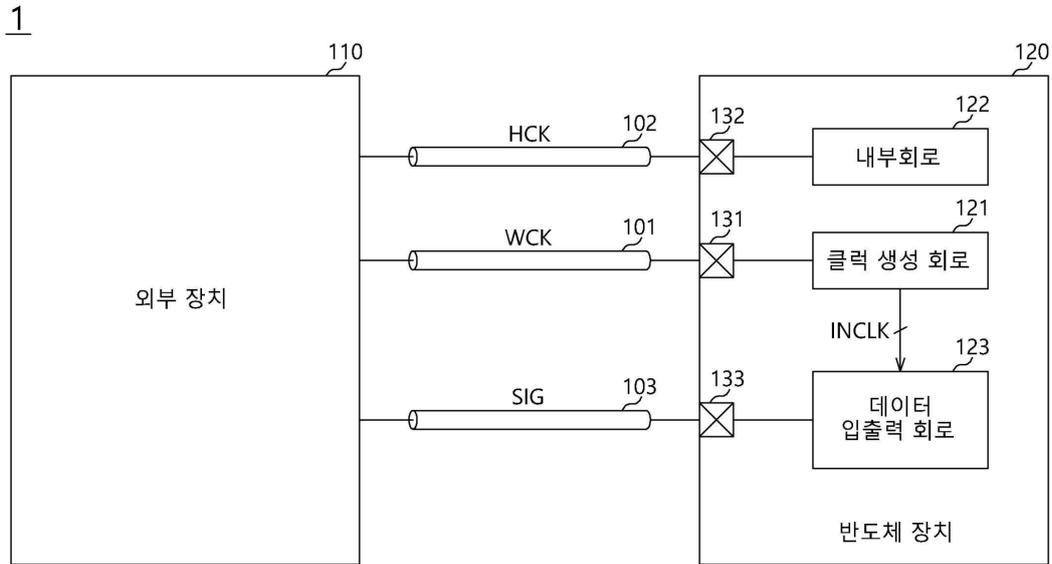
기 신호(SIG)를 전송하거나 상기 반도체 장치(120)로부터 상기 동기 신호(SIG)가 전송되는 동작이 수행되면, 상기 외부 장치(110)는 상기 제 1 클럭 신호(WCK)를 상기 반도체 장치(120)로 전송할 수 있다. 종래기술에서 상기 외부 장치(110)는 제 2 주파수를 갖는 상기 제 1 클럭 신호(WCK)를 전송하였다. 상기 제 2 주파수는 상기 제 3 주파수보다 4배 높을 수 있고, 주파수가 높아질수록 클럭 신호의 진폭은 감소될 수 있다. 따라서, 상기 제 1 수신기(210)는 상기 제 1 클럭 신호(WCK)를 버퍼링하더라도 버퍼링된 제 1 클럭 신호(WCKD)의 첫 번째 펄스(A)는 정상적인 진폭을 갖지 못할 수 있다. 상기 주파수 분주기(230)는 상기 첫 번째 펄스(A)를 감지하지 못하고, 두 번째 펄스를 감지하여 상기 버퍼링된 제 1 클럭 신호(WCKD)에 대한 분주 동작을 수행할 수 있다. 따라서, 상기 주파수 분주기(230)에 의해 생성된 첫 번째 분주 클럭 신호(CLK1)는 상기 제 2 클럭 신호(HCK)와 위상이 동기되지 않을 수 있다. 상기 첫 번째 분주 클럭 신호(CLK1)는 상기 제 2 클럭 신호(HCK)보다 늦은 위상을 가질 수 있다. 상기 위상 감지기(240)는 상기 분주 클럭 신호(CLK1)와 상기 제 2 클럭 신호(HCK)의 위상을 비교하여 위상 감지 신호(DET<1:n>)를 생성하고, 상기 위상 감지 신호(DET<1:n>)에 기초하여 상기 제 1 클럭 신호(HCK)의 위상이 조절되더라도, 위와 같은 오동작은 계속 발생될 수 있다.

[0021] 본 발명의 실시예에 따른 시스템(1)에서 상기 외부 장치(110)는 상기 제 1 클럭 신호(WCK)를 전송하는 초기 구간 및/또는 프리앰블 구간에서 상기 제 2 주파수보다 낮은 상기 제 1 주파수를 갖는 클럭 신호를 상기 제 1 클럭 신호(WCK)로 전송하고, 상기 초기 구간 및/또는 프리앰블 구간 이후에 상기 제 2 주파수를 갖는 클럭 신호를 상기 제 1 클럭 신호(WCK)로 전송할 수 있다. 상기 제 2 주파수를 갖는 클럭 신호는 예를 들어, 상기 제 2 클럭 신호(HCK)의 2주기 동안 제공될 수 있고, 상기 프리앰블 구간은 상기 제 1 클럭 신호(WCK)가 전송되기 시작한 시점부터 상기 제 2 클럭 신호의 2주기가 경과하는 시점까지의 구간일 수 있다. 상기 제 1 클럭 신호(WCK)는 전송 초기에 제 1 주파수를 가지므로, 제 2 주파수를 갖는 클럭 신호보다 더 큰 진폭을 가질 수 있다. 따라서, 상기 제 1 수신기(210)에 의해 버퍼링된 제 1 클럭 신호(WCKD)는 도 3에 도시된 버퍼링된 제 1 클럭 신호(WCKD)보다 큰 진폭을 가질 수 있다. 따라서, 상기 버퍼링된 제 1 클럭 신호(WCKD)의 첫 번째 펄스는 상기 주파수 분주기(230)가 감지할 수 있을 정도로 충분한 진폭을 가질 수 있다. 상기 프리앰블 구간 이후에 상기 제 2 주파수를 갖는 클럭 신호가 상기 제 1 클럭 신호(WCK)로 제공되더라도, 상기 제 1 수신기(210)에 의해 버퍼링된 제 1 클럭 신호(WCKD)는 충분한 진폭을 가지므로, 상기 주파수 분주기(230)는 상기 버퍼링된 제 1 클럭 신호(WCKD)를 정확하게 감지하여 주파수 분주 동작을 수행할 수 있다. 따라서, 상기 첫 번째 분주 클럭 신호(CLK1)는 상기 제 2 클럭 신호(HCK)와 동기되어 생성될 수 있다. 상기 동기 신호(SIG)는 상기 프리앰블 구간 이후에 상기 제 1 클럭 신호(WCK)에 동기되어 전송될 수 있다.

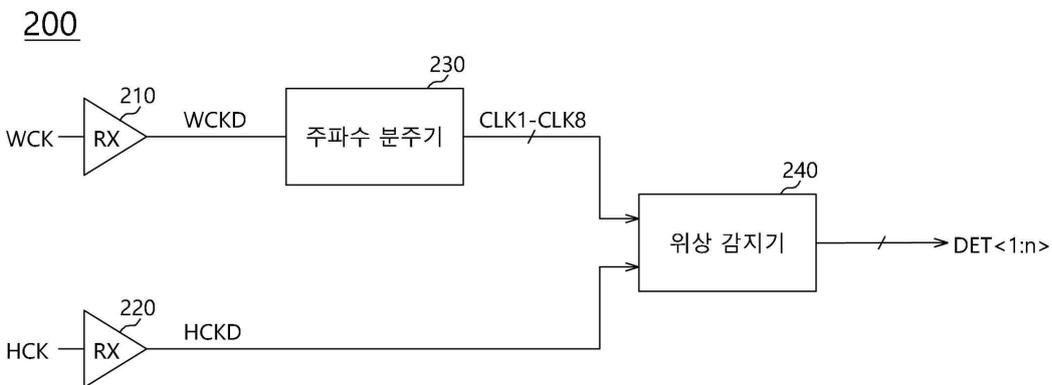
[0022] 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있으므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면

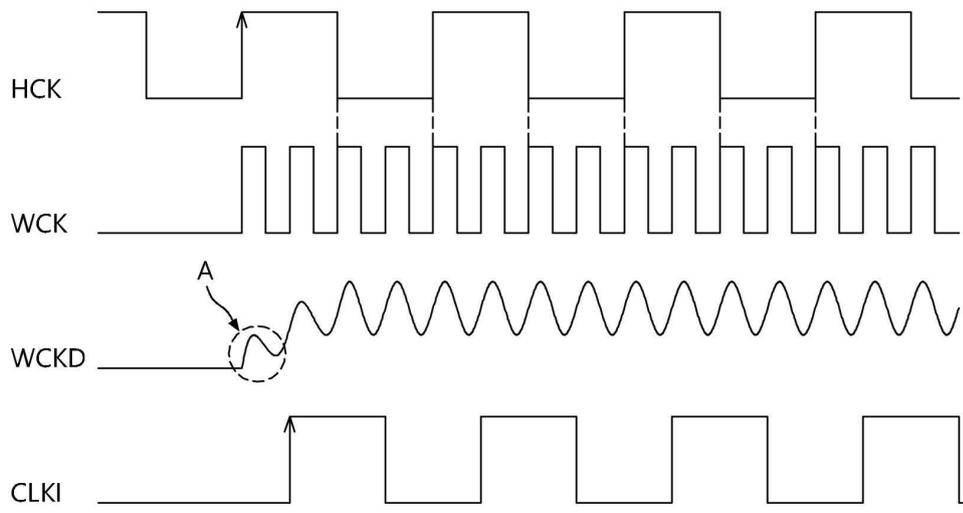
도면1



도면2



도면3



도면4

