

**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(51) Int. Cl.<sup>6</sup>  
H04L 7/00

(11) 공개번호   특1999-0067278  
(43) 공개일자   1999년08월 16일

(21) 출원번호	10-1998-0703249		
(22) 출원일자	1998년05월01일		
번역문제출일자	1998년05월01일		
(86) 국제출원번호	PCT/US1996/20123	(87) 국제공개번호	WO 1997/25797
(86) 국제출원출원일자	1996년12월17일	(87) 국제공개일자	1997년07월17일
(81) 지정국	EP 유럽특허 : 오스트리아 벨기에 스위스 독일 덴마크 스페인 프랑스 영국 그리스 이탈리아 룩셈부르크 모나코 네덜란드 포르투갈 스웨덴 국내특허 : 아일랜드 일본		
(30) 우선권 주장	8/582,573	1996년01월03일	미국(US)
(71) 출원인	크레던스 시스템스 코퍼레이션   오쿠모토 리차드 미합중국 캘리포니아주 프레몬트 포리어 애비뉴 215		
(72) 발명자	밀러 찰스 에이.		
(74) 대리인	미합중국 캘리포니아 94539 프레몬트 세둠 로드 48705 김재만, 박종길		

**심사청구 : 없음**

**(54) 신호 분배 시스템**

**요약**

클럭 신호 분배 시스템은 동기되고, 하나의 세트의 공간적으로 분산된 로컬 클럭 신호(CLKL)를 제공한다. 이 시스템은 주기적 기준 클럭 신호(CLK)의 소스, 하나의 세트의 공간적으로 분산된 디스큐 회로(12) 및 제1 및 제2 전송선(18,20)을 포함한다. 제1 전송선은 기준 클럭 신호를 소스(14)로부터 제1 연속 순서로 디스큐 회로로 라우팅한다. 제2 전송선은 기준 클럭 신호를 소스로부터 제1 연속 순서를 역회전하는 제2 연속 순서로 디스큐 회로로 라우팅한다. 2개의 전송선은 인접 디스큐 회로 사이에 동일한 길이와 동일한 전파 속도를 가진다. 각 디스큐 회로는 제1 및 제2 전송선을 통해 디스큐 회로에 도달하는 클럭 신호의 위상간의 중간 위상을 가지는 출력 로컬 클럭 신호를 생성한다. 디스큐 회로에 의해 생성되는 로컬 출력 신호는 디스큐 회로와 클럭 소스의 거리가 서로 다른 것에 관계없이 모두 동일한 위상과 동일한 주파수를 가진다.

**대표도**

**도1**

**명세서**

**기술분야**

본 발명은 클럭 및 데이터 신호를 중앙 소스로부터 공간적으로 분산된 전자회로의 모듈로 제공하는 시스템에 관한 것이다.

**배경기술**

하나의 세트의 상호연결된 작동 모듈로 구성된 디지털 시스템에서는, 각 모듈로 분배된 여러 신호 중 하나의 신호는 모듈간 데이터 전송 동작의 타이밍을 제어하는 클럭 신호이다. 예를 들어 컴퓨터는, 새시에 탑재되고 백플레인 배선(backplane wiring)에 의해 중앙 콘트롤러 및 클럭 신호 소스를 포함하는 모듈과 상호연결된 다수의 회로기판 또는 분산된 프로세서를 포함할 수 있다. 이 시스템에서 백플레인 내의 도체 중의 하나는 클럭 신호를 각각의 다수의 모듈로 전송한다. 회로가 정확하게 동작하기 위해서는, 클럭 신호 펄스가 다수의 모듈에 실질적으로 동시에 도달해야 하며, 그렇지 않으면 신뢰성 있는 데이터 전송이 보장되지 않는다. 그러나 모듈이 백플레인을 따라 클럭 신호 소스로부터 서로 다른 거리로 위치하고 있기 때문에, 클럭 신호 펄스가 각 회로기판에 동시에 도달하지는 않는다. 이러한 클럭 신호 스큐(skew)는 클럭 신호 주기에 비하여 클럭 신호 스큐가 작은 낮은 클럭 신호 주파수에서는 허용 가능하다. 그러나 클럭 신호 스큐가 클럭 신호 주기의 대부분이 되는 높은 클럭 주파수에서는 백플레인상의 데이터 전송은 신뢰성을 잃게 된다.

또한 신호 스큐는 동기(同期)식으로 함께 동작해야 하는 분산된 구성 요소를 가지는 전자기구의 경우 문제가 된다. 예를 들어, 집적회로(IC) 검사기는 호스트 유닛 및 공간적으로 분산되어 있지만 호스트 유닛과 통신하기 위해 상호연결하고 있는 다중 작동 모듈을 포함할 수 있다. 각 작동 모듈은 테스트 중인 IC

의 개별 핀과 인터페이스될 수 있다. 서로 다른 시간에, 작동 모듈은 테스트 신호를 IC 핀으로 전송할 수 있으며, 이 핀에서 IC에 의해 발생된 출력 데이터를 획득할 수 있다. 호스트 유닛의 기능 중의 하나는 작동 모듈의 동작을 조정하는 것이다. 예를 들어, 테스트 개시를 신호하기 위해 호스트 유닛이 '시작(start)' 신호를 각 작동 모듈로 전송할 수 있다. 또한 호스트 유닛은 글로벌(global) 클럭 신호를 각 작동 모듈로 전송하여, 테스트가 진행되는 동안 작동 모듈의 동작을 동기화하고 테스트가 진행되는 동안 호스트와 모듈간의 데이터 전송을 동기화한다. 클럭 및 다른 제어 및 데이터 신호가 서로 다른 거리를 이동하여 작동 모듈에 도달하는 경우, 서로 다른 시간에 서로 다른 모듈에 도달한다. 이러한 제어 및 클럭 신호 스큐가 충분히 크다면 모듈 작동간에 타이밍 부정합(mismatch)을 가져올 수 있으며 모듈과 호스트 유닛간의 동기식 통신에 역효과를 미칠 수 있다.

1994년 11월 29일, Watson 등에게 특허된 미합중국 특허번호 5,369,640은 개별 전송선을 클럭 신호 소스로부터 각 작동 모듈로 제공함으로써 그리고 그들이 모두 동일한 길이를 가지도록 전송선을 조절함으로써, 리모트 작동 모듈로 전송된 클럭 신호에서의 스큐를 감소하는 시스템에 대하여 서술하고 있다. 그러나 신호 스큐 문제를 해결하기 위한 이러한 '스타 버스(star bus)' 방법은 신호 소스로부터 많은 수의 전송선이 나와야 하기 때문에 다수의 작동 모듈을 가지는 시스템에서는 다소 다루기 힘들 수 있다.

클럭 신호 스큐를 제거하기 위한 다른 방법은 1984년 5월 8일, Tague 등에게 특허된 미합중국 특허번호 4,447,870에 개시되어 있다. 여기에서는 각 작동 모듈 상에 조정 가능한 지연 회로(delay circuit)를 제공하여, 각 작동 모듈에 도달한 후 클럭 신호를 더 지연시킨다. 각 작동 모듈의 지연 회로를 조절하여, 클럭 신호 전송선 및 조정 가능한 지연 회로에 의해 제공되는 지연 합을 표준 지연과 일치시킨다. 이러한 방법은 클럭 신호가 백플레인의 모든 작동 모듈과 접촉되어 있는 단일 전송선을 통해 작동 모듈로 전송되도록 한다. 그러나 이 방법은 시간 소비적이며, 각 작동 모듈에서의 지연 회로를 수동으로 조정해야 하는 까다로운 과정을 요구한다. 또한 작동 모듈이 전송선을 따라 새로운 위치로 이동할 때마다, 클럭 지연 회로를 재조정해야 한다.

1994년 11월 1일, Grover에게 특허된 미합중국 특허번호 5,361,277은 위상 동기된 클럭 신호를 각각의 다수의 분산된 회로 모듈로 전송하는 시스템에 대해 기술하고 있다. 이 시스템은 각 모듈로 경로가 설정된(routing)된 병렬 '출발(outgoing)' 및 '복귀(return)' 전송선을 사용한다. 클럭 소스는 출력 클럭 신호를 출력 전송선을 통해 각 모듈로 차례로 전송한 후, 출력 및 복귀 전송선이 함께 묶여있는 최종 모듈을 위의 원격점으로 전송한다. 그 후 클럭 신호는 역 순서로 복귀 전송선을 통해 원격점으로부터 각 모듈을 통과하여 복귀한다. 각 모듈에서의 디스큐 회로(deskewing circuit)는 클럭 신호들이 이 모듈을 통과할 때 전송선을 탭(tap)한다. 디스큐 회로는 출력 클럭 신호 및 복귀 클럭 신호의 위상을 모니터하고, 출력 클럭 신호의 위상과 복귀 클럭 신호의 위상의 중간 위상을 가지는 로컬(local) 클럭 신호를 발생시킨다. 모든 디스큐 회로에 의해 발생된 로컬 클럭 신호는 모듈과 클럭 소스의 거리 차에 관계없이 모두 동상(同相)이다. Grover는 출력 및 복귀 클럭 신호간의 중간 위상을 가지는 로컬 클럭 신호를 발생하기 위한 비교적 복잡한 회로에 대하여 기술하고 있다. 이러한 회로는 IC화된 모듈에 실장되는 경우 구현하기 어렵고, 지터(jitter)되기 쉽고, 디지털 I.C. 기술에서는 사용할 수 없으며, 또는 실질적 집적회로 공간을 요구하는 카운터, 발진기, 램프 발전기(ramp generator) 및/또는 분주 회로에 의존한다. 또한 Grover에 의해 제안된, 간격을 2등분하고 위상을 동기하는 기술은 위상 오류의 원인이 되는 로컬 클럭 회로 레이아웃 경로 변동을 교정하지는 않는다. 또한, 분산된 큰 규모의 프로세서 시스템 및 복잡한 집적회로 디자인에서 이 방법을 사용하는 경우, 클럭 팬-아웃(fan-out) 및 분배는 중요한 문제가 된다. 이러한 시스템에서는 클럭 신호가 수백 또는 수천의 모듈로 분배되어야 할 때도 있다. 이렇게 많은 회로 모듈을 구동할 수 있는 단일 클럭 소스를 구현하기는 어렵다.

동기된 클럭 및 데이터 신호를 동기 디지털 회로 모듈의 공간적으로 분산된 모듈로 전송하는 시스템이 필요하다. 이 시스템은 디지털 집적회로 제조 기술에서 사용될 수 있어야 하며 각 모듈에서 또는 회로 클러스터에서 복잡한 회로를 요구하지 않아야 한다. 이 시스템은 노이즈 또는 기온 변동에 비교적 덜 민감해야 하며, 기준 클럭 신호(reference clock signal)의 팬-아웃을 최소화해야 한다.

### 발명의 상세한 설명

클럭 및 데이터 신호 분산 시스템은 하나의 세트의 동기된 로컬 클럭 신호를 공간적으로 분산된 회로 모듈에 제공한다. 이 시스템은 주기적 기준 클럭 신호를 생성하는 소스, 하나의 세트의 디스큐 회로 및 제1 및 제2 전송선을 포함한다. 각 디스큐 회로는 회로 모듈 중 해당하는 하나의 모듈 부근에 위치한다. 제1 전송선은 기준 클럭 신호를 소스로부터 제1 연속 순서로 디스큐 회로로 라우팅한다. 제2 전송선은 기준 클럭 신호를 소스로부터 상기 제1 연속 순서를 역회전하는 제2 연속 순서로 디스큐 회로로 라우팅한다. 상기 2개의 전송선은 인접한 디스큐 회로 사이에서 동일한 길이와 동일한 전송 속도를 가진다. 각 디스큐 회로는 제1 및 제2 전송선을 통해 디스큐 회로에 도달하는 클럭 신호 위상의 중간 위상을 가지는 출력 로컬 클럭 신호를 생성한다. 각 디스큐 회로는 출력 로컬 클럭 신호를 해당하는 회로 모듈에 제공한다. 디스큐 회로에 의해 생성된 로컬 출력 신호는 디스큐 회로와 클럭 소스간의 거리가 서로 다른 것에 관계없이 모두 동일한 위상과 주파수를 가진다.

로컬 클럭 신호를 생성하기 위해, 각 디스큐 회로는 제1 및 제2 전송선 중 하나의 선을 통해 먼저 도달하는 클럭 신호를 연속하여 일치하는 제1 및 제2 지연 회로를 통해 통과시킨다. 각 디스큐 회로는 제2 지연 회로의 출력단에서 생성된 기준 클럭 신호가 다른 전송선을 통해 도달하는 클럭 신호와 위상 동기되도록 지연 회로의 지연을 조정한다. 로컬 클럭 신호는 제1 지연 회로의 출력단에서 생성된다.

각 디스큐 회로는 또한 제1 및 제2 지연 회로와 동일한 지연을 가지는 제3 지연 회로를 포함한다. 제1 및 제2 전송선과 유사한 제3 및 제4 전송선은 데이터를 클럭 소스 부근에 위치한 호스트 모듈에서 디스큐 회로로 라우팅한다. 각 디스큐 회로는 데이터를 해당 로컬 모듈로 전달한다. 호스트 모듈로부터 시발하는 데이터 펄스는 각 로컬 모듈에 동시에 도달하게 될 것이다.

따라서 본 발명의 목적은 공간적으로 분산된 전자회로의 회로 모듈에 하나의 세트의 동기된 로컬 클럭 신

호를 제공하는 것이다.

또한 본 발명의 목적은 데이터 신호를 데이터 소스로부터 하나의 세트의 공간적으로 분산된 회로 모듈로 동시에 전송하는 시스템을 제공하는 것이다.

이 명세서의 결론부는 본 발명의 요지를 구체적으로 나타내고 명확하게 특허청구한다. 그러나 당업자가 동일한 참조 번호가 동일한 구성요소를 가리키는 다음의 도면을 참조하여 명세서의 나머지 부분을 읽는다면, 본 발명의 작동의 구성과 방법 및 본 발명의 특징과 목적을 잘 이해하게 될 것이다.

### 도면의 간단한 설명

도 1은 본 발명에 따른 클럭 신호 분배 시스템을 나타내는 블록도이다.

도 2는 4개의 디스큐 회로를 사용하는 도 1의 시스템과 유사한 시스템의 클럭 소스와 디스큐 회로간의 라우팅 지연을 도시하는 도면이다.

도 3은 도 1의 위상 동기 루프 제어 회로를 보다 상세하게 도시하는 블록도이다.

도 4는 도 1의 일반적 지연 회로를 도시한다.

### 실시예

도 1은 본 발명에 따라 하나의 세트의 분산된 논리회로의 로컬 모듈(12)에 동기된 로컬 클럭 및 데이터 신호를 제공하는 시스템(10)을 묘사한다. 시스템(10)은 주기적 클럭 신호 CLK를 생성하는 클럭 소스(14), 하나의 세트의 디스큐 회로(16), 및 제1 및 제2 전송선(18, 20)을 포함한다. 각 디스큐 회로(16)는 해당 로컬 모듈(12)의 부근에 위치하며, 해당 로컬 모듈(12)에 대한 로컬 클럭 신호 CLKL을 생성한다. 제1 전송선(18)은 소스(14)의 클럭 신호 CLK 출력을 기준 클럭 신호 CLKA로서 연속된 각 디스큐 회로(16)(도 1에 나타난 '반시계' 방향으로)로 라우팅한 후, 특성 임피던스(22)를 통해 CLKA를 접지한다. 또한 제2 전송선(20)은 소스(14)의 클럭 신호 CLK 출력을 기준 클럭 신호 CLKB로서 연속된 각 디스큐 회로로 라우팅한 후, 특성 임피던스(24)를 통해 CLKB를 접지한다. 그러나 제2 전송선(20)은 기준 신호 CLKA를 제1 전송선(18)에 의해 제공되는 기준 신호 CLKA의 라우팅 방향을 역회전하는 순서('시계' 방향)로 디스큐 회로(16)로 라우팅한다. 제1 및 제2 전송선이 인접한 디스큐 회로 사이에서 서로 반대 방향으로 클럭 신호를 전송하고 있지만, 이들은 인접한 회로 모듈 사이에 동일한 길이와 동일한 전파 속도를 가진다. CLK신호의 주기는 CLKA 또는 CLKB 펄스 전송선(18 또는 20)을 통해 가장 원거리의 디스큐 회로(16)로 이동하기 위해 요구되는 시간보다 긴 것이 적당하다.

각 디스큐 회로(16)에서, 진상 기준 신호(leading reference signal)가 소스(14)와 디스큐 회로간에 이동하는 거리가 지상 기준 신호(lagging reference signal)가 이동하는 거리보다 짧기 때문에, 입력 기준 신호 CLKA 또는 CLKB 중의 하나의 신호의 위상은 다른 신호의 위상보다 앞선다. 각 디스큐 회로(16)는 입력되는 CLKA기준 신호 및 입력 CLKB기준 신호의 위상을 감지하고 진상 및 지상 기준 신호의 위상 사이의 중간 위상을 가지는 로컬 클럭 신호 CLKL을 생성한다. 이는 모든 로컬 클럭 신호가 동상을 가지는 것을 보장한다.

각 디스큐 회로(16)는 동일한 제1 및 제2 조절가능 지연 회로(26,28) 및 위상 동기 루프 콘트롤러(phase lock loop controller; 30)를 포함한다. 전송선(20)을 통하는 것보다 전송선(18)을 통하는 것이 클럭 소스(14)와 더 가까운 각 디스큐 회로(16)에서, 진상 기준 클럭 신호 CLKA는 제1 지연 회로(26)를 통과하여 부근의 로컬 모듈(12)로 전송되는 로컬 클럭 신호 CLKL이 된다. 또한 로컬 클럭 신호 CLKL은 제2 지연 회로(28)를 통과하여 콘트롤러(30)의 하나의 입력단에 공급되는 로컬 기준 신호 REF가 된다. 지연 회로(26)와 지연 회로(28)는 서로 유사하며, 유사한 지연을 가진다. 지상 기준 클럭 신호 CLKB는 콘트롤러(30)의 제2 입력단을 구동한다. 콘트롤러(30)는 양 지연 회로(26,28)에 공급되는 출력 신호 VPLL을 생성시켜 그들의 지연을 제어한다. REF의 위상이 CLKB의 위상보다 앞서는 경우에, 콘트롤러(30)는 VPLL의 크기를 감소시켜 지연 회로(26,28)의 지연을 증가시킨다. REF의 위상이 CLKB의 위상보다 앞서는 경우에, 콘트롤러(30)는 VPLL의 크기를 증가시켜 지연 회로(26,28)의 지연을 감소시킨다. 그리하여 콘트롤러(30)에 의해 제공된 피드백은 지연 회로(26,28)의 지연을 조절하여 REF를 지상 기준 클럭 신호 입력 CLKB와 위상 동기시킨다. REF가 지상 기준 신호 CLKB와 위상 동기되면, 로컬 클럭 신호 CLKL은 CLKA의 위상과 CLKB의 위상간의 중간 위상을 가지게 될 것이다. 전송선(18)을 통하는 것보다 전송선(20)을 통하는 것이 클럭 소스(14)와 더 가까운 각 디스큐 회로(16)는 지상 클럭 신호 CLKB가 제1 지연 회로(26)를 통과하여 로컬 클럭 신호 CLKL이 되며 콘트롤러(30)가 지연 회로(26,28)를 지연시켜 REF를 지상 기준 신호 입력 CLKA와 위상 동기시킨다는 점을 제외하고는 유사한 방법으로 작동한다.

도 2는 4개의 디스큐 회로(16(1))~(16(4))를 가지는 시스템에서의 지연을 도시하는 도면이다. CLKA 신호는 소스(14)와 디스큐 회로(16(1))간의 전송선(18)의 고유 지연인 지연(D(1))을 통해 우선 소스(14)로부터 회로(16(1))로 이동한다. 그 후, CLKA 신호는 각 디스큐 회로와 다음 회로간의 전송선(18)의 고유 지연인 지연(D(2))~(D(4))를 통해, 각 디스큐 회로(16(2))~(16(4))로 연속적으로 이동한다. 그 후 CLKB 신호는 역회전하여 각 디스큐 회로와 다음 회로간의 전송선(20)의 고유 지연인 지연(D(4))~(D(2))를 통해 디스큐 회로(16(3))~(16(1))로 연속적으로 이동한다. 전송선(18,20)은 인접한 디스큐 회로 사이에 동일한 길이와 동일한 신호 전파 속도를 가지기 때문에, 지연(D(2))~(D(4))는 신호의 이동 방향과는 관계없이 동일하다.

디스큐 회로(16(1))에서, CLKA 신호의 펄스는 소스(14)로부터 지연(D(1))을 통과한 다음 도달하며, CLKB 신호는 소스(14)로부터 지연(D(2))+D(3)+D(4)+D(5))을 통과한 다음 도달한다. 디스큐 회로(16(1))는 CLKA 및 CLKB 펄스의 도착 시간의 중간 시간에 각 로컬 클럭 신호 CLKL 펄스를 생성한다. 따라서 디스큐 회로(16(2))에 의해 생성된 CLKL 펄스는 소스(14)로부터 출력되는 CLKA 펄스보다 다음에 기술된 지연(1) 만큼 지연될 것이다.

$$\text{지연}(1) = (1/2)D(1) + (1/2)[D(2)+D(3)+D(4)+D(5)]$$

디스큐 회로(16(2))에서, CLKA 신호의 펄스는 소스(14)로부터 지연(D(1)+D(2))을 통과한 다음 도달하며, CLKB 신호는 소스(14)로부터 지연(D(3)+D(4)+D(5))을 통과한 다음 도달한다. 또한 디스큐 회로(16(2))는 CLKA 및 CLKB 펄스의 도착 시간의 중간 시간에 각 로컬 클럭 신호 CLKL 펄스를 생성하기 때문에, 디스큐 회로(16(2))에 의해 생성된 CLKL 펄스는 소스(14)로부터 출력되는 CLKA 펄스보다 다음에 기술된 지연(2)만큼 지연될 것이다.

$$\text{지연}(2) = (1/2)[D(1)+D(2)] + (1/2)[D(3)+D(4)+D(5)]$$

상기 관계를 관찰함으로써, 우리는 지연(1)과 지연(2)이 동일한 값을 가진다는 것을 알 수 있다. 유사한 분석은 각 디스큐 회로(16(1))~(16(4))가 소스(14)의 CLK 출력으로부터 동일한 양의 시간만큼 지연된 출력 로컬 클럭 신호 펄스를 생성한다는 것을 보여준다. 따라서 디스큐 회로(16(1))~(16(4))에 의해 생성된 모든 로컬 클럭 신호 CLKL은 동일한 위상과 주파수를 가지게 될 것이다.

다시 도 1을 참조하여 설명하면, 클럭 소스(14)와 인접한 호스트 모듈(32)은 DATA 신호를 한 쌍의 전송선(34,36)을 통해 디스큐 회로(16)로 전송한다. 전송선(34)은 DATA 신호를 전송선(20)을 통하는 것보다 전송선(18)을 통해 클럭 소스(14)와 더 가까운 디스큐 회로(16)로 전송하며, 입력 기준 신호 CLKA의 위상이 입력 기준 신호 CLKB의 위상보다 앞서게 된다. 소스(14)와 연속적인 디스큐 회로(16)간의 전송선(34)의 세그먼트는 전송선(18)의 해당 세그먼트와 동일한 길이와 동일한 전파 속도를 가진다. 전송선(34)은 특성 임피던스(38)를 통해 그 원격단을 종료한다. 전송선(36)은 DATA 신호를 전송선(18)을 통하는 것보다 전송선(20)을 통하는 것이 클럭 소스(14)와 더 가까운 디스큐 회로(16)로 전송하며, 입력 기준 신호 CLKB의 위상은 입력 기준 신호 CLKA의 위상보다 앞서게 된다. 소스(14)와 연속된 디스큐 회로(16)간의 전송선(34)의 세그먼트는 전송선(20)의 해당 세그먼트와 동일한 길이와 동일한 전파 속도를 가진다. 전송선(36)은 특성 임피던스(40)를 통해 그 원격단을 종료한다.

각 디스큐 회로(16)는 지연 회로(26,28)와 동일하며 또한 콘트롤러(30)로부터 나오는 VPLL신호에 의해 제어되는 제3 지연 회로(42)를 포함한다. 제3 지연 회로(42)는 지연 회로(26)가 입력 기준 신호 CLKA 또는 CLKB를 지연하는 시간과 동일한 양의 시간만큼 입력 DATA 신호를 지연한다. 각 디스큐 회로(16)는 지연된 DATA 신호를 그 해당 로컬 모듈(12)로 전송한다. 디스큐 회로의 제3 지연 회로(42)는 호스트 모듈(32)로부터 시발되는 DATA 신호 펄스가 모든 로컬 모듈(12)에 동시에 도달하는 것을 보장한다. 전송선(34,36)이 병렬 데이터 워드를 전송하는 다중선 병렬 버스로 확장될 수 있다는 것을 이해해야 할 것이다. 이러한 경우에, 각 디스큐 회로(16)는 각각 버스(34 또는 36)상의 개별 비트의 워드를 지연하는 다중 지연 회로(42)를 구비할 것이다.

전송선(18,20,34,36)을 따라 인접한 지점에 증폭기(44)의 정합(matching) 세트를 선택적으로 삽입하여, 전송선이 긴 경우 기준 클럭 신호 CLKA 및 CLKB의 감쇠량을 감소시킬 수 있다. 증폭기는 또한 CLK신호의 팬-아웃을 저감한다.

도 3은 도 1의 위상 동기 루프 제어 회로(30)를 보다 상세하게 도시하는 블록도이다. 지상 클럭 신호 CLKB(또는 CLKA)는 D형 플립플롭(50)의 클럭 입력을 구동한다. REF신호는 플립플롭의 D입력을 구동한다. 지역 필터(52)는 플립플롭(50)의 반전 \Q 출력을 적분하고, 그 결과를 증폭기(54)의 입력단에 공급한다. 증폭기(54)는 도1의 지연 회로(26,30,42)를 제어하는 VPLL신호를 생성한다. REF의 위상이 CLKB의 위상보다 앞서서는 경우에는, 플립플롭(50)의 \Q 출력은 로우 레벨이 되어 증폭기(54)의 VPLL출력을 다운 구동시킨다. 강하하는 VPLL은 지연 회로(26,28)의 지연을 증가시키며, 이에 따라 REF를 CLKB의 위상과 더 근접하도록 한다. 역으로, REF의 위상이 CLKB의 위상보다 뒤처지는 경우에는, 플립플롭(50)의 \Q 출력은 하이 레벨이 되어 증폭기(54)의 VPLL출력을 업 구동시킨다. 상승하는 VPLL은 지연 회로(26,28)의 지연을 감소시켜, REF를 CLKB의 위상과 더 근접하도록 한다. 따라서 안정된 상태의 작동에서는, 제어 회로(30)에 의해 제공된 피드백은 REF를 CLKB와 동상으로 유지한다.

도 4는 도 1의 일반적 지연 회로(26)를 도시한다. 지연 회로(28,42)는 서로 유사하다. 지연 회로(26)는 연속적으로 연결된 하나의 세트의 인버터(56)로 구성되며, 제1 인버터는 CLKA 신호를 수신하고 최종 인버터는 REF신호를 생성한다. VPLL의 크기는 각 인버터(56)의 스위칭 속도를 제어함에 따라 지연 회로(26)의 지연을 제어한다.

상기의 명세는 본 발명의 바람직한 실시예에 대하여 서술하고 있지만, 이 기술분야에서 숙련된 사람은 보다 큰 관점에서 본 발명을 이탈하지 않고 바람직한 실시예에 대하여 다수의 변형을 실시할 수 있다. 다음의 청구항은 따라서 본 발명의 범위와 사상 내에서 이러한 모든 변형을 포괄할 것을 의도한다.

## (57) 청구의 범위

### 청구항 1

하나의 세트의 동기되고, 공간적으로 분산된 로컬 클럭 신호를 생성하는 장치로서, 상기 장치는,

주기적 기준 클럭 신호를 생성하는 클럭 소스,

하나의 세트의 공간적으로 분산된 디스큐 회로;

상기 기준 클럭 신호를 상기 클럭 소스로부터 제1 연속 순서로 상기 디스큐 회로로 라우팅하는 제1 전송선; 및

상기 기준 클럭 신호를 상기 클럭 소스로부터 상기 제1 연속 순서를 역회전하는 제2 연속 순서로 상기 각 디스큐 회로로 라우팅하는 제2 전송선을 포함하며,

상기 각 디스큐 회로는 상기 제1 및 제2 전송선을 통해 도달하는 상기 기준 클럭 신호를 수신하고 여기에 응답하여 상기 제1 및 제2 전송선을 통해 도달하는 기준 클럭 신호들의 위상의 중간 위상을 가지는 출력

로컬 클럭 신호를 생성하는 로컬 클럭 신호 생성 수단을 포함하는 회로인 장치.

## 청구항 2

제1항에 있어서, 상기 로컬 클럭 신호 생성 수단은

상기 하나의 출력 로컬 클럭 신호를 생성하기 위해 상기 제1 및 제2 전송선 중의 하나의 전송선을 통해 도달하는 상기 기준 클럭 신호를 수신하고 지연시키는 제1 지연 회로;

로컬 기준 신호를 생성하기 위해 상기 로컬 클럭 신호를 수신하고 지연시키는 제2 지연 회로; 및

상기 제1 및 제2 지연 회로에 의해 제공되는 지연을 조절하여 상기 로컬 기준 신호를 상기 제1 및 제2 전송선 중의 상기 다른 하나의 전송선을 통해 도달하는 기준 클럭 신호와 위상 동기시키기 위하여, 상기 제1 및 제2 전송선 중의 다른 하나의 전송선을 통해 도달하는 상기 로컬 기준 신호 및 상기 기준 클럭 신호를 수신하는 제어 수단을 포함하는 장치.

## 청구항 3

제1항에 있어서, 상기 디스큐 회로중의 임의의 2개의 회로 사이에 상기 기준 클럭 신호를 라우팅하는 상기 제1 및 제2 전송선의 세그먼트는 상기 2개의 회로 사이에 유사한 고유 신호 전송 지연을 제공하는 장치.

## 청구항 4

하나의 세트의 동기된 로컬 클럭 신호를 공간적으로 분산된 전자 시스템의 로컬 모듈로 공급하고 데이터 신호를 호스트 모듈로부터 로컬 모듈로 동시에 전송하는 장치로서, 상기 장치는

주기적 기준 클럭 신호를 생성하는 클럭 소스.

하나의 세트의 공간적으로 분산된 디스큐 회로;

상기 기준 클럭 신호를 상기 클럭 소스로부터 제1 연속 순서에 따라 상기 디스큐 회로로 라우팅하는 제1 전송선;

상기 기준 클럭 신호를 상기 클럭 소스로부터 상기 제1 연속 순서를 역회전하는 제2 연속 순서에 따라 상기 각 디스큐 회로로 라우팅하는 제2 전송선; 및

상기 데이터 신호를 상기 제1 순서로 각 디스큐 회로로 라우팅하는 제3 전송선을 포함하며,

상기 각 디스큐 회로는

상기 하나의 동기화된 출력 로컬 클럭 신호를 생성하기 위해 상기 제1 전송선을 통해 도달하는 상기 기준 클럭 신호를 수신하고 지연시키는 제1 지연 회로;

로컬 기준 신호를 생성하기 위해 상기 로컬 클럭 신호를 수신하고 지연시키는 제2 지연 회로;

상기 제3 전송선을 통해 전송된 상기 데이터 신호를 수신하고 지연시켜서, 그 결과로 출력 로컬 데이터 신호를 생성하는 제3 지연 회로; 및

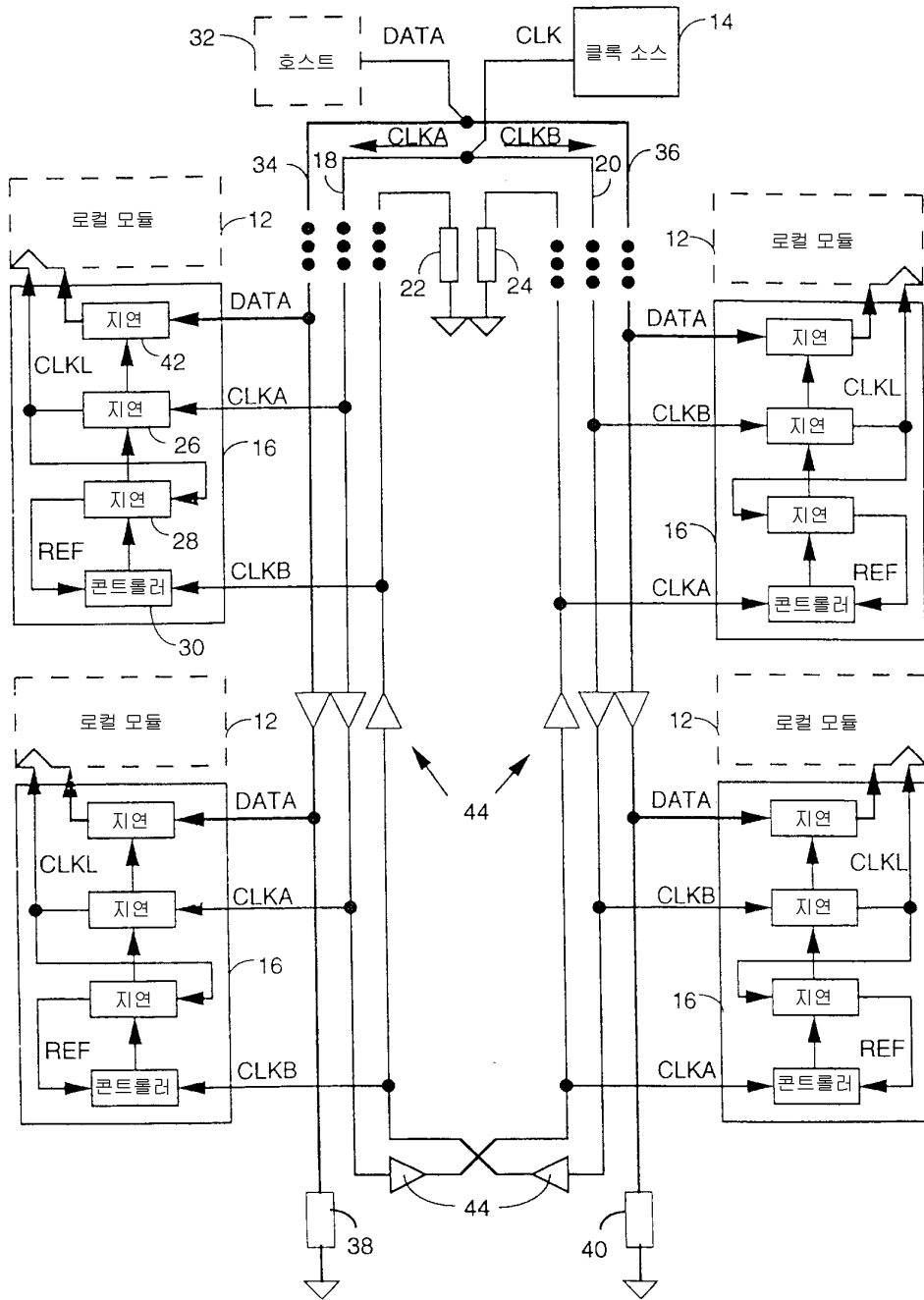
상기 제1 및 제2 지연 회로에 의해 제공되는 지연을 유사한 크기로 조절하여 상기 로컬 기준 신호를 상기 제2 전송선을 통해 도달하는 상기 기준 클럭 신호와 위상 동기시키고, 상기 제3 지연 회로에 의해 제공되는 지연을 상기 제1 지연 회로의 지연과 정합하도록 조절하기 위해 상기 로컬 기준 신호를 수신하고 상기 제2 전송선을 통해 도달하는 기준 클럭 신호를 수신하는 제어 수단을 포함하는 장치.

## 청구항 5

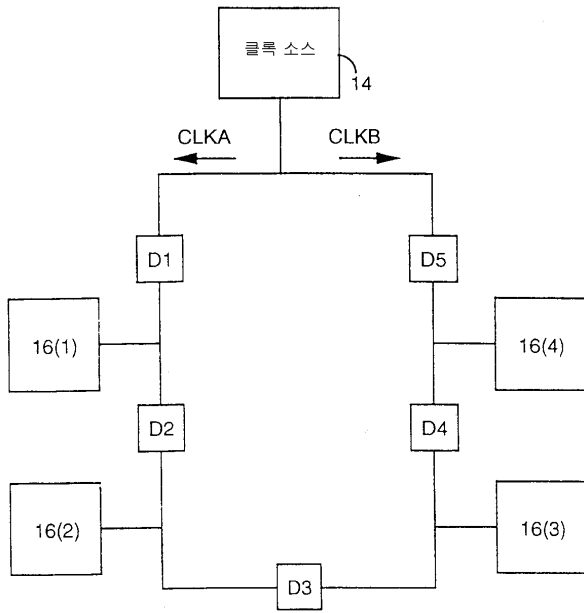
제4항에 있어서, 상기 디스큐 회로 중 임의의 2개의 회로 사이에 신호를 라우팅하는 상기 제1, 제2, 제3 전송선의 세그먼트는 상기 2개의 회로 사이에 유사한 고유 신호 전송 지연을 제공하는 장치.

**도면**

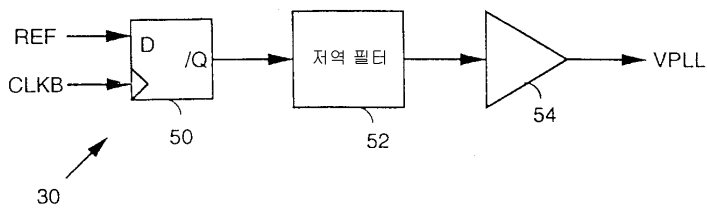
도면1



도면2



도면3



도면4

