

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4363716号
(P4363716)

(45) 発行日 平成21年11月11日(2009.11.11)

(24) 登録日 平成21年8月28日(2009.8.28)

(51) Int. Cl. F I
 HO 1 L 21/82 (2006.01) HO 1 L 21/82 W
 HO 1 L 21/3205 (2006.01) HO 1 L 21/88 B

請求項の数 4 (全 28 頁)

(21) 出願番号	特願平11-269511	(73) 特許権者	000003078
(22) 出願日	平成11年9月22日(1999.9.22)		株式会社東芝
(65) 公開番号	特開2001-68554(P2001-68554A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成13年3月16日(2001.3.16)	(74) 代理人	100083806
審査請求日	平成15年1月27日(2003.1.27)		弁理士 三好 秀和
(31) 優先権主張番号	特願平11-180572	(74) 代理人	100100712
(32) 優先日	平成11年6月25日(1999.6.25)		弁理士 岩▲崎▼ 幸邦
(33) 優先権主張国	日本国(JP)	(74) 代理人	100100929
			弁理士 川又 澄雄
		(74) 代理人	100108707
			弁理士 中村 友之
		(74) 代理人	100095500
			弁理士 伊藤 正和
		(74) 代理人	100101247
			弁理士 高橋 俊一

最終頁に続く

(54) 【発明の名称】 L S I の配線構造の設計方法

(57) 【特許請求の範囲】

【請求項 1】

配線構造に含まれる配線のプロセスによる配線幅のばらつきを推定し、プロセスばらつき量 σ_p とする段階と、

配線容量変動 C/C の許容範囲を設定し σ_c とする段階と、

フリンジ容量 C_f と平行平板容量 C_p からフリンジ容量比 $F = C_f / C_p$ を評価して、以下の式

$$F \sigma_p / \sigma_c < 1$$

を満たすように、前記配線構造を決定する段階とを有することを特徴とする L S I の配線構造の設計方法。

【請求項 2】

前記配線構造に含まれる個々の配線の配線長が 1 mm 未満であることを特徴とする請求項 1 に記載の L S I の配線構造の設計方法。

【請求項 3】

前記配線幅 W と前記配線直下の絶縁膜厚 H との比 W/H が $1 < W/H < 6$ で、配線長 L が 1 mm 未満であることを特徴とする請求項 1 に記載の L S I の配線構造の設計方法。

【請求項 4】

2 層目以下の下層配線層における配線幅 W と該配線直下の絶縁膜厚 H との比 W/H が $1 < W/H < 6$ であることを特徴とする請求項 1 に記載の L S I の配線構造の設計方法。

【発明の詳細な説明】

【 0 0 0 1 】

【 発明の属する技術分野 】

本発明は、半導体装置の設計に係り、特に L S I の配線構造及びその設計方法に関する。

【 0 0 0 2 】

【 従来技術 】

L S I の大規模化を実現するため、素子の微細化が進んでいる。この微細化の進展に伴い、パターンングやイオン注入などのプロセスばらつきの回路特性に与える影響が顕在化している。(N. Shigyo et al., "Statistical Simulation of MOSFETS using TCAD: Meshing noise problem and selection of factors," Proc. IWSM98, p. 10, 1998)。

10

【 0 0 0 3 】

これまでに、プロセスばらつきが回路特性に与える影響については、感度解析に基づく手法(Z. J. Lin and C. j. Sponos, "Sensitivity study of interconnect using statistical design," Proc. IWSM, p. 68, 1998)や解析式を使った検討が行われてきた(O. S. Nakagawa et al., "modeling of pattern-dependent on-chip interconnect geometry variation for deep-submicron process and design technology," Tech. Dig. IWSM, p. 137, 1997)。

【 0 0 0 4 】

【 発明が解決しようとする課題 】

L S I の回路特性のひとつとしては、例えば回路遅延特性が挙げられる。回路の遅延時間は、配線長 L が長い場合、配線抵抗 R と配線容量 C の積 RC で与えられる。一方、配線長 L が短い場合、トランジスタのオン抵抗 R_{t_r} と配線容量 C との積 $R_{t_r} C$ で与えられる。(H. B. Bakoglu and J. D. Meindl, "Optimum interconnection circuits for VLSI," IEEE Trans. Electron Devices, ED-32, p. 903, 1985)。つまり、良好な回路遅延特性を得るためには、配線性能として、配線長が長い場合は配線遅延 RC 、短い場合は配線容量 C が重要である。

20

【 0 0 0 5 】

従って、L S I の微細化に伴って、配線容量 C と配線遅延 RC の低減が急務となっているが、これに加えて、プロセスばらつきに起因する配線容量変動 C と配線遅延変動 $(RC) / (RC)$ の抑制もまた重要になってきている。このため、 C 及び C 、 RC 及び $(RC) / (RC)$ を同時に抑制可能な配線構造を見出す必要がある。

30

【 0 0 0 6 】

しかし、従来はプロセスばらつきが回路特性に与える影響を解析するに止まり、プロセスばらつきによる容量変動 C / C や配線遅延変動 RC / RC の変動を抑制する配線構造の検討までは行われていなかった。またこのような配線構造を見いだすための技術的指針も無かった。

【 0 0 0 7 】

そこで、本発明の目的は、プロセスばらつきを考慮しつつ、実用に適した配線容量 C 又は配線遅延 RC の変動を抑制することの可能な L S I の設計方法を提供することである。また、この設計方法に基づいた配線構造を提供することである。

40

【 0 0 0 8 】

【 課題を解決するための手段 】

上記課題を達成するために、本発明による L S I の配線構造の設計方法は、配線構造に含まれる配線のプロセスによる配線幅及び配線膜厚のばらつきを推定し、プロセスばらつき量 p とする段階と、配線容量変動 C / C の許容範囲を設定し c とする段階と、フリンジ容量 C_F と平行平板容量 C_P からフリンジ容量比 $F = C_F / C_P$ を評価して、以下の式

$$F = p / c - 1$$

を満たすように、前記配線構造を決定することを特徴とする。

【 0 0 0 9 】

50

上記特徴によれば、プロセスばらつきに対して、配線容量変動 C/C の許容範囲 ξ_C 以内に抑制する L S I の配線を実現できる。

【0010】

特に、配線の配線長が 1 mm 未満の短い配線の場合には、配線容量変動 C/C が配線特性に与える影響が大きいため有効である。

【0068】

【発明の実施の形態】

(第1の実施の形態)

配線容量 C 、及び配線遅延 RC の低減に関して、従来の技術の問題点を解析した結果、本発明者等は、プロセスばらつきが配線容量 C および C と抵抗 R との積である配線遅延に与える影響の抑制が重要であると判断した。この影響を解析した結果、 C の変動 C/C と RC の変動量 $(RC)/(RC)$ は相反する関係にあることが分かった。これは、配線の「フリンジ容量」に起因する。

【0069】

図1は、10%のプロセスばらつき量 δ_P がある場合の C の変動量 C/C と RC の変動量 $(RC)/(RC)$ をフリンジ容量比 $F (= C_F / C_P$ 、ここで C_F と C_P はフリンジおよび平行平板容量) の関数として表したものである。 F が大きければ、 C の変動を抑えられる。逆に、 F が小さいほど RC の変動量 $(RC)/(RC)$ は少ない。

【0070】

さらに、所望の C または RC の変動量とプロセスばらつき量 δ_P から、満たすべきフリンジ容量比 F を求める式を導出した。即ち、後に証明するように配線容量変動 C/C と配線 RC 変動量 $(RC)/(RC)$ をそれぞれの許容範囲 ξ_C および ξ_{RC} 以内にするためには、フリンジ容量比 F は下記の式(1)または式(2)を満たさなければならない。

【0071】

【数1】

$$\left| \frac{\Delta C}{C} \right| \leq \xi_C \Leftrightarrow F \geq \frac{\delta_P}{\xi_C} - 1 \quad (1)$$

または、

$$\left| \frac{\Delta (RC)}{RC} \right| \leq \xi_{RC} \Leftrightarrow F \leq \frac{(1 - \delta_P) \delta_P}{\delta_P - \delta_{RC}} - 1 \quad (2)$$

これら式と、容量シミュレータを用いて算出した F から、配線構造を決められる。設計指針として、配線長 L が短い場合、 C 変動を抑えるために F を大きくする配線構造をすれば良い。一方、 L が長い場合、 RC 変動を抑えるため F を小さくした方が良い。

【0072】

また、容量変動と RC 変動を共に抑えたい場合には、妥協点として $F = 1 - \delta_P$ とすれば、2つ変動を δ_P の半分にまでなら抑えられる。例えば、 δ_P が 10% である図1の場合、2つの曲線の交点である $F_{C RC} = 0.9$ にする。

【0073】

以下、より詳しく説明する。図2は、解析に用いた周期的配線構造である。ここで、 S は配線間隔、 H は絶縁膜厚である。ピッチは一定とした。つまり、 $W + S = \text{一定}$ である。寸法は、 H で規格化した(2次元容量は、大きさではなく、形状で決まる)。 $T/H = 0.6$ で固定とした。配線容量は、2次元シミュレーションを用いて算出した。

【0074】

図3は、 W を +10%、 -10% 変化させた場合の配線容量 C への影響である。シミュレーション結果と共に平行平板近似についても示した。平行平板近似では、対地容量 C_2

10

20

30

40

50

と配線間容量 C_{21} を $C_{20} / (\epsilon_0 \cdot \epsilon_r \cdot L) = W/H$ 、 $C_{21} / (\epsilon_0 \cdot \epsilon_r \cdot L) = T/S$ として算出した。ここで、容量は絶縁膜の誘電定数 $\epsilon_0 \cdot \epsilon_r$ と配線長 L で規格化した。 W が広いと対地容量 C_{20} が支配的になり、一方、 W が狭くなると配線間容量 C_{21} が支配的となる。実線が nominal 値で、点線が W を +10%、-10% 変化させた場合の配線容量 C である。

【0075】

図4は、 W を +10%、-10% 変化させた場合の相対変化量 $\Delta C / C$ である。 $W/H = 2$ 近傍で $\Delta C / C$ の変化量は最小となる。一方、平行平板近似の場合、 $\Delta C / C$ は常に10%程度である。この原因は、「フリンジ容量」である。このフリンジ容量により、 W の変化に対して、 $\Delta C / C$ が緩和される。つまり、 $\Delta C / C$ の変化が鈍くなる。従って、配線容量の変動を抑えるためには最適であると言える。しかし、後述するように、配線遅延の変動という観点からは、この $W/H = 2$ という配線構造は最悪なものである。

10

【0076】

図5は、配線抵抗 R を考慮して求めた配線遅延 RC の変動の相対変化量 $\Delta(RC) / (RC)$ である。ここで、 R は断面積 WT に逆比例するとした。 W が広い場合と狭い場合の両極端で、 $\Delta(RC) / (RC)$ が減少する。つまり、これらは W のばらつきに対して RC 的には強い配線構造と言える。その中間の $W/H = 2$ 近傍では、 $\Delta(RC) / (RC)$ は4%近くになっている。配線遅延の変動という観点からは、この $W/H = 2$ という配線構造は最悪のものである。尚、平行平板近似の場合、 $\Delta(RC) / (RC)$ は常に1%以下である。

20

【0077】

これらは、以下のように説明できる。 W が、抵抗 R と容量 C に与える影響は逆である。つまり、 R/R と C/C が相殺する関係（負の相関）にある。例えば、配線幅 W が狭まると R は増えるが、逆に対地容量 C_{20} は減る。これは配線間容量 C_{21} でも同様で、 W が狭まるとスペース S が広がり配線間容量 C_{21} が減る（ピッチは一定）。単純化して、平行平板近似が成り立つと仮定すると、 RC の変動は0になる。

【0078】

式で表すと、

【数2】

$$\frac{\Delta(RC)}{(RC)} = \frac{(R + \Delta R)(C + \Delta C) - RC}{RC} = \frac{\Delta R}{R} + \frac{\Delta C}{C} + \frac{\Delta R \Delta C}{RC}$$

30

となる。平行平板近似が成り立てば、 $\Delta R / R + \Delta C / C = 0$ となる。

【0079】

実際には、微細化すると、配線の構造 (W, S, H, T) により、 $\Delta(RC) / (RC)$ は増加または減少する。これは、フリンジ容量が原因である。平行平板近似が、成り立たなくなるためである。例えば、対地容量 C_{20} では、微細化により C/C がフリンジ容量のため緩和され (W の変化に対して鈍くなり)、 R/R がそのまま見えてしまう。一方、配線間容量は、微細化で平行平板近似が成り立つようになり、 $\Delta R / R = -\Delta C / C$ となる。平行平板近似が成り立てば、 $\Delta R / R$ と $\Delta C / C$ は相殺し、 RC の変動は0になる。

40

【0080】

図6は、 W を10%増加した場合での式(1)の各成分である。 $\Delta C / C$ は、図3に示したものと同じである。 $\Delta R / R$ は、単に断面積から求めた。 W に逆比例し、一定の変化量である。 $\Delta C / C$ に対して $\Delta R / R$ は符号が逆であり、相殺する関係にある。しかし、 $W/H = 2$ 付近では、フリンジ容量のため $\Delta C / C$ が小さく、 $\Delta R / R$ を相殺できない。このため、 $\Delta(RC) / (RC)$ が大きくなる。つまり、 W のばらつき W に対して RC の変動が大きくなる。

【0081】

50

次に、解析的に解く。配線容量は、平行平板成分 C_P とフリンジ成分 C_F から成る。

【0082】

$$C = C_P + C_F = (1 + F) C_P$$

ここで、 F はフリンジ容量比で、 $F = C_F / C_P$ である。

【0083】

変動量について、以下の2つを仮定した。

【0084】

(i) フリンジ容量の変動 ΔC_F は、平行平板成分の変動 ΔC_P に比べて無視できる。

【0085】

$$C_F \ll C_P$$

10

(ii) 容量の平行平板成分と抵抗の変動量は相殺し、その絶対値はプロセスばらつき δ_P と等しい。

【0086】

【数3】

$$\frac{\Delta C_P}{C_P} = - \frac{\Delta R}{R} = \delta_P \quad (3)$$

これらの仮定に基づくと、容量変動 $\Delta C / C$ は、フリンジ容量比 F を使って、以下のよう
に表される。

20

【0087】

【数4】

$$\frac{\Delta C}{C} = \frac{\Delta C_P}{C_P + C_F} = \frac{1}{1 + F} \frac{\Delta C_P}{C_P} \quad (4)$$

RC 変動 $(\Delta RC) / (RC)$ は、以下のように表される。

【0088】

【数5】

$$\frac{\Delta (RC)}{(RC)} = \frac{\Delta R}{R} + \frac{\Delta C}{C} + \frac{\Delta R \Delta C}{RC} = \frac{\Delta R}{R} + \frac{1}{1 + F} \frac{\Delta C_P}{C_P} \left(1 + \frac{\Delta R}{R}\right) \quad (5)$$

30

さらに、式(3)を考慮すると、次のようになる。

【0089】

【数6】

$$\frac{\Delta (RC)}{(RC)} = - \left[1 - \frac{1}{1 + F} (1 - \delta_P) \right] \delta_P \quad (6)$$

容量変動 $\Delta C / C$ と RC 変動 $(\Delta RC) / (RC)$ をそれぞれ δ_C および δ_{RC} 以内に
するためには、フリンジ容量比 F は次式を満たさなければならない。

40

【0090】

【数7】

$$\left| \frac{\Delta C}{C} \right| \leq \xi_c \Leftrightarrow F \geq \frac{\delta_P}{\xi_c} - 1 \quad (1)$$

または、

$$\left| \frac{\Delta (RC)}{RC} \right| \leq \xi_{RC} \Leftrightarrow F \leq \frac{(1 - \delta_P) \delta_P}{\delta_P - \delta_{RC}} - 1 \quad (2)$$

ここで、 δ_P はプロセスのばらつき量であり、 $\delta_P = C_P / C_P = R / R$ とした。これは、配線幅 W や配線膜厚 T に対するばらつきとしては、妥当な仮定である。試みに、 δ_P を 0.1 (10%) とすると、 $\xi_c = 0.05$ (5%) を実現するには、 F は 1 以上でなければならない。一方、 $\xi_{RC} = 0.05$ (5%) を実現するには、 F は 0.8 以下でなければならない。

【0091】

図1は、容量変動 C / C と RC 変動 $(RC) / (RC)$ をフリンジ容量比 F の関数として表したものである。尚、 $(RC) / (RC)$ は、符号 C / C の逆である。この場合、負であり、絶対値をとり表示した。 F が増加するにつれ、容量変動 C / C は減少する。逆に RC 変動 $(RC) / (RC)$ が増加する。これは、前述の結論に一致する。やはり、プロセスばらつき δ_P を 0.1 (10%) とした図2の配線構造の場合、 $\xi_c = 0.05$ (5%) にするには F は 1 以上でなければならない。一方、 $\xi_{RC} = 0.05$ (5%) にするには F は 0.8 以下でなければならないことが分かる。

【0092】

以下、具体例を説明する。容量変動と RC 変動は、背反するため、同時に変動を抑制することができない。しかし、ある程度なら2つの変動を抑えることはできる。このためには、図1の2つの曲線の交点となるフリンジ容量比 $F_{C_{RC}}$ に設定するのが良い。ここで、 $F_{C_{RC}}$ は式(4)と式(6)から、次のように表される。

【0093】

$$F_{C_{RC}} = 1 - \delta_P \quad (7)$$

また、このとき、 ξ_c と ξ_{RC} は、 $\delta_P \ll 2$ なら、以下のように近似できる。

【0094】

【数8】

$$\xi_c = \xi_{RC} = \frac{\delta_P}{2}$$

つまり、フリンジ容量比 $F_{C_{RC}}$ の場合、容量変動 C / C と RC 変動 $(RC) / (RC)$ をプロセスばらつき δ_P の半分に抑えることができる。図1に示した2つの曲線の交点である $F = 0.9$ では、10%のプロセスばらつきに対して、容量変動 C / C と RC 変動の2つの変動を共に5%程度にすることができる。

【0095】

図7は、図2の配線構造でのフリンジ容量比 F である。 $W / H = 1$ 近傍で $F = 1$ となっている。この配線構造では、 $W / H = 1$ 近傍でフリンジ容量が全体の容量に占める割合が最も高い。ここで、 $F_{C_{RC}} = 0.9$ となる配線構造は、 W / H は 0.7 または 2 である。そこで、 W / H と 0.7 とすると、例えば $W = S = 0.25 \mu\text{m}$ では、 $H = 0.36 \mu\text{m}$ 、 $T = 0.22 \mu\text{m}$ とすれば良い。

【0096】

図8は、単一配線の構造モデルを示す図である。

【0097】

図9は、単一配線でのフリンジ容量比 F である。この F と式(1)、式(2)または式(7)から、所望の変動仕様を満たす配線構造を決定できる。

10

20

30

40

50

【 0 0 9 8 】

又、配線長 L が長い場合、式 (1) に示したように、 RC 変動 $(RC) / (RC)$ を抑制するため、 F が小さい配線構造が望ましい。つまり配線容量として平行平板近似が成り立つようにする。逆に、 L が短い場合、配線容量の変動 C / C を重視すべきであり、フリンジ容量比 F の大きい配線構造が良い。

【 0 0 9 9 】

具体的には、 LSI での回路の遅延時間は、配線長 L が 1 mm 以上の長い場合、配線の抵抗 R と容量 C の積 RC で与えられる。一方、配線長 L が 1 mm 未満の短い場合、トランジスタのオン抵抗を $R_{t,r}$ として、 $R_{t,r}$ で与えられる (M. R. Anand, Design of optimized high performance interconnect schemes for ULSI devices, Ph.D. Desertation, Waseda Univ., p. 4, 1999.)。つまり、配線としては、配線長が 1 mm 以上の長い場合は RC 、 1 mm 未満の短い場合は容量 C の抑制が重要である。

10

【 0 1 0 0 】

配線長が 1 mm 未満の短い場合に容量 C の変動を抑制するには、図 4 で、 10% のプロセス変動に対し C の変動を 7% 以下に抑えるために配線幅 W と該配線直下の絶縁膜厚 H との W/H が $1/6$ としなければならない。又、配線長が 1 mm 以上の長い場合に RC の変動を抑制するためには、図 4 から、配線幅 W と該配線直下の絶縁膜厚 H との W/H が 1 以下または 6 以上としなければならない。

【 0 1 0 1 】

一方、多層配線では、下層の配線は短く、上層の配線は長い。そこで、下から 2 層目以下の配線は容量変動の抑制を主に考慮し、 3 層以上は RC 変動を考慮して、配線構造を決定すれば良い。

20

【 0 1 0 2 】

つまり、 2 層以下の配線は配線幅 W と該配線直下の絶縁膜厚 H との W/H を $1/6$ とし、容量変動を抑制する。一方、 3 層以上の配線では RC の変動を 3% 以下に抑制するため、配線幅 W と該配線直下の絶縁膜厚 H との W/H を 1 以下または 6 以上とする。

【 0 1 0 3 】

この結果、図 1 0 に示すように、配線間絶縁層厚を考慮すると、 2 層目の配線幅 W と該配線膜厚 T との比 W/H は、 3 層目の配線の W/T は、 3 層目の配線の W/T よりも大きくなる。

30

【 0 1 0 4 】

配線間のカップリング容量によるクロストークを抑制するには手段として、図 1 1 に示すように、電源線またはクロック信号線の配線 11 をシールド・プレートとして電源線またはクロック信号線以外の上の配線 12 と下の配線 13 との配線間クロストークを抑制する。

【 0 1 0 5 】

さらに、図 1 2 に示すように、電源線用またはクロック信号用の配線 11 、 14 の間にそれ以外の配線 15 を位置し、電源線とクロック信号用の配線 11 と 14 をシールド・プレートとして、その間の配線 15 での配線間クロストークを抑制を実現できる。

40

【 0 1 0 6 】

(第 2 の実施の形態 : Cu 配線構造)

次に、 Cu 配線の場合を考える。図 1 4 に示すように、 Cu 配線を用いる場合は拡散防止のために Cu 配線の底面と側面にバリアメタルを形成することが多い (M. T. Bohr, "Interconnect scaling-the real limiter to high performance ULSI," Tech. Dig. 1995 IEDM, p. 241.)。このため、抵抗率が Al のほぼ半分の Cu 配線を使っても、実効断面積が小さくなる。この影響は図 1 5 に示すように、配線幅 W が狭くなると顕著になる。この効果を取り入れると、配線抵抗 R の変動 R/R は、

【 数 9 】

$$\left| \frac{\Delta R}{R} \right| = \frac{\delta_P}{1 - 2 T_b / W + \delta_P}$$

と表される。ここで、 T_b はバリアメタルの厚みである。通常、 T_b は 10 ~ 20 nm 程度である。

【0107】

従って、Cu配線の場合、バリアメタルを考慮すると、配線抵抗変動 R/R を ξ_R 以内にするためには、 T_b/W は下記の式(8)を満たさなければならない。

【0108】

【数10】

$$\left| \frac{\Delta R}{R} \right| \leq \xi_R \Leftrightarrow \frac{T_b}{W} \leq 0.5 \left[1 - \delta_P \left(1 - \frac{1}{\xi_R} \right) \right] \quad (8)$$

また、配線RC変動 $(RC)/(RC)$ を ξ_{RC} 以内にするためには、プロセスばらつき量を δ_P として、 T_b/W およびフリンジ容量比は次式を満たさなければならない。

【0109】

【数11】

$$\frac{\delta_P}{1 - 2 T_b / W + \delta_P} \left(1 + \frac{\delta_P}{1 + F} \right) + \frac{\delta_P}{1 + F} \leq \xi_{RC} \quad (9)$$

以下、より詳しく説明する。ここでも、図14に示したような周期的な配線構造について考える。やはり、 S は配線間隔、 H は絶縁膜厚、 T は配線膜厚である。ピッチは一定とした。つまり、 $W + S = \text{一定}$ である。 $T/H = 0.6$ で固定とした。

【0110】

図15は、バリアメタルの配線抵抗 R への影響である。バリアメタルが無ければ、 R は W に逆比例する。しかし、バリアメタルが一定膜厚存在する場合(ここでは $T_b/H = 0.05$)、 W の微細化と共に、 $1/W$ より急激に増加する。言換えると、実効的断面積が急激に減少する。

【0111】

図16は、 W が +10% 増加した場合の配線抵抗の変動量 R/R である。図15で述べたように、 W の微細化と共に、 R が $1/W$ よりも急激に増加するため、 R/R も急増する。

【0112】

配線幅の変動 W のみを考慮し、 R が配線の断面積に逆比例すると、 R/R は以下のように表される。

【0113】

【数12】

$$\left| \frac{\Delta R}{R} \right| = \frac{\delta_P}{1 - 2 T_b / W + \delta_P}$$

ここで、 $\delta_P = W/W$ とした。従って、Cu配線の場合、バリアメタルを考慮すると、配線抵抗変動 R/R を ξ_R 以内にするためには、 T_b/W は式(8)を満たさなければならない。

【0114】

【数13】

10

20

30

40

$$\left| \frac{\Delta R}{R} \right| \leq \xi_R \leftarrow \frac{T_b}{W} \leq 0.5 \left[1 - \delta_P \left(1 - \frac{1}{\xi_R} \right) \right] \quad (8)$$

また、配線 RC 変動 $(RC) / (RC)$ を ξ_{RC} 以内にするためには、プロセスばらつき量 δ_P として、 T_b / W およびフリンジ容量比 F は次式を満たさなければならない。

【0115】

【数14】

$$\frac{\delta_P}{1 - 2T_b/W + \delta_P} \left(1 + \frac{\delta_P}{1 + F} \right) + \frac{\delta_P}{1 + F} \leq \xi_{RC} \quad (9) \quad 10$$

図13は、配線容量 C を2次元シミュレーションで算出して求めた RC の変動 $(RC) / (RC)$ である。配線幅のばらつき W / W が10%でのものである。 RC の変動を4%以下に抑制するには、Cu配線では幅 W と該配線直下の絶縁膜厚 H との比 W / H を $0.4 \sqrt{W / H}$ とする。

【0116】

配線長 L が長い場合、 RC の遅延が回路動作を律速する。具体的には、LSIでの回路の遅延時間は、配線長 L が1mm以上の長い場合、配線の抵抗 R と容量 C の積 RC で与えられる。(M. R. Anand, Design of optimized high performance interconnect schemes for ULSI devices, Ph.D. Desertation, Waseda Univ., p. 4, 1999.)。つまり、配線としては、配線長が1mm以上の長い場合は RC の抑制が重要であり、Cu配線では幅 W と該配線直下の絶縁膜厚 H との W / H が $0.4 \sqrt{W / H}$ とする。

20

【0117】

多層配線では、下層の配線は短く、上層の配線は長い。そこで、下から2層目以下の配線は容量変動の抑制を主に考慮し、3層以上は RC 変動を考慮して、配線構造を決定すれば良い。

【0118】

つまり、3層以上の配線では RC の変動を4%以下に抑制するため、配線幅 W と該配線直下の絶縁膜厚 H との比 W / H を $0.4 \sqrt{W / H}$ とする。

30

【0119】

(第3の実施の形態: Equivalent-Variationsの概念の導入)

今回、配線容量変動 C / C と配線遅延変動 $(RC) / (RC)$ を解析した結果、Equivalent-Variationsという新たな概念を見出した。さらにその概念の持つUniversalityという特性を発見した。このEquivalent-Variationsは、配線構造設計の技術的指針として用いることができる。この概念を用いることで、 C 及び C 、 RC 及び (RC) を同時に抑制可能な配線構造がより明らかになった。以下、これについて説明する。

【0120】

最初に、Equivalent-Variationsの概念について説明する。

【0121】

40

配線容量変動 C / C と配線遅延変動 $(RC) / (RC)$ とは、2次の微小量 $(C / C) \cdot (R / R)$ を無視すると、次のような関係式で表わされる。

【0122】

$$(RC) / (RC) = (C / C) + (R / R)$$

C / C と R / R の符号は常に逆である。ここで、 C / C を出来るだけ小さくし、同時に $(RC) / (RC)$ も出来るだけ小さくする条件、即ち、 $C / C = -(RC) / (RC)$ をEquivalent-Variationsと定義する。

【0123】

C / C と $(RC) / (RC)$ が常に逆符号であること、および上式の関係を用いてEquivalent-Variationsの定義式を書き直すと、以下の式(11)が得られる。

50

【 0 1 2 4 】

$$2 \times C / C = - R / R \quad (11)$$

“ C_{rc} ” (RC - suppression) を「 RC 変動 (RC) / (RC) を C 変動 C / C より小さく抑える条件」と定義し、“ c_{RC} ” (C - suppression) を「 C の変動 C / C を RC の変動 (RC) / (RC) より小さく抑える条件」と定義すると、C_{rc}の条件式は $2 \times C / C > - R / R$ 、一方、c_{RC}の条件式は $2 \times C / C < - R / R$ となる。

【 0 1 2 5 】

次に、配線幅 W と配線厚み T のプロセスばらつきを、 $w = W / W$ 、及び、 $t = T / T$ と置くと(例えば W が ± 10 % ばらつく時、 $w = 0.1$ である)、

【数 1 5】

$$\Delta R = \frac{1}{(T \pm \Delta T)(W \pm \Delta W)} - \frac{1}{T \cdot W}$$

であるから、

【数 1 6】

$$\begin{aligned} \Delta R / R &= (\Delta R / R)_{pp} - (\Delta R / R)_{mm} = \\ &= \frac{\delta_w + \delta_t + \delta_w \delta_t}{(1 + \delta_w)(1 + \delta_t)} - \frac{\delta_w + \delta_t - \delta_w \delta_t}{(1 - \delta_w)(1 - \delta_t)} = -2 \cdot (\delta_w + \delta_t) \end{aligned} \quad (12)$$

ここで、(R / R)_{pp} は、プロセスばらつき起因により、W と T が共にプラス方向にばらつく場合を意味し、同様に (R / R)_{mm} は、W と T が共にマイナス方向にばらつく場合を意味する。このとき、(R / R)_{pp} - (R / R)_{mm} は、抵抗 R の変動 R / R に対して最大ばらつき(ワーストケース)を与える。

【 0 1 2 6 】

式 (1 2) より、R / R は常に一定値であり、2 次微小量を見捨てるならば、 $-2 \cdot (w + t)$ となるのが分かる。

【 0 1 2 7 】

次に、関数 F_{EV} を、

【数 1 7】

$$F_{EV} = \left| \frac{\Delta C}{C} \right| - (\delta_w + \delta_t) \quad (13)$$

のように定義する。この関数 F_{EV} を用いれば、上記の内容を簡潔にまとめることができる。

【 0 1 2 8 】

即ち、F_{EV} > 0 のとき C_{rc}、F_{EV} < 0 のとき c_{RC} である。そして、F_{EV} = 0 が Equivalent-Variations の条件式である。

【 0 1 2 9 】

ここで次のような一連の重要な結論が得られる。式 (1 3) から、F_{EV} = 0 によって与えられる Equivalent-Variations のばらつきの割合は、 $w + t$ に等しい。つまり、プロセスのばらつきにより、W が ± w % ばらつき、T が t % ばらつく時、Equivalent-Variations のばらつきの割合は、(w + t) % に等しい。

【 0 1 3 0 】

さらに、Equivalent-Variations を与える条件式 F_{EV} = 0 は、w、t に対して Universality を持つことは、次のようにして証明される。

【 0 1 3 1 】

Equivalent-Variationsの条件式は、式(11)、及び、式(12)から、

【数18】

$$\Delta C / C = - \frac{\Delta R / R}{2} = \delta_v + \delta_r \quad (14)$$

ここで $x = W / H$ 、及び $y = T / H$ と置く。さらに、配線容量 C は W / H と T / H のみの関数であるから(もう一つの変数として S / H が含まれるが、ここではピッチ固定のため変数として考慮する必要が無い)、 $C = f(W / H, T / H) = f(x, y)$ である。

10

従って、

【数19】

$$\Delta C_{PP} = f(x + \delta_{vx}, y + \delta_{vy}) - f(x, y) = \frac{\partial f}{\partial x} \cdot \delta_{vx} + \frac{\partial f}{\partial y} \cdot \delta_{vy} \quad (15)$$

同様にして、

$$\Delta C_{mm} = f(x - \delta_{vx}, y - \delta_{vy}) - f(x, y) = - \frac{\partial f}{\partial x} \cdot \delta_{vx} + \frac{\partial f}{\partial y} \cdot \delta_{vy} \quad (16)$$

20

よって、式(14)～式(16)より、

【数20】

$$\delta_v + \delta_r = \frac{\Delta C}{C} = \frac{\Delta C_{PP} - \Delta C_{mm}}{C} = 2 \times \frac{\frac{\partial f}{\partial x} \cdot \delta_{vx} + \frac{\partial f}{\partial y} \cdot \delta_{vy}}{f}$$

ここで、プロセスばらつきの比を $L = \frac{w}{t}$ と置き、上式の両辺を t で割れば、

【数21】

$$\frac{L+1}{2} = \frac{L \cdot \frac{\partial f}{\partial x} \cdot x + \frac{\partial f}{\partial y} \cdot y}{f}$$

30

この式は、 L のみに依存する。つまり、Universalityが証明された。

【 0 1 3 2 】

Equivalent-Variationsは、配線構造の設計基準として利用できる。具体的には、 RC の変動を C の変動より小さく抑える必要が有る場合、例えば、長い配線の構造を決めるような場合には、 $F_{EV} < 0$ という条件の元で設計を行えばよい。逆に、 C の変動を RC の変動より小さく抑える必要が有る場合、例えば、短い配線の構造を決めるような場合には、 $F_{EV} > 0$ という条件の元で設計を行えばよい。又、 C の変動も RC の変動も均等に小さく抑えたい場合、例えば、平均的な長さの配線の構造を決めるような場合には、 $F_{EV} = 0$ という条件の下で設計を行えばよい。

40

【 0 1 3 3 】

(実施例：Equivalent-Variations概念に基づく配線構造設計)

次に、Equivalent-Variationsの概念に基づいて、配線構造の設計方法について説明する。ここでも、図2に示したような周期的な配線構造について考える。

やはり、 W は配線幅、 S は配線間隔、 H は下層の絶縁層の厚み、 T は配線層の厚みである。配線ピッチは一定とした。つまり、 $W + S = \text{一定}$ とした。また、第1次近似として、膜厚の寸法は、 H で規格化し、スケールしていない。2次元容量は、サイズではなく、

50

形状で決まるからである。

【 0 1 3 4 】

まず、配線材料としてはアルミニウム (Al) を用い、絶縁層材料としては酸化膜 (SiO₂) を用いた例について考える。

【 0 1 3 5 】

図 1 7 に、図 2 の配線構造に対して求めたEquivalent-Variationsを示した。

図 1 8 は、図 1 7 中のグラフを両対数表示のグラフに書き換えたものである。ここで各プロットは、Equivalent-Variationsを与える条件式 $F_{EV} = 0$ が満たされている W/H 及び T/H のペアを示している。

【 0 1 3 6 】

従来、どのような配線構造が配線容量変動 C/C を抑制するのか (この条件は c_{RC} と表記される)、また、どのような配線構造が配線遅延変動 $(RC)/(RC)$ を抑制するのか (この条件は C_{rc} と表記される) を見極める具体的な技術的指導がなかったが、図 1 7、図 1 8 に示されるように、Equivalent-Variationsの概念を用いれば、この条件を境界にして、 c_{RC} 、 C_{rc} の領域に分離されるため、より変動を抑えたい所望の条件に基づき、設計条件を選択することができる。さらに図 1 7、図 1 8 から明らかになったように、Equivalent-Variationsに対して前述のUniversalityが成り立っている。

【 0 1 3 7 】

シミュレーションによって解析的に得られる図 1 7 もしくは図 1 8 を元にして、配線容量変動 C/C 、及び、配線遅延変動 $(RC)/(RC)$ を抑制するための配線構造を決定することが可能である。

【 0 1 3 8 】

また、TEG (Test Element Group) の実測から C/C を求め、式 (1 3) で定義される関数 $F_{EV} = 0$ の条件を検索することで、任意の配線構造に対する、Equivalent-Variationsを求めることも可能である。ここで、TEGとは、チップ上に異った寸法の多くの配線を形成したものをいう。

【 0 1 3 9 】

よって、このEquivalent-Variationsを求めるアルゴリズムを内蔵するCADツールを用いれば、様々な配線形状からEquivalent-Variationsの条件を抽出し、効率的に最適な配線構造を予測することができる。プロセスばらつきに対し配線特性ばらつきが少ない配線構造設計を効率的に行うことができる。

【 0 1 4 0 】

(第 4 の実施の形態)

(実施例 1 : 長い配線の配線構造 1)

LSI回路の遅延特性は、配線長が 1 mm 以上となる長い配線の場合は主に配線遅延 RC に依存する。よって、配線長が長い場合は、配線遅延 RC と配線遅延変動 $(RC)/(RC)$ によって配線性能が決まる。従って、この場合は、 RC 及び $(RC)/(RC)$ を抑制する配線構造とする必要がある。

【 0 1 4 1 】

まず、配線材料として Al を用い、絶縁層として SiO₂ を用いた場合について RC 及び $(RC)/(RC)$ を抑制しうる配線構造について求める。

【 0 1 4 2 】

以下、プロセスばらつきを、配線幅の変動 W を $\pm 10\%$ 、配線厚みの変動 T を $\pm 10\%$ として説明する。

【 0 1 4 3 】

図 1 9 は、 W/H 値と T/H 値に対する配線遅延 RC の値を示す。x 軸に W/H 、y 軸に T/H 、z 軸に RC の値をとっている。なお、 W は配線幅、 H は下層の絶縁層の厚み、 T は配線層の厚みである。 RC の値は $\rho \cdot x \cdot \epsilon \cdot L^2$ で規格化した。 ρ は Al 配線の抵抗率、 ϵ は真空の誘電率、 ϵ_x は SiO₂ の誘電率、 L は配線長を意味する。

【 0 1 4 4 】

10

20

30

40

50

図19の3次元分布を2次元平面に射影したものが図20である。図20の等高線から明らかなように、配線遅延RCを低減させるためには、W/HとT/Hを共に大きくする配線構造とすれば良い。

【0145】

図21は、配線遅延変動 $(RC) / (RC)$ を示す。x軸はW/H, y軸はT/H、z軸は $(RC) / RC$ である。図21の3次元分布を2次元平面に射影したものが図22である。図中の"EV"は、Equivalent-Variationsのラインを示している。図22の等高線分布から明らかなように、配線遅延変動 $(RC) / (RC)$ を低減させるためには、W/Hを小さくする配線構造にすれば良い。

【0146】

この結果を踏まえて、配線遅延RCと配線遅延変動 $(RC) / (RC)$ を同時に抑制するための配線構造を求める目的で、図20と図22を重ねて表示したものが図23である。

【0147】

ところで、超高速LSIのRC遅延スペックは一般に1mm当たり約1nsecといわれる。この値を単一配線でフリンジ容量を無視した近似計算により、グラフ中の規格化されたRC値に直すと、 $10^{11.5}$ となる。そこで、RC遅延についてはこの値以下であることを望ましい条件の目安にできる。

【0148】

また、RC遅延ばらつき $(RC) / (RC)$ については15%以下をひとつの目安とすれば、この両者の条件を充たす配線構造は、図23中の斜線部分となる。即ち、W/Hが約4前後、T/Hが約9~10という条件で配線構造を形成すれば、配線遅延RCが小さく、しかもプロセスばらつきに対し配線遅延変動 $(RC) / (RC)$ の少ない配線構造を得ることができる。

【0149】

(実施例2：長い配線の配線構造2)

図23中の斜線部分の条件に相当する配線構造を図26(a)に示した。こうして求めた配線構造は、RCと $(RC) / (RC)$ とを同時に抑制することが可能なものである。しかし、この条件下では配線層の幅Wと厚みTの比は4:9~10であり、アスペクト比(T/W)は大きなものになってしまう。このようにアスペクト比の大きい配線形状は、溝加工やエッチング加工が困難であり、プロセス上好ましくない。

【0150】

そこで、従来の配線材料と絶縁材料を変えることによって、RCと $(RC) / (RC)$ を同時に抑制するとともに、プロセス上好ましいアスペクト比が得られる条件を求める検討を行った。

【0151】

まず、配線材料をAlからより比抵抗の小さいCuに代える検討を行った。比抵抗が小さくなれば、同じ抵抗値を得るのに膜厚Tを薄くできる。図24は、Al配線をCu配線に置き換えた結果である。Cu配線の比抵抗 ρ_{Cu} は $1.7 \mu \cdot cm$ 、Al配線の比抵抗 ρ_{Al} は $3.0 \mu \cdot cm$ であるから、 ρ_{Cu} / ρ_{Al} を約0.5として計算した。

【0152】

図24から明らかなように、配線材料をCuに変えると、グラフ上W/Tに対するRCの等高線が大きく下がる。その結果、RCを $10^{11.5}$ 以下に抑制し、且つ、 $(RC) / (RC)$ を15%以下に抑制しうる配線構造の領域(斜線部分)は図23に比べて広がる。つまり、W/HとT/Hの選択の幅、プロセス・ウィンドウが広がる。

【0153】

RCを $10^{11.5}$ 以下とし、 $(RC) / (RC)$ を15%以下とする配線構造は、W/Hが約2~4、T/Hが約5~10という条件であり、アスペクト比(T/W)が改善できることがわかる。

【0154】

10

20

30

40

50

このように、配線長の長い配線構造において、配線材料を Al からより比抵抗の低い Cu に変えると、より良好なアスペクト比の配線形状にできる。

【0155】

(実施例3：長い配線の配線構造3)

上述するように、配線材料を Al から Cu に変えることで、プロセスウィンドウを広げ、配線形状のアスペクト比の改善を図ることができるが、さらに理想的なアスペクト比である 1 : 1 に近づけるため、絶縁層の一部を従来の SiO₂ から SiN に置き換える検討を行った。即ち、配線間のカップリング容量 C₂₁ を決める横方向(幅方向)の配線間絶縁層を高誘電体材料である SiN に置き換える検討を行った。

【0156】

配線間のカップリング容量 C₂₁ は、配線の膜厚 T と配線間絶縁層の誘電率に依存するため、横方向の配線間絶縁層の誘電率を上げることにより、配線間のカップリング容量 C₂₁ を大きくできる。このため、全体の配線容量 C も上がり、配線遅延変動 (RC) / (RC) をより緩和できる。また、より薄い配線層膜厚 T で高いカップリング容量 C₂₁ を得ることができるので、配線幅 W に対する配線層膜厚 T の値を相対的に下げることも可能となる。

【0157】

図25は、Cu配線を用いるとともに、横方向の配線間絶縁層を SiO₂ から SiN に置き換えた場合の結果である。SiO₂ の誘電率 (SiO₂) は 3.9、SiN の誘電率 (SiN) は 6.7 であるから、(SiN) / (SiO₂) を約 2 として計算した。

【0158】

同図から明らかのように、(RC) / (RC) の範囲が広がることにより、プロセス・ウィンドウ(斜線部分)は、図24の場合よりもさらに増加している。これにより、W / H、T / H をそれぞれ 5 とする配線構造を選ぶことで、W : T = 1 : 1 であるような良好なアスペクト比の配線形状も得られることが分かる。

【0159】

図26(b)に、上述する配線構造を示す。配線層 10 として Cu を使い、横方向の配線間絶縁層として、高誘電絶縁膜 40 である SiN を使い、それ以外の絶縁層 20a、20b として SiO₂ を使用する。

【0160】

これまでの配線設計では、縦(厚み)方向、横(幅)方向いずれの配線間絶縁層も同じ材料を用いることが前提で検討されてきたが、上述するように 1mm 以上の長い配線構造において縦方向の配線間絶縁層に対し、横方向の配線間絶縁層をより高誘電率な材料に変えることで配線遅延変動 (RC) / (RC) 抑制することができる。また Cu 配線を用いることで、配線遅延 RC、配線遅延変動 (RC) / (RC) をともに抑制し、良好なアスペクト比の配線形状も提供できる。

【0161】

上述する例では、縦方向の配線間絶縁層として従来の SiO₂ 膜を使い、横方向の配線間絶縁層として SiN 膜を用いたが、必ずしも、選択する絶縁材料はこれに限られない。横方向の配線間絶縁層の平均的な誘電率が、縦方向の配線間の配線間絶縁層の平均的な誘電率に対し相対的に高ければ、同様な効果が期待できる。

【0162】

よって、縦方向の配線間絶縁層と横方向の配線間絶縁層の選択には種々の組み合わせが考えられる。図35は、現在配線間絶縁層として用いることができる絶縁層材料とその比抵抗の一例を挙げた表である。

【0163】

例えば、図26(b)において、縦方向の配線間絶縁層 20 として SiO₂ より低誘電率を有する FSG (Flourine-doped Spin-on-glass) を用いれば、横方向の配線間絶縁層(高誘電絶縁膜) 40 として SiO₂ 膜を用いることができる。

【0164】

10

20

30

40

50

即ち、必ずしもSiNのような高誘電率材料を用いなくても上述と同様な効果を得ることができる。また、配線遅延RCの低減を図る目的を考慮すれば、むしろ全体的に低い誘電率材料を用いることが望まれる。よって、例えば、縦方向の配線間絶縁層20として誘電率が3.2のHSG (Hydrogen Silses Quioxane)を用い、横方向の配線間絶縁層(高誘電絶縁膜)40として誘電率が3.6のFSG膜を用いれば、配線遅延RCの値をより低く抑制することもできる。

【0165】

さらに、誘電率が3以下のポリイミド系樹脂や、現在開発中の誘電率2.5以下あるいは誘電率1.0の将来の新材料等の低誘電材料を配線間絶縁層20として用いれば、さらにトータルな容量Cの低減を図り、配線遅延RCの値をより低減することが可能となる。

10

【0166】

また、図26(c)に、横方向の配線間絶縁層の誘電率を、縦方向の配線間絶縁層の誘電率より相対的に高くした別の構造例を示す。同図に示すように、高誘電絶縁膜40bを横方向の層間絶縁層の一部に設けることによっても、平均的な誘電率を上げ、カップリング容量 C_{21} を増やし、図26(b)の構造と同様な効果を得ることができる。例えば、絶縁層20としてSiO₂を用い、Cu材料を用いた配線層10の側壁に、SiNからなる高誘電絶縁膜40bを設ける。この配線構造では、高誘電絶縁膜40bの厚みを調整することでカップリング容量 C_{21} を調整することも可能である。このように、各配線間絶縁層は単層構造に限らず、複数の層を積層した構造であってもよい。

【0167】

20

図26(c)に示すような配線層10の側壁の高誘電絶縁膜40bは、一般的なプロセスを用いて形成できる。例えばダマシン法を用いて配線層を形成する場合には、配線間絶縁層に配線溝を形成した後、まず配線溝の内壁にスパッタ法もしくはコーティング法を用いて高誘電材料40bを薄くコーティングし、その後RIE (Reactive Ion Etching)法で異方性エッチングを行い溝側面の高誘電材料40bを残したまま溝底面についた膜のみを選択的にエッチング除去する。

この後、通常の方法で配線の埋め込みを行えばよい。

【0168】

図26(c)に示す配線構造の場合も絶縁層20と高誘電絶縁膜40bとして用いる材料は図35に示した表中の絶縁層材料等の中から、あるいはそれ以外から選ぶことができる。例えば、絶縁層20としてHSGを選択し、高誘電絶縁膜40bとしてFSGを選択するという組み合わせを選択すればトータルな配線容量Cを減らすことができる。

30

【0169】

(実施例4：短い配線の配線構造1)

LSI回路の遅延時間は、配線長が1mm未満の短い配線が用いられる場合には、トランジスタのオン抵抗 R_{tr} と配線容量Cの積、 $R_{tr}C$ で与えられる。

よって、回路動作に与える配線性能としては配線容量Cおよび配線容量変動 C/C が重要となる。即ち、短い配線の場合にはC及び C/C を抑制する配線構造が望まれる。

【0170】

まず、配線材料としてAlを用い、絶縁層としてSiO₂を用いた場合の望ましい配線構造を求める。以下、プロセスばらつきについて W を $\pm 10\%$ 、 T を $\pm 10\%$ として説明する。

40

【0171】

図27に、配線容量Cを示した。x軸は W/H 、y軸は T/H 、z軸はCである。なお、Cの値は、 $C_0 \cdot L$ で規格化している。図27の3次元分布を2次元平面に射影したものが図28である。図28の等高線分布から明らかのように、配線容量Cを低減させるためには、 W/H と T/H を共に小さくする配線構造にすれば良い。

【0172】

一方、図29に、配線容量変動 C/C を示した。x軸は W/H 、y軸は T/H 、z軸は C/C である。この図29の3次元分布を2次元平面に射影したものが図30である

50

。図中の“EV”は、Equivalent-Variationsのラインを示している。図30の等高線から明らかなように、配線容量変動 C/C を低減させるためには、 T/H を小さくする配線構造にすれば良い。

【0173】

この結果を踏まえて、配線容量 C と配線容量変動 C/C を同時に抑制するための配線構造を求める目的で、図28と図30を重ねて表示したものが図31である。

【0174】

実用上好ましい配線容量 C の目安を $C/(\quad \cdot L)$ の規格値で7以下とし、 C/C を15%以下とすると、図31中の斜線部分がこの条件を満たす構造として求められる。即ち、 W/H が約1.5~4、 T/H が約0.8未満の条件で配線構造を形成すれば、配線容量 C が小さく、しかもプロセスのばらつきに対し配線容量変動 C/C の少ない配線構造を得ることができる。こうして求めた配線構造の一例を図33(a)に示す。

10

【0175】

(実施例5：短い配線の配線構造2)

上述の方法で求めた図33(a)に示す配線構造は、確かに C と C/C を同時に抑制することが可能である。しかし、絶縁膜厚 H を一定にすると、 $W:T = 4:1 \sim 8:1$ であり、配線幅に較べ配線厚みの薄い、アスペクト比 (T/W) の小さい配線となる。

【0176】

このように小さいアスペクト比の配線を用いると、配線幅を広くせざるを得ないため、基板上の占有面積が広くなり、LSIの微細化の観点から好ましいものではない。

20

【0177】

特に、短い配線層が形成される層では、微細パターンが求められる場合が多いので、この小さすぎるアスペクト比は問題となる。そこで配線幅 W を狭めることができる構造が望まれる。例えば、配線抵抗 R を増加させないで配線幅 W を減少させるため例えば配線材料を Al からより比抵抗の小さい Cu にかえる。

【0178】

一方、配線層厚み T が一定のままで配線幅 W が減少すると、カップリング容量 C_{21} が減るためトータルな配線容量 C が減り、配線容量変動 C/C が大きくなる。従って、 C/C を低減させるためには、配線幅 W を広げずに配線の対接地容量 C_{20} を増加させることが望ましい。

30

【0179】

そこで、 Al 配線を Cu 配線に置き換え、且つ、配線の下層絶縁層(縦方向の配線間絶縁層)を SiO_2 からより高い誘電率を持つ SiN に置き換える。図31にこの結果を示す。プロセス・ウィンドウ(斜線部分)は図31よりも狭くなってしまふ。しかし、 SiN により対接地容量 C_{20} が増加し、プロセス・ウィンドウの位置が、より W の小さい方へシフトする。その結果、 W/H が約1かつ T/H が約0.5の配線構造を選ぶことで、 $W:T = 2:1$ にまでアスペクト比を改善できる。

【0180】

図33(b)は、アスペクト比を改善した上述の配線構造を示す断面図である。同図に示すように、ここでは配線層11として Cu を用い、下層の縦方向配線間絶縁層として、高誘電絶縁膜50である SiN を用い、それ以外の配線間絶縁層21として SiO_2 を使用している。なお、下地配線層31は、より下層の配線層もしくは半導体基板そのものを指す。

40

【0181】

これまでの配線設計では、縦方向、横方向いずれの配線間絶縁層も同じ材料を用いることが前提で検討されてきたが、上述するように1mm未満の短い配線構造において横方向の配線間絶縁層に対し、縦方向の配線間絶縁層、特に配線下層の絶縁層を相対的に高誘電率を有する材料に置き換え、配線層をより比抵抗の小さい Cu に変えることで、配線容量 C とプロセスばらつきに対する配線容量変動 C/C を同時に抑制するとともに、微細化プロセスに適したアスペクト比の配線形状を持つ配線構造が提供できる。

50

【 0 1 8 2 】

上述する例では、縦方向の配線間絶縁層として従来の SiO_2 膜を用い、横方向の配線間絶縁層として SiN 膜を用いているが、必ずしも選択する絶縁材料の組み合わせはこれに限られない。縦方向の配線間絶縁層の平均的な誘電率が、横方向の配線間絶縁層の平均的な誘電率より相対的に高ければ、同様な効果が期待できる。

【 0 1 8 3 】

図33(c)に、縦方向の配線間絶縁層の誘電率を、横方向の配線間絶縁層の誘電率より相対的に高くした別の配線構造例を示す。同図に示すように、 Cu 材料を用いた配線層11の底面に SiN 等の高誘電絶縁膜50bを設け、他の絶縁層21は従来と同様 SiO_2 膜を用いている。

10

【 0 1 8 4 】

このように、高誘電絶縁膜50bを縦方向の配線間絶縁層の一部に設けることによって、縦方向の配線間絶縁層の実質的な誘電率を上げ、対接地容量 C_{20} を増やし、図33(b)の構造と同様な効果を得ることができる。

【 0 1 8 5 】

図33(c)に示す配線構造の場合は、高誘電絶縁膜50bの厚みを調整することでカップリング容量 C_{21} の調整も可能である。

【 0 1 8 6 】

配線層11底面に高誘電絶縁膜50bを設けるには、例えば配線層の下にあらかじめ層間絶縁層の中間層としてパターンニングした高誘電絶縁膜50bの層を形成し、層間絶縁層に配線溝を形成する際にこの高誘電絶縁膜50bが底面に露出するように溝を形成し、この後は通常の配線の埋め込みを行えばよい。

20

【 0 1 8 7 】

なお、この場合、高誘電絶縁膜50bは必ずしも配線層11の底面に接している必要はなく縦方向の配線間絶縁層の一部に層形成されていればよい。また、必ずしも配線パターンと同じ平面パターンにする必要はない。

【 0 1 8 8 】

図33(d)に、縦方向の配線間絶縁層の誘電率を、横方向の配線間絶縁層の誘電率より相対的に高くしたもう一つ別の配線構造例を示す。

【 0 1 8 9 】

同図に示すように、縦方向の層間絶縁膜21としては従来通り SiO_2 膜を用い、横方向の配線間絶縁層として、低誘電絶縁膜60を用いることで相対的に縦方向の配線間絶縁層の誘電率を上げる構造である。例えば、低誘電絶縁膜60として FSG (Flourine-doped Spin-on-glass)を用いることができる。

30

【 0 1 9 0 】

このように、 SiN のような高誘電材料を用いなくても相対的な誘電率が横方向の配線間絶縁層より縦方向の配線間絶縁層が高ければ、上述と同様な効果を得ることができる。配線容量 C の低減を図る目的を考慮すれば、むしろ全体的に低い誘電率材料を用いることが望まれる。

【 0 1 9 1 】

この場合も図35に示した表中の絶縁層材料等の中から各絶縁層材料を選ぶことができる。例えば、横方向の配線間絶縁層として誘電率が3.2の HSG (Hydrogen Silses Quioxane)を用い、縦方向の配線間絶縁層として誘電率が3.6の FSG を用いれば、上述の効果に加え、トータルな配線容量 C の値をより低く抑えることができる。

40

【 0 1 9 2 】

誘電率が3以下のポリイミド系樹脂や、現在開発中の誘電率2.5以下あるいは誘電率1.0の将来の新材料等の低誘電率材料を用いれば、さらにトータルな容量 C の低減を図り、回路遅延時間を短くすることも可能となる。

【 0 1 9 3 】

以上のように、配線材料として Cu を用い、横方向の配線間絶縁層に対し、縦方向の配

50

線間絶縁層を相対的に高誘電率にすることにより、配線容量 C と配線容量変動 C/C を同時に抑制するとともに、微細プロセスに適した良好なアスペクト比の配線を持つ配線構造を提供できる。回路遅延の主因子となる配線容量 C と配線容量変動 C/C を同時に抑制できるので、プロセスばらつきに対し安定した良好な回路遅延特性を提供できる。

【0194】

(実施例6：多層配線構造)

以上、実施例1～実施例5において長い配線構造、短い配線構造それぞれについて説明したが、実際のデバイスは、長い配線と短い配線の両方を有する多層配線構造を持つ。また、通常の高層配線構造では、トランジスタやメモリ等は半導体基板面に直接形成されることが多いため、下層には短い配線が形成され、上層に行くほど配線長が長くなる傾向がある。

10

【0195】

図34(a)は、上述した実施例を多層配線構造に応用した例を示す配線構造の断面図である。ここには上層下層の配線10、11ともCuを配線材料に用いた場合を示している。

【0196】

配線長が1mm未満の下層では、例えば、下地配線層(基板)31と配線層11の間の縦方向の配線間絶縁層21aとして誘電率が4.1のUSGを用い、横方向の層間絶縁層60としては誘電率が3.2のHSQを用いることで、相対的に縦方向の配線間絶縁層の誘電率を高くしている。

20

【0197】

一方、配線長が1mm以上の長い配線となる上層では、下地配線層30と配線層10の間の縦方向の配線間絶縁層20aとして誘電率が3.6のFSG膜を用い、横方向の配線間絶縁層40として誘電率が4.1のUSG膜を用いることで、相対的に横方向の配線間絶縁層の誘電率を縦方向の配線間絶縁層の誘電率より高くしている。勿論、各配線間絶縁層の材料選択は、上述する組み合わせに限られない。

【0198】

上述する多層配線構造とすることで、上層、下層それぞれの配線層において、回路遅延を抑え、プロセスばらつきに対する回路遅延ばらつきを抑制できる配線構造とすることができる。また、それぞれの配線のアスペクト比も微細化に適した範囲に抑えられるので、デバイスの微細化要求に応え、プロセスばらつきの発生自体も抑制できる。

30

【0199】

図34(b)は、上述した実施例を多層配線構造に応用したもう一つの例を示す配線構造の断面図である。例えば、上層下層の配線10、11ともCuを配線材料に用い、配線長が1mm未満の下層配線層では、配線層11の下層に、例えばSiO₂より高誘電率な例えばSiN等の絶縁膜50bを備えるとともに、配線長が1mm以上の上層配線層では、配線層10の側壁にSiO₂より高い誘電率を持つSiN等の絶縁膜40bを備え、他の絶縁層20、21はSiO₂を用いる。この場合も図34(a)と同様な効果を得ることができる。

【0200】

なお、各配線間絶縁層の各材料の選択は、上述する組み合わせに限定されるものではない。図35に示す表の中から、あるいはこれ以外の絶縁層材料から広く選択することが可能である。

40

【0201】

また、実際のデバイスにおいてプロセスのばらつきが、配線性能に大きな影響を与えるのは、より微細なパターンの形成が必要となる下層配線であるので、下層配線のみを上述する本実施の形態の条件を充たす構造としてもよい。例えば、下層の配線のみCuを用い、上層の配線は従来通りAlを用いることも可能である。

【0202】

なお、多層配線構造では、上下の配線間でのクロストークの問題も発生しうる。この場

50

合には、クロストークを発生しうる配線同士を上下で隣接配置しないように配線構造を設計することにより、未然にクロストークの発生を回避できる。

【0203】

なお、上述したA1配線には、A1を主成分とする種々の化合物配線が含まれ、Cu配線にはCuを主成分とする種々の配線、または配線周囲にバリアメタルを有する配線を含む。また、配線材料は、この2種の材料以外に種々の導電材料を用いることが可能である。

【0204】

以上、実施の形態に基づいて本発明の内容を説明したが、本発明は、上述の実施の形態の記載に限定されるものではない。種々の改変が可能であることは当業者にあきらかである。また、上述した配線構造は、LSIの配線構造としてのみならず、微細化プロセスに伴う回路遅延やそのばらつきの問題が発生しうるデバイスの配線構造に広く応用できることは明らかである。

【0205】

【発明の効果】

本発明の実施の形態によれば、プロセスばらつきに対して、配線容量変動 C/C の許容範囲 C_c 以内に抑制するLSIの配線を実現できる。

【0237】

【図面の簡単な説明】

【図1】 10%のプロセスばらつき量 p がある場合の C の変動 C/C と RC の変動量 $(RC)/(RC)$ をフリンジ容量比 F の関数として表した図である。

【図2】 周期的配線構造のモデルを示す断面図である。

【図3】 配線幅 W を +10% / -10% 変化させた場合の W/H に対する容量 C の変化を示す図である。実線がシミュレーション結果、波線は平行平板容量の結果を示す。

【図4】 配線幅 W を +10% / -10% 変化させた場合の W/H に対する相対変化量 C/C を示す図である。実線がシミュレーション結果、波線は平行平板容量の結果を示す。

【図5】 配線幅 W を +10% / -10% 変化させた場合の W/H に対する配線遅延 RC の変動 $(RC)/(RC)$ を示す図である。実線はシミュレーション結果、波線は平行平板容量の結果を示す。

【図6】 W/H に対する配線遅延 RC の変動 $(RC)/(RC)$ を示す図である。

【図7】 図2に示す周期的配線構造での W/H に対するフリンジ容量比 $F (= C_F / C_p)$ の変化を示す図である。

【図8】 単一配線構造モデルを示す断面図である。

【図9】 図8に示す単一配線構造での W/H に対するフリンジ容量比 $F (= C_F / C_p)$ の変化を示す図である。

【図10】 2層以下の短い配線を有する下層配線層で容量変動 C/C を抑え、3層以上の長い配線を有する上層配線層で RC 遅延変動 $(RC)/(RC)$ を抑えた配線構造の断面図である。

【図11】 クロストークを抑えるため、電源線を最上層には置かない構造を示す配線構造の断面図である。

【図12】 クロストークを抑えるため、クリティカルな配線層を電源線とクロック配線で挟みシールドした配線構造の断面図である。

【図13】 Cu配線の幅 W を +10% 変化させた場合の、 W/H に対する配線遅延の変動量 $(RC)/(RC)$ の変化を示す図である。

【図14】 バリアメタルを側面と底面に備えたCu配線の周期的配線構造モデルを示す断面図である。

【図15】 Cu配線の抵抗 R のバリアメタル有無の違いを示す図である。

【図16】 配線幅 W を +10% 変化させた場合の抵抗変動 R/R を示す図である。

【図17】 Equivalent VariationsのUniversalityを示す図である。

10

20

30

40

50

【図 18】 両対数表示におけるEquivalent Variationsを示す図である。

【図 19】 W/H と T/H に対する配線遅延 RC 値を三次元的に示す図である。

【図 20】 W/H と T/H に対する配線遅延 RC 値を二次元分布で示す図である。

【図 21】 W/H と T/H に対する配線遅延変動 $(RC)/(RC)$ 値を三次元的に示す図である。

【図 22】 W/H と T/H に対する配線遅延変動 $(RC)/(RC)$ 値を二次元的に示す図である。

【図 23】 W/H と T/H に対する配線遅延 RC と配線遅延変動 RC/RC を示す図である。

【図 24】 Cu 配線を用いた場合における、 W/H と T/H に対する配線遅延 RC と配線遅延変動 RC/RC を示す図である。 10

【図 25】 Cu 配線及び幅方向の層間絶縁膜として SiN を用いた場合における、 W/H と T/H に対する配線遅延 RC と配線遅延変動 RC/RC を示す図である。

【図 26】 長い配線の配線構造例を示す断面図である。

【図 27】 W/H と T/H に対する配線容量 C 値を三次元的に示す図である。

【図 28】 W/H と T/H に対する配線容量 C 値を二次元分布で示す図である。

【図 29】 W/H と T/H に対する配線容量変動 C/C 値を三次元的に示す図である。

【図 30】 W/H と T/H に対する配線容量変動 C/C 値を二次元分布で示す図である。 20

【図 31】 W/H と T/H に対する配線容量 C と配線容量変動 C/C を示す図である。

【図 32】 Cu 配線及び配線と下地間の絶縁膜として SiN を用いた場合における、配線容量 C と配線容量変動 C/C を示す図である。

【図 33】 短い配線の配線構造例を示す断面図である。

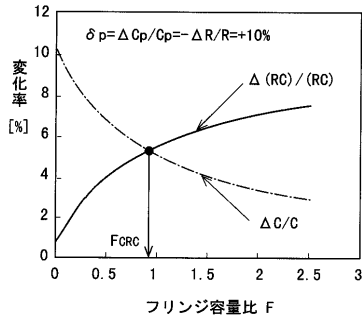
【図 34】 多層配線の配線構造例を示す断面図である。

【図 35】 絶縁層の材料として用いられる誘電体材料を示した図表である。

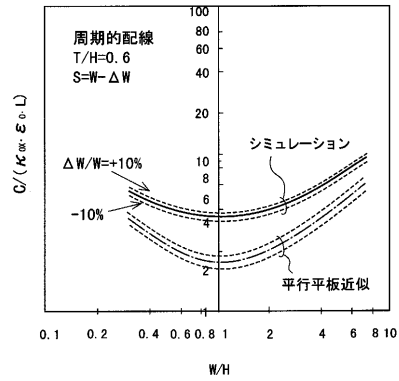
【符号の説明】

- 1、4 配線はクロック信号線
- 2 電源線またはクロック信号線上の配線
- 10、11 配線
- 20 絶縁層
- 30、31 下地配線層
- 40、50 高誘電絶縁膜
- 60 低誘電絶縁膜

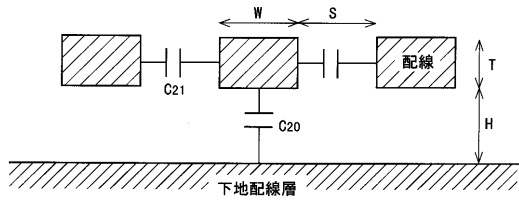
【図1】



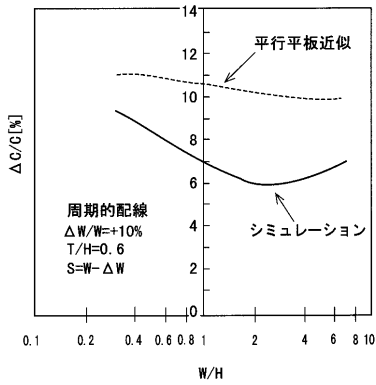
【図3】



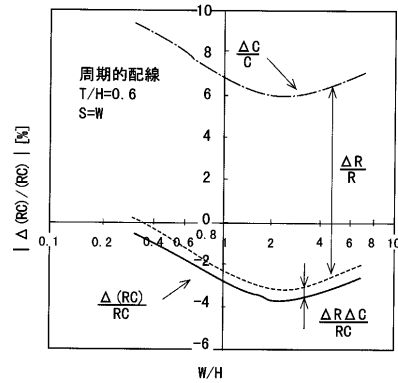
【図2】



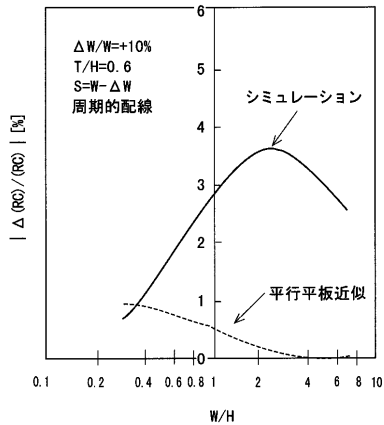
【図4】



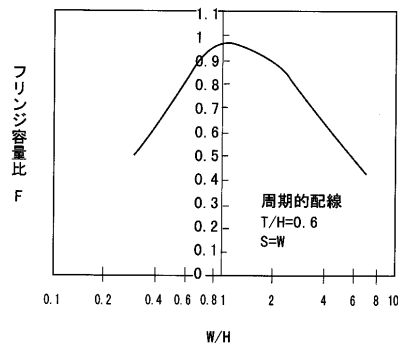
【図6】



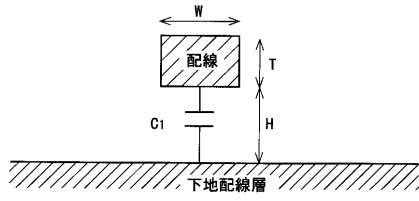
【図5】



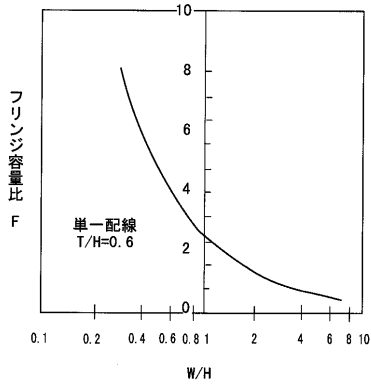
【図7】



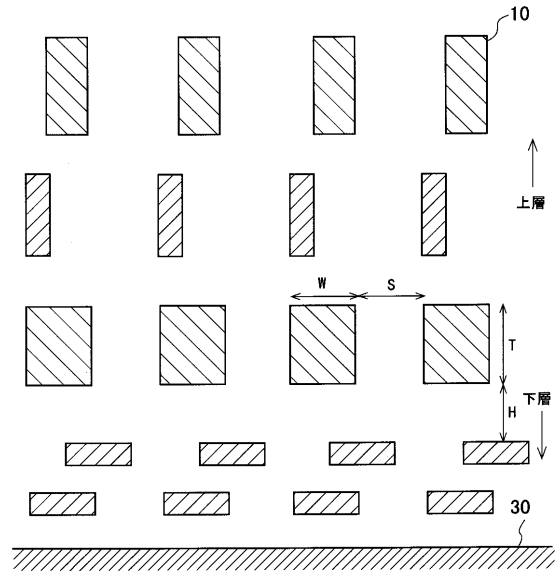
【図 8】



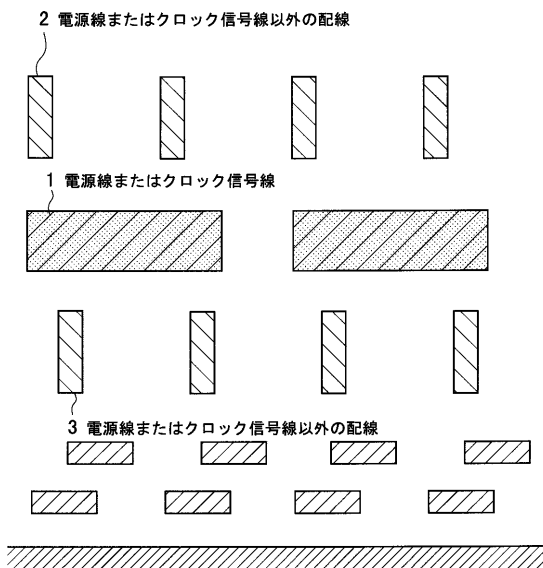
【図 9】



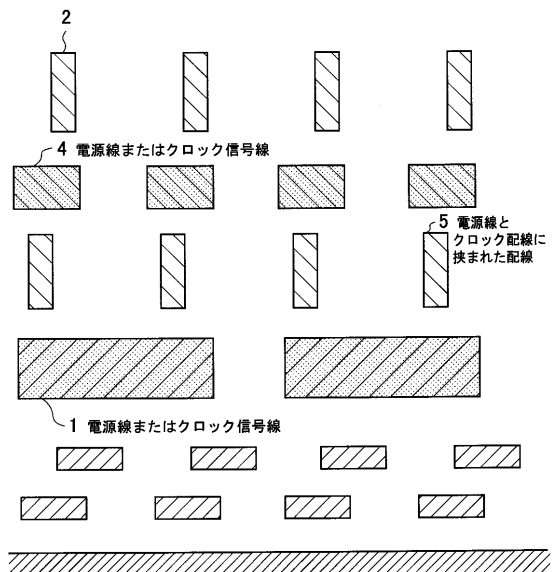
【図 10】



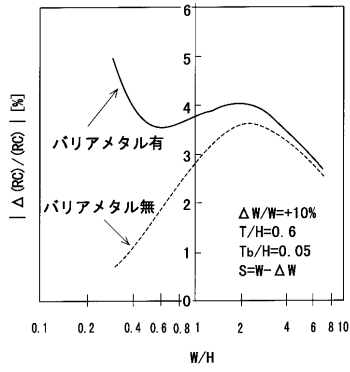
【図 11】



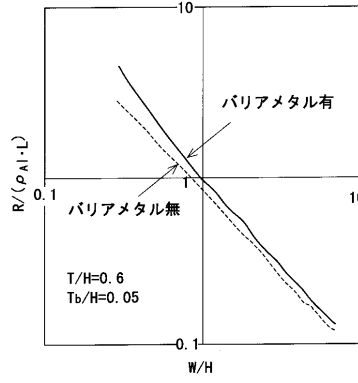
【図 12】



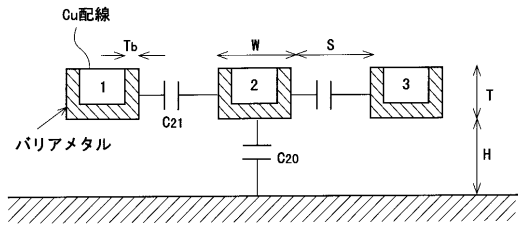
【図 13】



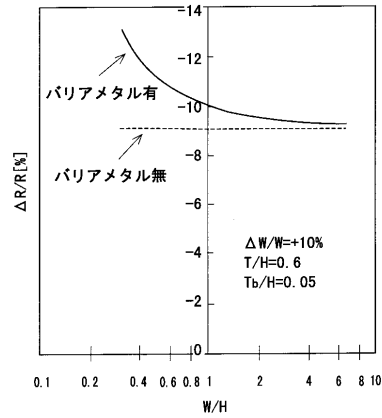
【図 15】



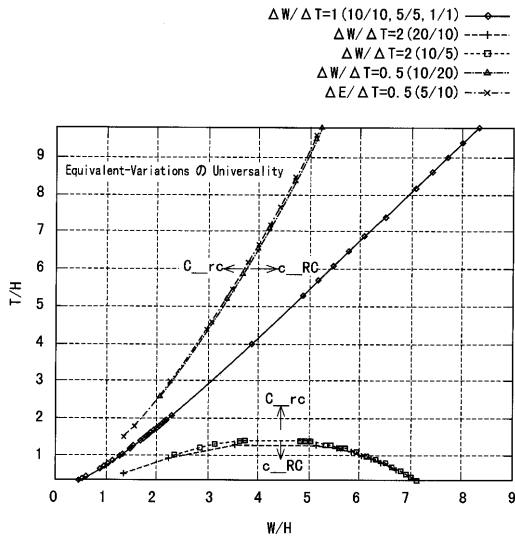
【図 14】



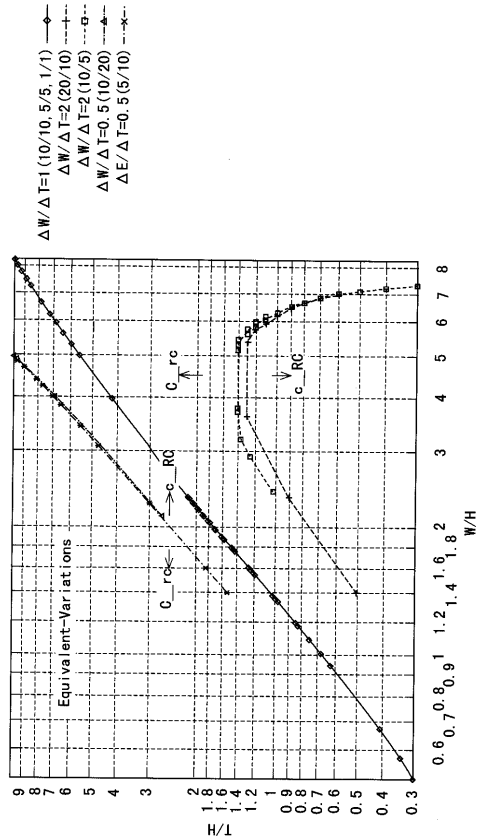
【図 16】



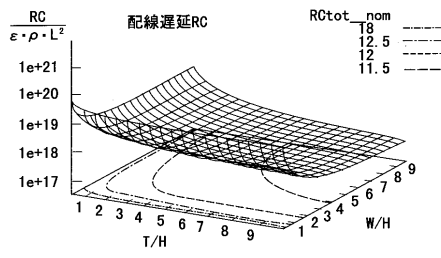
【図 17】



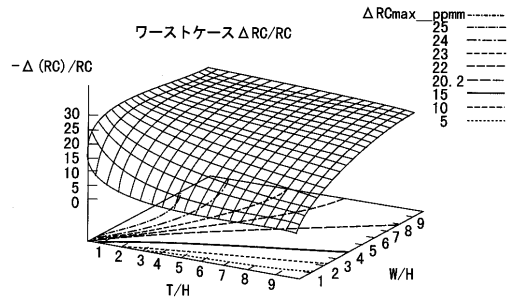
【図 18】



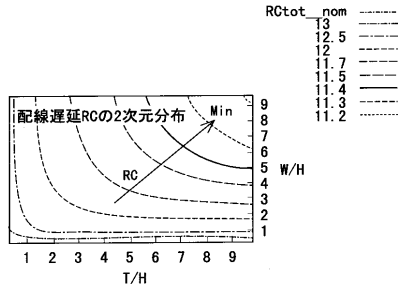
【図19】



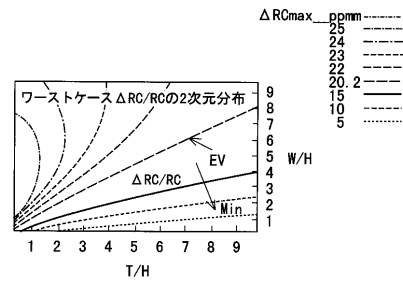
【図21】



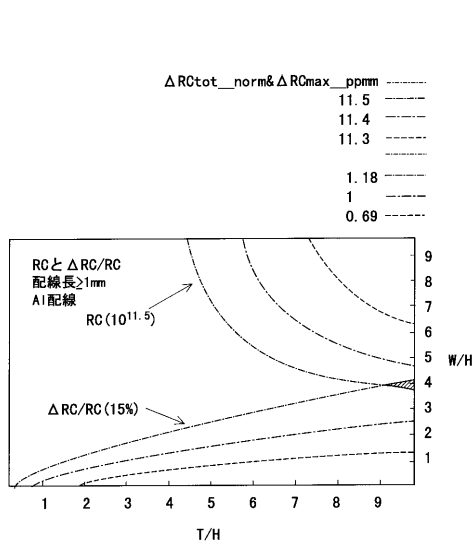
【図20】



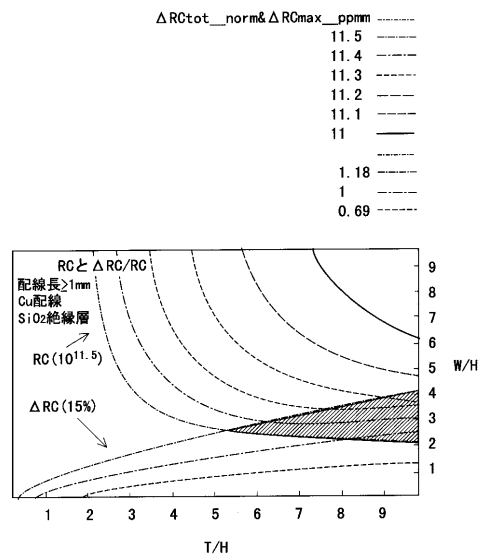
【図22】



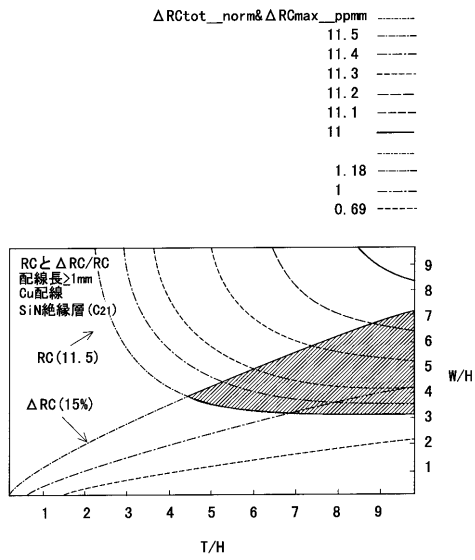
【図23】



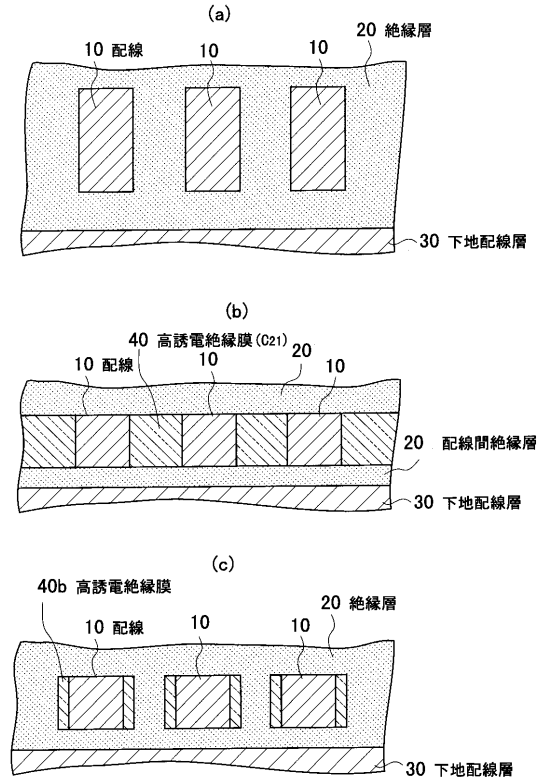
【図24】



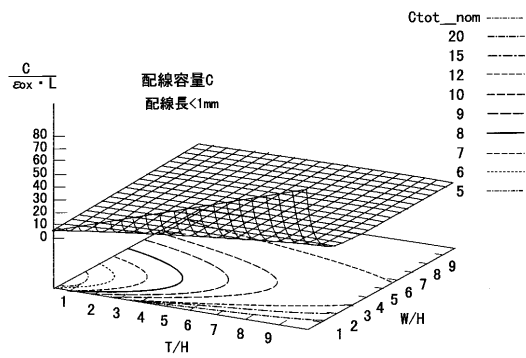
【図25】



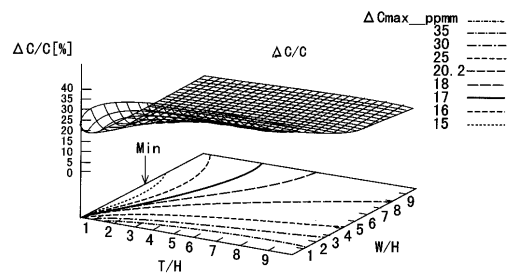
【図26】



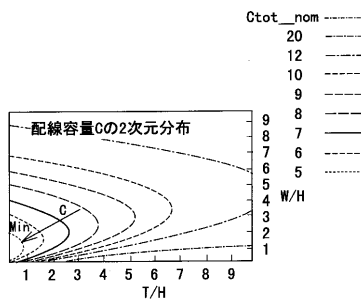
【図27】



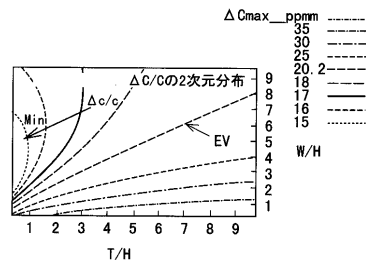
【図29】



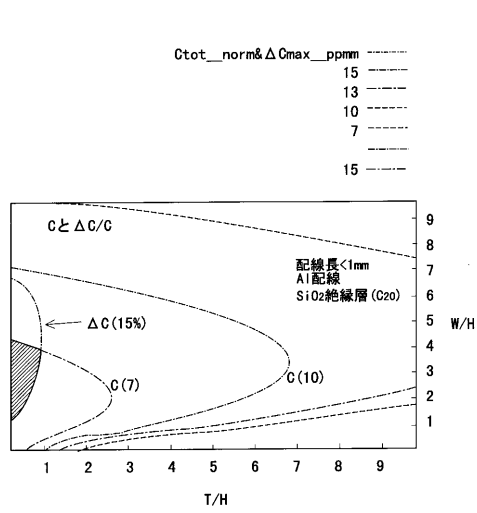
【図28】



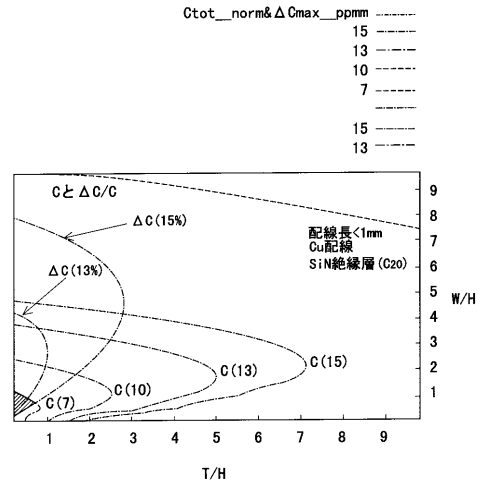
【図30】



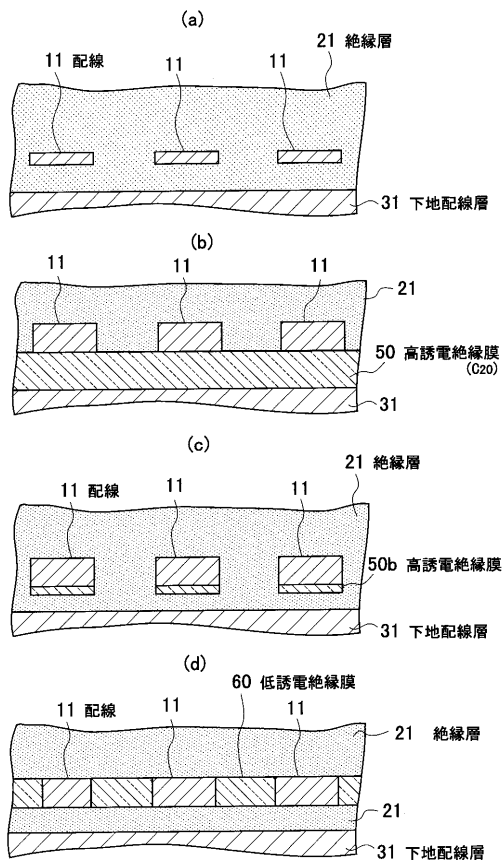
【 図 3 1 】



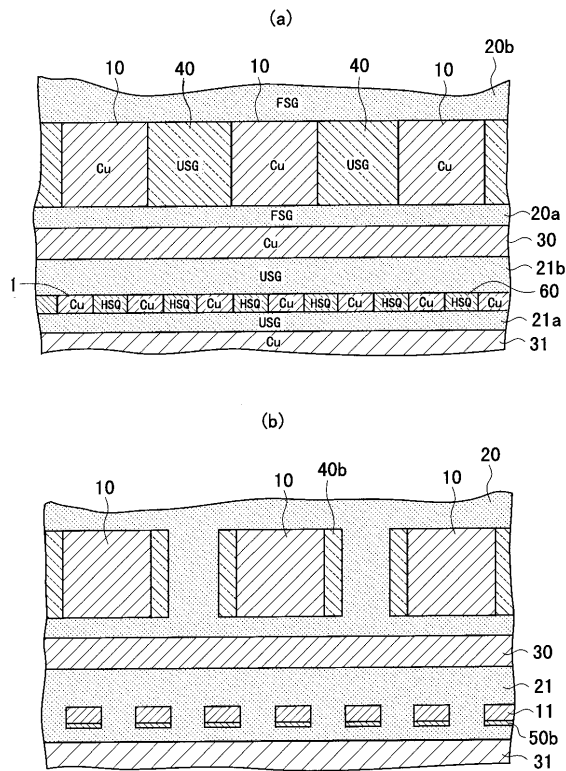
【 図 3 2 】



【 図 3 3 】



【 図 3 4 】



【図 35】

絶縁層材料	誘電率(κ)
SiN 窒化膜	6.7
BPSG (Boron-Phospho-Silicate Glass)	4.2
USG (Undoped Spin-on Glass)	4.1
SiO ₂ 酸化膜	3.9
PSG (Phospho-Silicate Glass)	3.7
FSG (Fluorine-doped Spin-on Glass)	3.6
HSQ (Hydrogen SilsesQuioxane)	3.2
ポリイミド系樹脂	3.0以下

フロントページの続き

(74)代理人 100098327

弁理士 高松 俊雄

(72)発明者 執行 直之

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内

(72)発明者 山口 哲哉

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内

審査官 棚田 一也

(56)参考文献 特開平10-240796(JP,A)

特開平10-240788(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/82

H01L 21/3205