



(12) 发明专利申请

(10) 申请公布号 CN 102445649 A

(43) 申请公布日 2012. 05. 09

(21) 申请号 201110208201. 7

G01N 27/24 (2006. 01)

(22) 申请日 2011. 07. 19

(30) 优先权数据

12/903, 984 2010. 10. 13 US

(71) 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹市

(72) 发明人 邵栋樑 梁世纬 陈英儒 杨庆荣

陈宪伟 蔡豪益 李明机 余振华

(74) 专利代理机构 隆天国际知识产权代理有限公司

公司 72003

代理人 张浴月 张志杰

(51) Int. Cl.

G01R 31/28 (2006. 01)

G01N 27/20 (2006. 01)

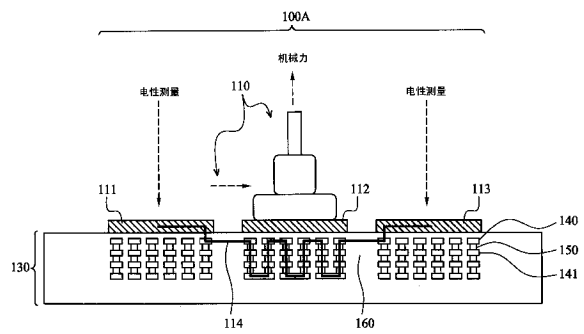
权利要求书 2 页 说明书 8 页 附图 9 页

(54) 发明名称

半导体芯片的测试结构及应用用于测量电介质特性的方法

(57) 摘要

本发明公开一种半导体芯片的测试结构及应用用于测量电介质特性的方法,其中该测试结构用于测量一尚未封装的半导体芯片,包括一施力部件与该半导体芯片的一内连线结构耦接,可操控该施力部件以施加一力于该半导体芯片之上;以及第一以及第二测试部分与该内连线结构耦接,该第一以及第二测试部分以测量与该内连线结构中一预定区域相关的一电性效能;其中该第一以及第二测试部分为可操控,于施加该力于该半导体芯片时测量该电性效能。本发明的测试结构可精确的获知裂化发生的时机,并可具有在半导体芯片未封装前即可得知裂化现象的优点。



1. 一种测试结构,用于测量一尚未封装的半导体芯片,包括:
一施力部件与该半导体芯片的一内连线结构耦接,可操控该施力部件以施加一力于该半导体芯片之上;以及
第一以及第二测试部分与该内连线结构耦接,该第一以及第二测试部分为可操控,用以测量相关于该内连线结构中一预定区域的一电性效能;
其中该第一以及第二测试部分为可操控,于施加该力于该半导体芯片时测量该电性效能。
2. 如权利要求 1 所述的测试结构,其中:
该施力部件通过一测试焊盘与该内连线结构耦合,该施力部件包括接合线、焊料球体以及铜凸块其中之一;
该施力部件为可操控,以将该施力部件拉向远离该内连线结构的方向;以及
该施力部件为可操控,沿平行于该内连线结构的方向对该施力部件施力。
3. 如权利要求 1 所述的测试结构,其中:
该第一以及第二测试部分分别包括电信号可通过的多个第一测试焊盘及多个第二测试焊盘;
所述多个第一测试焊盘及第二测试焊盘与该内连线结构中多个金属层之一耦合;以及
该欲测量的电性效能包括与该预定区域内一低介电常数电介质相关的电性特征。
4. 如权利要求 3 所述的测试结构,其中该第一测试焊盘与该内连线结构中的一第一金属线电性耦合,且该第二测试焊盘与该内连线结构中的一第二金属线电性耦合,该第一及该第二金属线被设置于该内连线结构中不同的金属层内,且该第一及该第二金属线部分互相重叠于该预定区域内。
5. 一种半导体元件测试装置,包括一测试结构,该测试结构:
施加一机械力于一尚未封装的半导体元件中一特定区域,该机械力随着时间变化;
测量该特定区域一电性参数因受该机械力影响而产生的一变化值;以及
根据该变化值决定该区域内一缺陷的发生。
6. 如权利要求 5 所述的半导体元件测试装置,其中:
该机械力随着时间增加;
该电性参数的该变化值包括该电性参数的一瞬间变化值;以及
该缺陷包括一碎裂缺陷。
7. 如权利要求 5 所述的半导体元件测试装置,其中该测试结构为可操控,以招致该缺陷发生的方式施加该机械力;以及
当该机械力正在施加的同时,同步测量该变化值。
8. 一种测量半导体元件电介质特性的方法,包括:
施加一机械力于一尚未封装的半导体元件中的一电介质部分;
当该机械力正在施加的同时,测量该电介质部分的一电性参数;以及
根据该测量,对该电介质部分进行一特性分析。
9. 如权利要求 8 所述的测量半导体元件电介质特性的方法,其中该特性分析包括:
根据该电性参数的一测量值的一变化,决定该电介质部分内产生一缺陷的情形;以及
纪录该缺陷产生时施加的力值。

10. 如权利要求 9 所述的测量半导体元件电介质特性的方法,其中:
该电介质部分为一低介电常数材料,位于该半导体元件的一内连线结构中;以及
该缺陷包括一碎裂缺陷。

半导体芯片的测试结构及应用于测量电介质特性的方法

技术领域

[0001] 本发明涉及半导体芯片的测试结构及应用此结构的特性测量方法,尤其涉及测量半导体芯片中低介电常数电介质的电特性的测试结构及应用此结构的特性测量方法。

背景技术

[0002] 半导体集成电路工业蓬勃发展,集成电路材料的技术演进造就了集成电路的世代交替,新的集成电路世代拥有更小的体积,更复杂的电路架构。然而这些进步同时也使得集成电路制造工艺的复杂度显著提升。因此为了实现集成电路的微缩,集成电路制造工艺的发展也是必然的趋势。集成电路的演进的路上,功能密度(functional density),即每个芯片区域内相互连接的元件数量,大致随着几何结构(geometry size,例如制造工艺可实现元件或导线的最小极限)的缩小而增加,上述的尺寸微缩提供了更佳的产能效率以及降低制造成本等优点。

[0003] 而随着半导体元件的尺寸持续微缩,精确的测量半导体元件内部各个部分的难度又更加提高。例如我们希望可以取得位于集成电路内的一低介电常数电介质(low-K dielectric)的电特性以及机械特性,以预测该电介质产生裂隙(crack)的时间点以及位置。然而,由于集成电路以及内部元件的尺寸微缩,现有的机械特性及电特性测量必须在集成电路封装完成后才能执行。如此一来需要耗费大量的检测时间以及额外的资源,造成成本上的负担。

[0004] 因此,现有的测量低介电常数电介质的方法虽然可以获得其应有功效,但并非在各方面都能达到令人满意的效率。

发明内容

[0005] 有鉴于此,本发明提出一种测试结构用于测量一尚未封装的半导体芯片,包括一施力部件与该半导体芯片的一内连线结构耦接,可操控该施力部件以施加一力于该半导体芯片之上;以及一第一以及一第二测试部分与该内连线结构耦接,该第一以及第二测试部分为可操控,用以测量该内连线结构中一预定区域相关的一电性效能;其中该第一以及第二测试部分为可操控,于施加该力于该半导体芯片时测量该电性效能。

[0006] 本发明另提出一装置包括一测试结构,该测试结构施加一机械力于一尚未封装的半导体元件中一特定区域,该机械力随着时间变化;测量该特定区域一电性参数因受该机械力影响而产生的一变化值;以及根据该变化值决定该区域内一缺陷(defect)的发生。该缺陷包括一碎裂缺陷(cracking defect)。

[0007] 本发明还提出一测量半导体元件电介质特性的方法,包括施加一机械力于一尚未封装的半导体元件中的一电介质部分;当该机械力正在施加的同时,测量该电介质部分的一电性参数;以及根据该测量,对该电介质部分进行一特性分析。

[0008] 根据一实施例,其中该特性分析包括:根据该电性参数的一测量值的一变化,决定该电介质部分内产生一缺陷的情形;以及纪录该缺陷产生时施加的力值。

[0009] 上述的测量半导体元件电介质特性的方法,其中:该电介质部分为一低介电常数材料,位于该半导体元件的一内连线结构中;以及该缺陷包括一碎裂缺陷(cracking defect)。

[0010] 本发明揭示的各种测试结构的实施例提供数项优点。其中一项优势为电性参数可在施加拉力以于半导体元件内产生裂化的同时测量电性参数。根据测量的结果,可精确的获知裂化发生的时机,电性参数产生骤变时即为裂化产生的瞬间。相较之下,检测裂化的先前技术需要测量半导体元件内形变的程度,缺乏效率及可靠度。

[0011] 另一优点为所揭示的实施例具有在半导体芯片未封装前即可得知裂化现象。因此,测试结构可配置于制造过程中各个阶段,并可以将探知裂化现象发生的区域缩小,例如,于一特定的金属层内。再者,在封装结构完成前即确认裂化现象将可达到节省成本的效果。

附图说明

[0012] 本发明所揭示的内容可通过附图配合以下详细说明以利于理解。应注意,以实际的工业应用而言,所揭示的各种并非局限于附图所揭示的比例。事实上各种结构造型的比例特征可以任意增减。

[0013] 图 1 显示根据本发明所揭示的多种实施例中测量一半导体元件的方法流程图。

[0014] 图 2 显示一图表,用以对测量如图 1 中步骤 11 的半导体元件内电介质材料的电特性与机械特性的方法进行图解。

[0015] 图 3- 图 5 显示一实施例中测量半导体元件内一介电材料的电特性与机械特性示意图。

[0016] 图 6A 与图 6B 分别为另一实施例中可以图 1 方法实施的多种测试结构的侧向剖面示意图以及平面示意图。

[0017] 图 7A- 图 7H 为可以图 1 方法实施的多种传输线类型的侧向剖面示意图以及平面示意图。

[0018] 上述附图中的附图标记说明如下:

[0019] 11 ~ 方法 13、15、17 ~ 步骤

[0020] 50 ~ 图表 60-62 ~ 曲线

[0021] 70 ~ X 轴 71 ~ Y 轴

[0022] 80、81 ~ 时间点

[0023] 100A、100B、100C ~ 测试结构

[0024] 110 ~ 施力部件 111-113 ~ 测试焊盘

[0025] 114 ~ 测试导线 130 ~ 内连线结构

[0026] 140 ~ 金属线 141 ~ 金属线

[0027] 150 ~ 连通孔或导电结构 160 ~ 介电材料

[0028] 180 ~ 施力部件 190 ~ 施力部件

[0029] 200 ~ 测试结构 210-214 ~ 测试焊盘

[0030] 220-222 ~ 施力部件 230 ~ 内连线结构

[0031] 240、241 ~ 金属导线

- [0032] 250、251 ~ 连通孔或导电结构
- [0033] 260 ~ 低介电常数介电材料
- [0034] 300A-300D ~ 内连线结构
- [0035] 320 ~ 信号线 321 ~ 接地线
- [0036] 330 ~ 信号线 331 ~ 接地线
- [0037] 340 ~ 信号线 341 ~ 接地线
- [0038] 350 ~ 信号线 351 ~ 接地线
- [0039] 352 ~ 接地线

具体实施方式

[0040] 应理解以下所揭示的内容提供多种不同的实施例以及范例,以实现各种不同的发明特征。特定范例的方式及部件将于以下内容中叙明,以简明的揭示本发明。这些揭示的内容仅作为参考范例之用,并未有局限专利保护范围之意。再者,其中若有一第一物件形成于一第二物件之上的叙述,则包括第一物件与第二物件形成直接接触的情形,也包括第一物件与第二物件之间,尚有额外物件形成于两者之间,因此第一物件与第二物件并未直接接触。说明书中各种图形为了简洁说明,可能经过尺寸及形状的调整。

[0041] 图 1 所示为根据本发明所揭示的各种实施例中测试一半导体元件的一方法 11 的流程图。由图 1 所示,该方法 11 由步骤 13 开始,施加一机械力于一尚未封装的半导体元件中一电介质部分,方法 11 接着进行步骤 15,当施加机械力的同时测量电介质部分的电性参数。方法 11 接着进行步骤 17,根据测量的结果分析该电介质部分的特性。

[0042] 图 2 为一图表 50,用以图解测量如图 1 中步骤 11 的半导体元件内电介质材料的电特性与机械特性的方法(例如一低介电常数材料)。图表 50 包括三个曲线 60、61 与 62,分别代表一组不同的电介质材料测量结果,曲线 60 至 62 分别根据 X 轴 70 与 Y 轴 71 标示于图中。X 轴 70 表示从测量开始经过的时间;Y 轴 71 对曲线 60、61 与 62 分别表示不同的参数。具体而言,对曲线 60 而言 Y 轴 71 代表一施加于半导体元件上的拉力量,对曲线 61 而言 Y 轴 71 则代表半导体元件的变形程度,对曲线 62 而言 Y 轴 71 则代表半导体元件的电性参数。

[0043] 更详述之,当施加一机械力于该半导体元件(如测试芯片)之上时,半导体元件的一个或多个电性参数同步的被测量。于一实施例中,一随着时间增加的机械拉力可被施加,以于半导体元件内产生压力,并产生裂化(cracking),微裂化(micro-cracking),或是裂隙(cracks)。此随着时间增加的机械拉力以曲线 60 表示之。同时,当相同的半导体元件被施加外力的同时进行电性测量。这些电性测量可包括电性参数如电容值、电阻值、漏电流值以及闪烁噪声的粹取。这些电性参数的特性以曲线 62 表示之。

[0044] 如图 2 所示,当拉力(以曲线 60 表示之)逐渐增加时,半导体元件逐渐开始变形(以曲线 61 表示之);而电性参数(以曲线 62 表示之)也可能逐渐变化。于一实施例中,进行测量的目的之一为决定半导体元件何时会发生潜在的裂化。例如大约施加多少的拉力会造成裂化现象。

[0045] 然而,当裂化发生时,变形的程度一般而言不会有急遽且明显的变化,如较为平滑的曲线 61 所示。曲线 60 则于时间点 80 时显示一相对急遽的变化,但这个急遽的变化通

常发生于裂化产生之后,也就是说裂化实际产生的时机是时间点 81。换言之,发生于时间点 81 时半导体元件内的裂化导致半导体元件的结构完整性受到削弱。当拉力随着时间逐渐增加时,结构的完整性受到更严重的弱化,直到时间点 80 时半导体元件内产生剥落 (delamination) 现象。

[0046] 剥落现象使半导体元件更容易因受拉力而分离。因此,曲线 60 过了时间点 80 之后便开始下降。

[0047] 根据以上的论点,可知不论拉力(曲线 60)或是变形程度(曲线 61)都没办法确切的获得裂化发生的时间点。为解决此问题,本发明使用电性参数的变化来决定裂化产生的起始时间。如图 2 所示,由于裂化现象的发生,曲线 62 于时间点 81 经历一明显且急遽的变化。此现象部分归因于当半导体元件内裂化现象一发生时,电性系数会产生急遽的变化。例如,裂化可能导致漏电流突然增加。因此,电性系数的测量(曲线 62)可用以快速得知裂化首次产生的时机。再者,于时间点 81 所施加的拉力值(曲线 60)也已纪录。此拉力值即被认为是造成半导体元件裂化产生的拉力大小。

[0048] 图 3 为根据一实施例绘制的简化后的一测试结构 100A 的剖面示意图。测试结构 100A 可用于当施加一机械力于半导体元件时,测量该半导体元件的电特性。测试结构 100A 包括一施力部件 110,测试焊盘 111-113,以及测试导线 114。施力部件 110 的实施例可包括一接合线 (bonding wire) 以及包括一金属材料,如铜、铝或金。施力部件 110 可与一外部装置耦合,该外部装置施加一拉力于施力部件 110 以施加拉力于与半导体元件耦合处下方的部分。半导体元件可为处于封装前制造阶段中的一测试芯片或一产品芯片。

[0049] 测试焊盘 111 至 113 分别可包括一导电材料,例如铜、铝或金。于一实施例中,测试焊盘 111 至 113 为连结焊盘。于另一实施例中,测试焊盘 111 至 113 可为探针卡金属焊盘 (probe card metal pad) 或是凸块下金属焊盘 (under-bump metal pad)。测试焊盘 112 与施力部件 110 耦合。测试焊盘 111 与 113 可各自与外部仪器耦合,可施加如电压或电流等电信号于测试焊盘 111 与 113 上。测试焊盘 111 至 113 可包含各种形状,如近似方形、近似四边形、多边形或是近似圆形。

[0050] 耦合至施力部件 110 的外部元件与仪器以及测试焊盘 111 与 113 为了简化图示,并未精确的描绘。但应可理解上述部件也可被视为测试结构 100A 的一部分。

[0051] 测试焊盘 111 至 113 皆与该半导体元件中内连线结构 130 的一部分耦合。内连线结构 130 可包括多个金属层,分别包括多个不同的内连线结构,也可称之为金属线。不同金属层的金属线通过连通孔 (via) 或导电接触互相耦合。以附图为例,金属线 140 与 141 的设计显示于图 3。金属线 140 至 141 属于不同的金属层,通过一连通孔或导电接触 150 互相耦合。

[0052] 内连线结构 130 也包括一介电材料 160 将各个金属线、连通孔与导电接触分别隔离。于一实施例中,介电材料 160 包括一低介电常数材料。低介电常数材料是一种介电常数低于二氧化硅(约为 4)的材料。例如,低介电常数材料可包括氟化非晶态碳 (fluorinated silica glass, FSG), 掺氮二氧化硅 (carbon doped silicon oxide), 黑钻石[®] (Black Diamond[®], Applied Materials, 加州圣克拉拉市), 干凝胶 (Xerogel), 非晶氟碳 (amorphous fluorinated carbon), 聚对二甲苯 (Parylene), 苯环, SiLK (Dow material, 密西根州米德兰市), 聚酰亚胺 (polyimide) 及 / 或其他材料。

[0053] 如图 3 所示,测试导线 114 连接至测试焊盘 111 及 113,并且由内连线结构 130 中一特定或预定的区域内多数的金属层形成连结。这个特定或预定的区域是欲测量低介电常数的区域。当电信号(如电压)被施加于测试焊盘 111 以及 113,可准确的测量到测试导线 114 的电阻值。当施加测试电信号时,一持续增加的机械力也施加于施力部件 110 以及测试焊盘 112,将它们拉往远离内连线结构 130 的方向。也可对施力部件 110 施加一与内连线结构 130 平行的机械力。

[0054] 参照图 2 以及以上相关讨论,当机械拉力随着时间增加,微裂隙(或裂化)可能开始出现于内连线结构 130 内的介电材料 160。当裂化发生时,通过接触焊盘 111 及 113 所测量的沿着测试导线 114 的电阻值可能随之改变,可能是电阻值产生一急遽的变化。此急遽的电阻值变化会被耦合至测试焊盘 111 与 113 的仪器所检测,因此测试结构 110A 被辨识出发生裂化现象。而裂化现象发生时所施加的机械拉力也被纪录,并认定为是造成介电材料内部裂化的力值。如此一来,便可以在剥落现象发生前便获知测试结构 110A 产生裂化。

[0055] 应可理解包括内连线结构 130 的半导体元件此时尚未封装。换言之,此半导体元件测试于芯片阶段进行。内连线结构 130 本身可能尚未制造完成。事实上,测试焊盘 111 至 113 可能仅与内连线结构 130 中多个中介金属层之一耦合,此时内连线结构 130 仍处于制造阶段。例如,内连线结构 130 可被设计为包括十层金属层。当第五金属层制造完成后且在第六金属层开始制造前,测试结构 100A 可耦合并测量介电材料 160 的机械特性与电特性。另一范例中,所有的十层金属层均被制造完成,但半导体元件仍尚未被封装。该测试结构 100A 仍可用于此阶段以检测裂化。

[0056] 图 4 为根据另一实施例中测试结构 100B 经简化过后的剖面示意图。测试结构 100B 与图 3 中的测试结构 100A 相似,为了方便比较,两者相同的元素以相同的符号表示之。测试结构 100B 与测试结构 100A 不同之处在于测试结构 100B 使用焊料球体(solder ball)作为施力部件 180,而非接合线。如此一来,测试结构 110B 便可相容于倒装芯片技术(flip-flop technology)。测试结构 110B 的功能与测试结构 110A 类似,可准确的测量尚未封装的半导体元件中内连线结构 130 的裂化现象。

[0057] 图 5 为根据另一实施例中测试结构 100C 经简化过后的剖面示意图。测试结构 100C 与图 3 中的测试结构 100A 相似,为了方便比较,两者相同的元素以相同的符号表示之。测试结构 100C 与测试结构 100A 不同之处在于测试结构 100C 使用铜凸块(copper bump)作为施力部件 190,而非接合线。如此一来,测试结构 100C 可以可相容于倒装芯片技术(flip-flop technology)。测试结构 100C 的功能与测试结构 100A 类似,可准确的测量尚未封装的半导体元件中内连线结构 130 的裂化现象。

[0058] 图 6A 为根据另一实施例中测试结构 200 经简化过后的剖面示意图,而图 6B 为根据另一实施例中测试结构 200 经简化过后的平面示意图。测试结构 200 包括测试焊盘 210 至 214 以及施力部件 220 至 222。测试焊盘 210 至 214 与图 3 至图 5 中的测试焊盘 111 至 113 相同。测试结构 200 也可包括耦合至施力部件 220 至 222 以及测试焊盘 210 与 214 的外部元件及仪器。为了简洁表示,这些外部元件及仪器并未特别示出。

[0059] 施力部件 220 至 222 与施力部件 110(图 3)、180(图 4)或 190(图 5)相同。因此,施力元件 220 至 222 也可包括一接合线,一焊料球体,或一铜凸块。施力部件 220 至 222 分别与测试焊盘 211 至 213 耦合。

[0060] 测试焊盘 210 至 214 与内连线结构 230 耦合,内连线结构 230 可与内连线结构 130(如图 3 至图 5)类似,其中内连线结构 230 也包括多个金属导线,通过连通孔(via)或导电接触互相耦合,并以一低介电常数介电层包围上述金属导线,如图 6A 至图 6B 中的一范例所示不同层的两金属导线 240 与 241(例如第一金属层与第二金属层)。金属导线 240 与 241 可各自包括多个分枝,如图 6B 所示。于一实施例中,分枝的宽度与分枝之间的间隔,其比例约为 2 : 5。

[0061] 金属线 240 至 241 也部分重叠,且该部分重叠的区域以暗色阴影表示于图 6B 中。于一实施例中,测试焊盘 220 至 222 被放置于至少一重叠区域的一部分之上。金属线 240 通过连通孔 / 导电接触 250 与测试焊盘 210 电性耦合,且金属线 241 通过连通孔 / 导电接触 251 与测试焊盘 214 电性耦合。

[0062] 低介电常数介电材料 260 包覆着金属导线 240 至 241,以及连通孔 / 导电接触 250 至 251。金属线 240 至 241 重叠的部分以及介于其中的低介电常数介电材料 260 的一部分相当于一电容器,金属线 240 至 241 作为两极板。低介电常数介电材料 260 的一部分可被视为位于内连线结构 230 中一特定或预定的区域,其中欲对低介电常数介电材料进行测量。测量过程中,一逐渐增加的机械力施加于该施力部件 220 至 222 之上,以将它们向远离内连线结构 230 的方向拉离。当机械拉力越来越大时,而电信号则施加于测试焊盘 210 至 214。当机械拉力越来越大时,低介电常数介电材料 260 中特定或预定的区域可能会开始产生裂化。

[0063] 裂化现象可能改变电容器之中低介电常数介电材料 260 的介电常数值。例如,低介电常数介电材料 260 内恐能会因裂隙产生气隙(air gap)。再者,裂化可能造成电容器的剥落,因而改变两电极板(金属导线 240 至 241)之间的距离。介电材料的介电常数以及电容器面积 / 距离的改变使得电容器的有效电容值产生变化。而且裂化现象也可能影响电容器内或邻近区域的漏电流。类似于图 3 至图 5 的上述实施例,通过传送至及接收自测试焊盘 210 至 214 的电信号,测试结构 200 可检测电容值的变化量及 / 或漏电流值。根据测量的结果,测试结构 200 可准确的获知于内连线结构 230 内产生裂化现象,以及产生裂化现象所需要施加的拉力。

[0064] 应可理解测试结构 200 在半导体元件封装前即进行机械测试及电测试以获知裂化现象的发生时机。因此上述测试乃于芯片阶段进行。再者,尽管图 6A 与图 6B 仅示出位于不同金属层的两金属导线 240 与 241,应可理解于其他实施例中,可利用其他的设置方式实现测试结构。例如,一替代测试结构可能包括多层金属层,以及多条金属导线、连通孔或导电接触,因而形成多个有效电容器,其电容值及漏电流值可通过上述替代测试结构测量之,以得知上述电容器中任一电容器有无发生裂化现象。并且此替代测试结构可使用任何数量的测试焊盘以及用以施加拉力的施力部件。

[0065] 于部分实施例中,测试结构与图 3 至图 6 中的测试结构 100 与 200 类似,可据以实施并进行电性测试包括一组或多组射频(radio frequency)参数,例如闪烁噪声的改变。图 7A 至图 7D 分别为内连线结构 300A 至 300D 部分的剖面示意图。图 7E 至图 7H 则分别为内连线结构 300A 至 300D 部分的平面示意图。应可理解图 7A 至图 7D 的剖面分别沿着标示于图 7E 至图 7H 的虚线箭头所形成的断面图。

[0066] 上述内连线结构包括射频信号载体,例如传输线。细述之,图 7A 及图 7E 示出了该

内连线结构 300A 的一部分具有平坦且平行的导线传送射频信号。信号线 320 被设置于内连线结构中金属层其一之内,以及一接地线 321 被设置于内连线结构中另一金属层之内。信号线 320 与接地线于不同金属层且 321 彼此平行。由于图 7E 为一平面图,接地线 321 无法显示于图 7E。此处所示出的平坦且平行的导线可具有下列特性阻抗值:

$$[0067] \quad Z_0 = \frac{377}{\sqrt{\epsilon r}} \ln \left[\frac{H}{W} \right]$$

[0068] 图 7B 及图 7F 显示内连线结构 300B 的一部分,具有传输射频信号的耦合导线。信号线 330 以及一接地线 331 设置于内连线结构 300B 中同一层金属层之中。此处示出的耦合导线可具有下列特性阻抗值:

$$[0069] \quad Z_0 = \frac{120}{\sqrt{\epsilon r}} \ln \left[\frac{\pi A}{W + T} \right]$$

[0070] 图 7C 及图 7G 显示内连线结构 300C 的一部分,具有传输射频信号的微带线 (microstrip line)。信号线 340 以及一接地线 341 设置于内连线结构 300C 中同一层金属层之中。此处示出的微带线可具有下列特性阻抗值:

$$[0071] \quad Z_0 = \frac{87}{\sqrt{\epsilon r + 1.41}} \ln \left[\frac{5.98 * H}{0.8W + T} \right]$$

[0072] 图 7D 及图 7H 显示内连线结构 300D 的一部分,具有传输射频信号的共平面波导 (coplanar waveguide)。信号线 350 以及接地线 351 至 352 设置于内连线结构 300D 中同一层金属层之中。

[0073] 上述示出于图 7A 及图 7H 中多种传输线的形式可以于半导体元件中多处,例如半导体集成电路芯片。于一实施例中,上述测试结构可被设置于位于或接近集成电路芯片转角处,对芯片提供一机械拉力并同时通过传输线测量集成电路芯片的射频参数。例如闪烁噪声可作为欲测量的射频参数之一。

[0074] 与前例类似,当裂化现象于集成电路内产生时,闪烁噪声也可能随之改变,例如可能产生一急遽的变化。如此一来,集成电路芯片内的裂化现象可藉由传输线得知。传输线也可通过测量直流电流连续性特征,以助于探测裂化的产生。应可理解当测量进行时,这些传输线所在的集成电路芯片可能尚未封装。为了简化表示,这些测试结构并未详细的示出于附图中。

[0075] 测试结束后,可进行额外的制造工艺以完成半导体元件的制造。例如,这些额外制造工艺可包括形成保护层,芯片切割以及封装。

[0076] 此处揭示的各种测试结构的实施例提供数项优点。然而应可理解其他实施例也可包括不同的优点,特定的优点并非为实施例的必要条件。其中一项优势为电性参数可在施加拉力以于半导体元件内产生裂化的同时测量电性参数。根据测量的结果,可精确的获知裂化发生的时机,电性参数产生骤变时即为裂化产生的瞬间。相较之下,检测裂化的先前技术需要测量半导体元件内形变的程度,缺乏效率及可靠度。

[0077] 另一优点为所揭示的实施例具有在半导体芯片未封装前即可得知裂化现象。因此,测试结构可配置于制造过程中各个阶段,并可以将探知裂化现象发生的区域缩小,例如,于一特定的金属层内。再者,在封装结构完成前即确认裂化现象将可达到节省成本的效果。

[0078] 本发明实施例的一广义形式为一测试结构,用来测试一尚未封装的半导体芯片,测试结构包括:一施力部件与半导体元件中一内连线结构耦合,施力部件为可操作,以施加一外力于半导体芯片上;第一与第二测试部分与该内连线结构耦合,该第一与第二测试部分为可操作,以测量与内连线结构中一预定区域的一电性系数;其中该第一与第二测试部分可于外力施加于半导体芯片的同时,测量电性系数。

[0079] 本发明实施例的另一广义形式揭示一装置,包括一测试结构。该测试结构为可操作,可对尚未封装的半导体元件内一预定区域施加一随时间变化的机械力。测量一因机械力而产生的相应电性参数变化,并根据该变化决定该区域内一裂化现象的发生。

[0080] 本发明实施例的另一广义形式揭示一测试半导体元件的方法,包括施加一机械力于半导体元件的一电介质部分,当施加外力的同时测量该电介质部分的电性系数。并根据测量结果确定电介质部分的特性。

[0081] 前述内容将数种实施例的特征列出,使具有本领域普通技术人员可更加容易理解发明细节。具有本领域普通技术人员可利用本发明揭示的内容为基础或通过修改制造工艺及结构以获得与本发明揭示的实施例实质上相同的优点。这些相等的建构并未背离本发明的精神与范畴。同样的,各种置换、取代、调换动作也未背离本发明的精神与范畴。

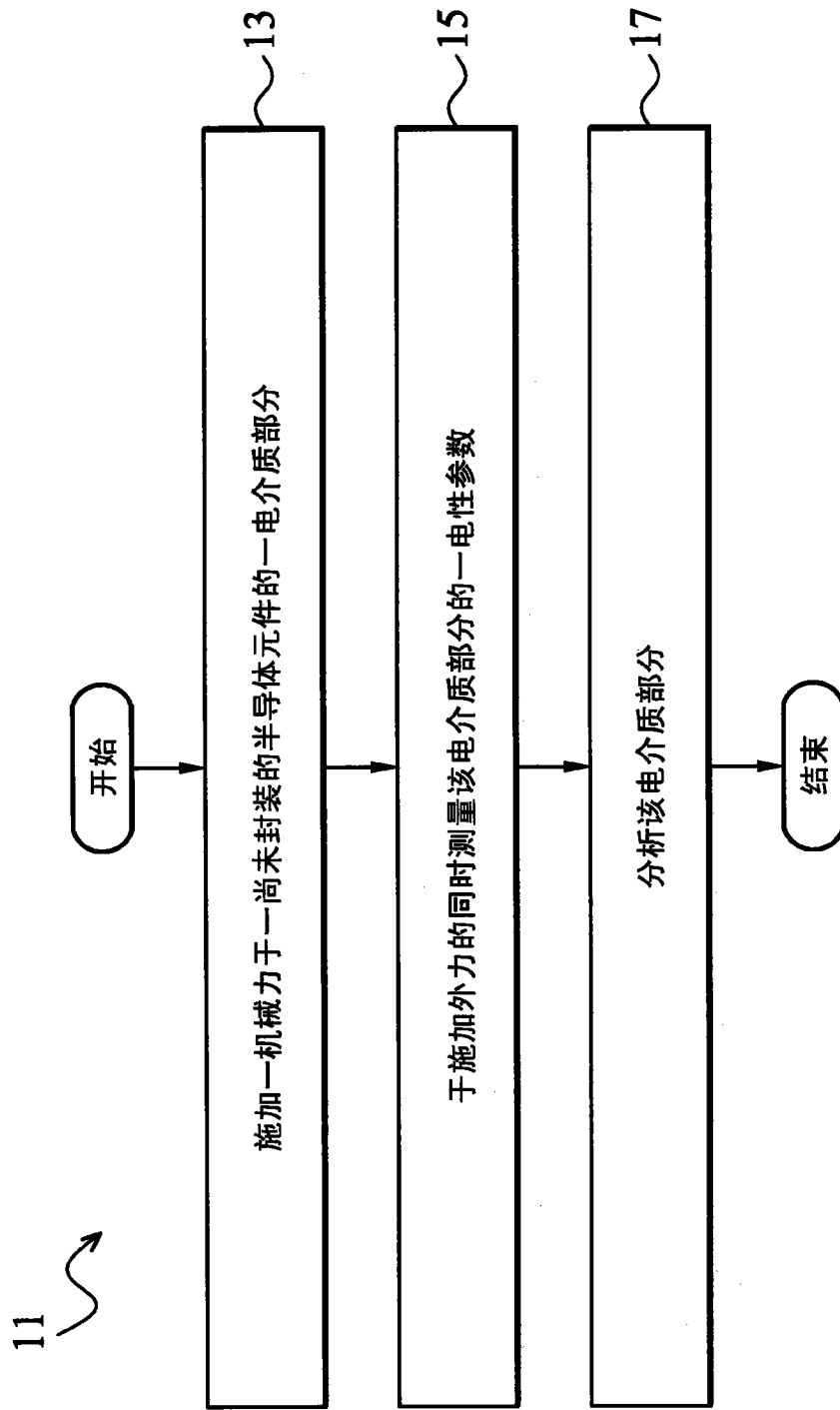


图 1

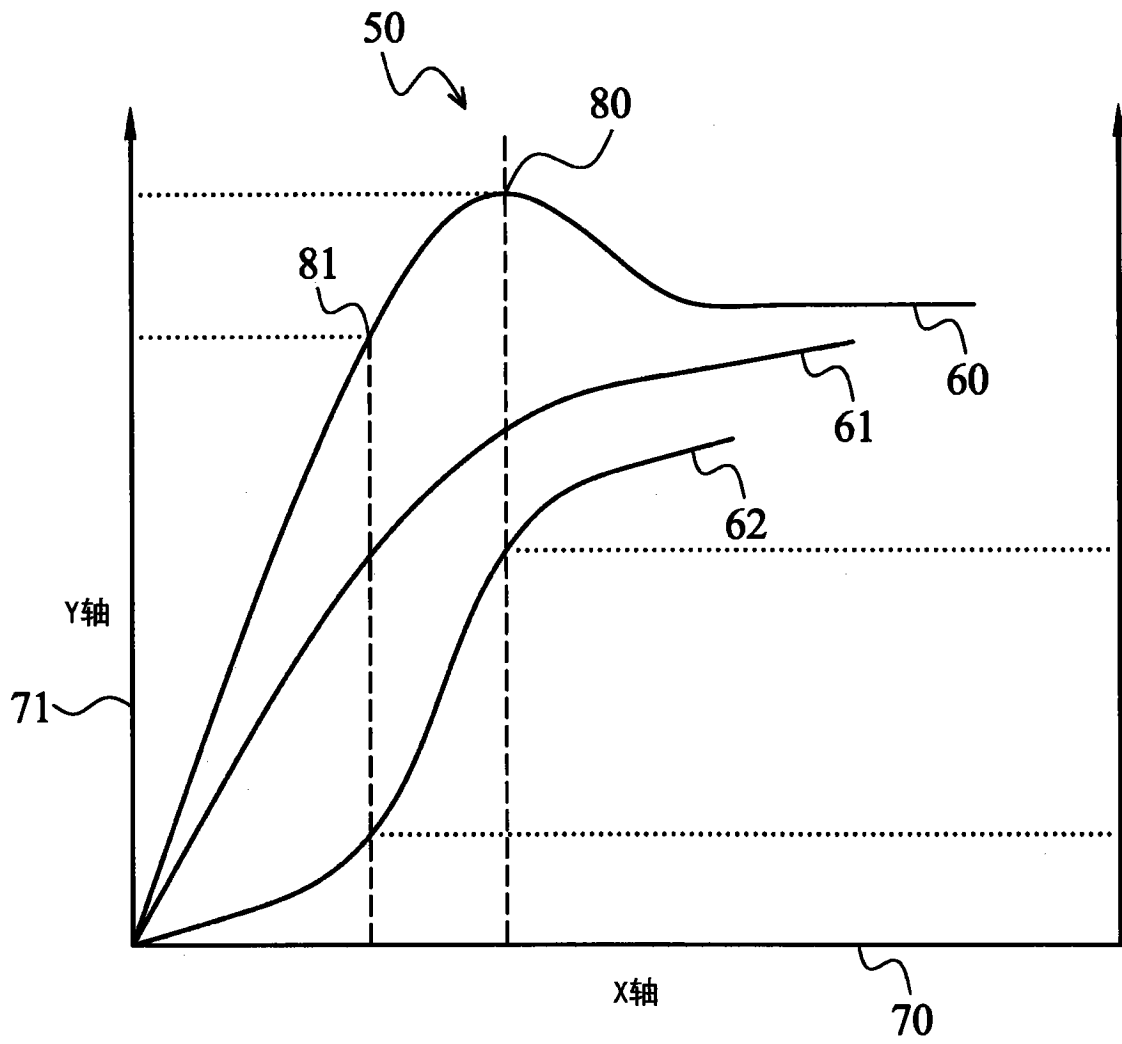


图 2

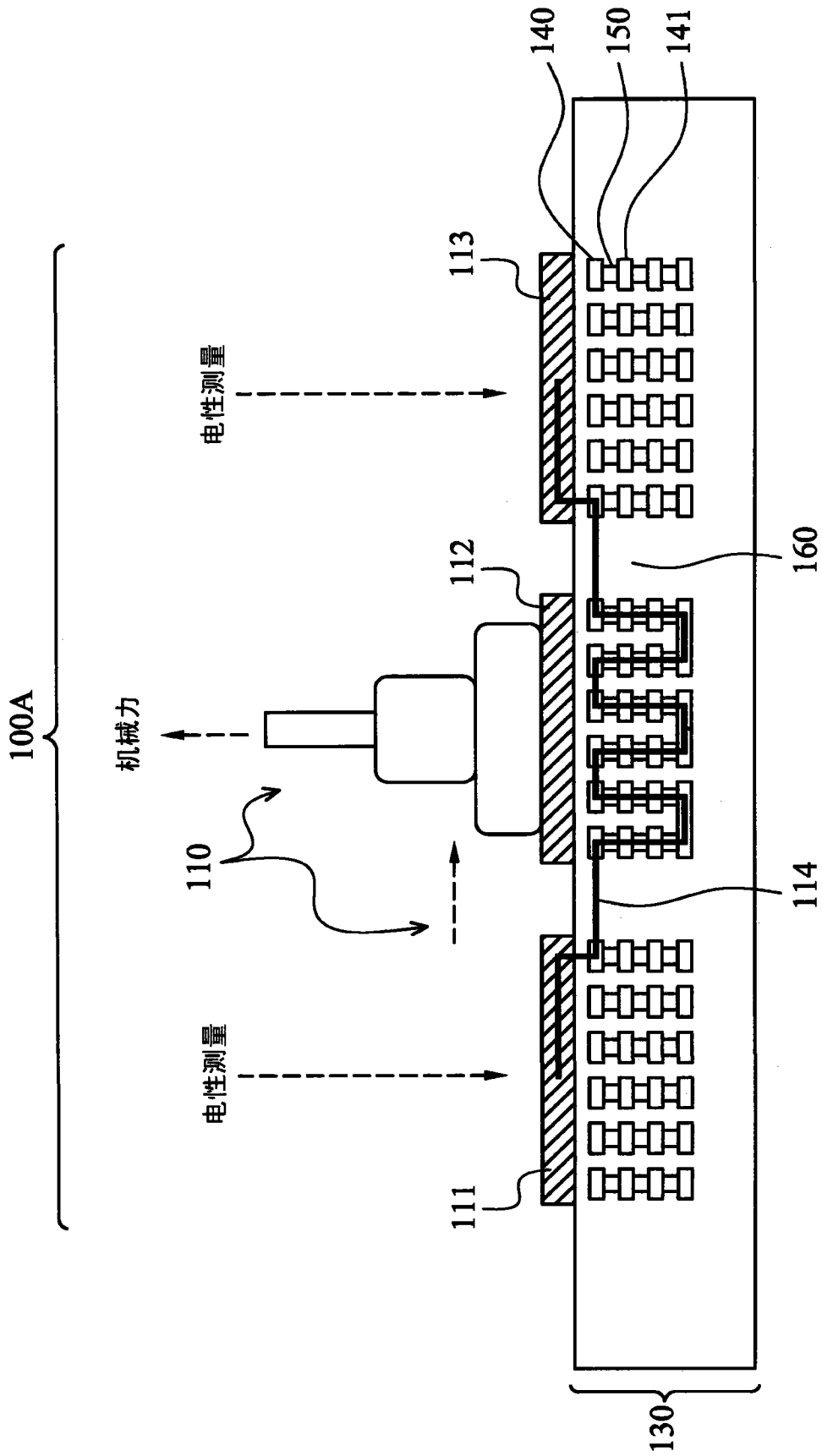


图 3

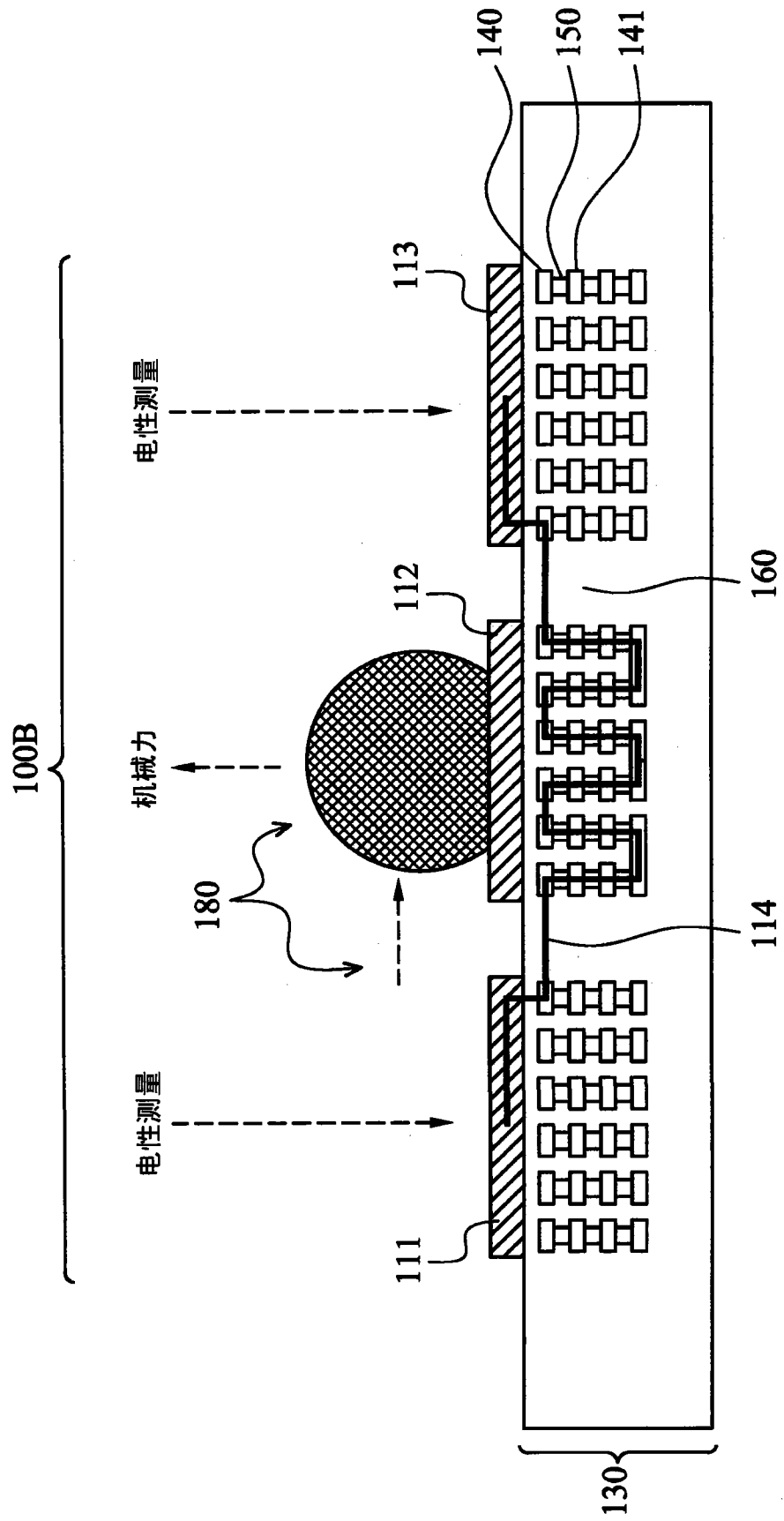


图 4

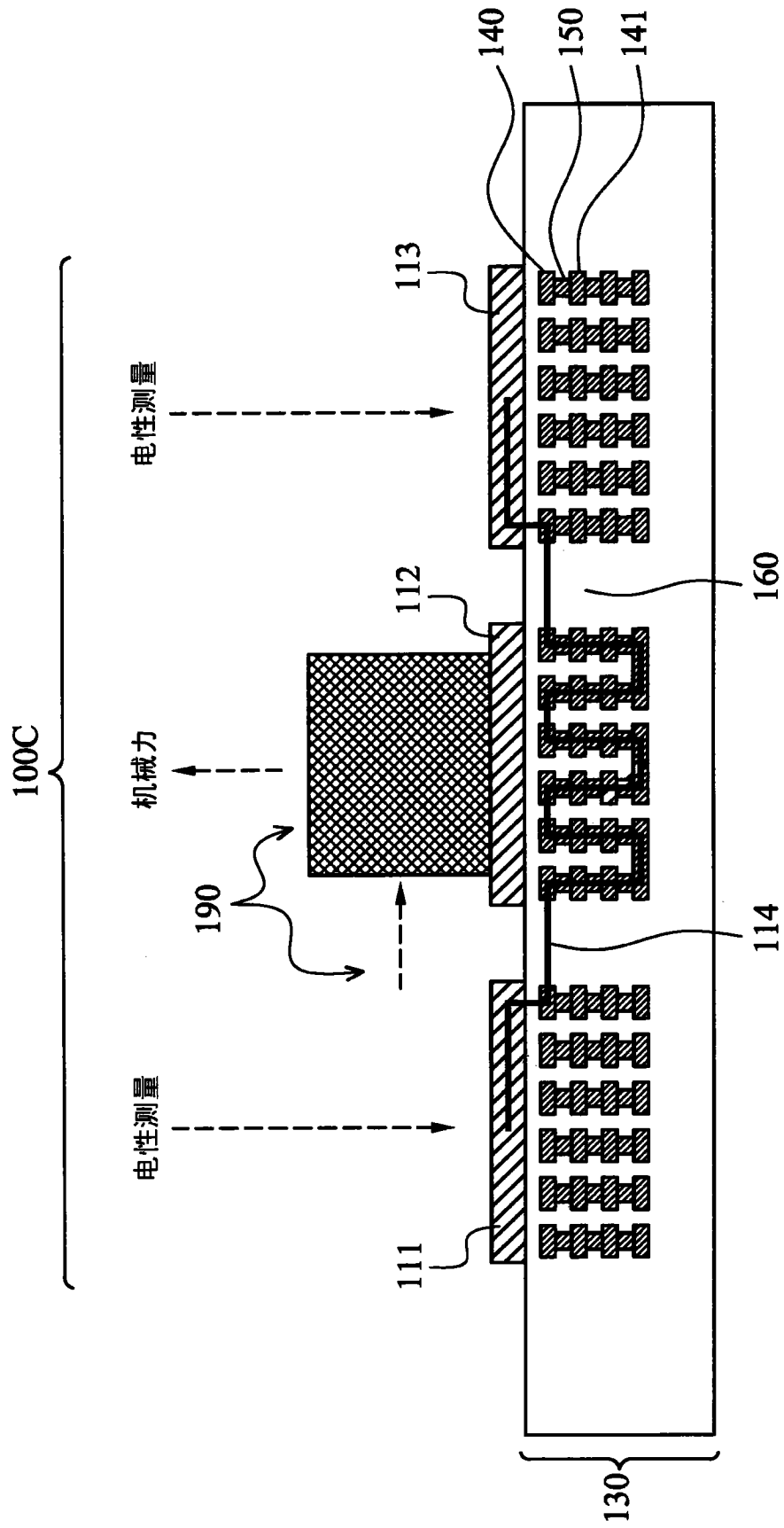


图 5

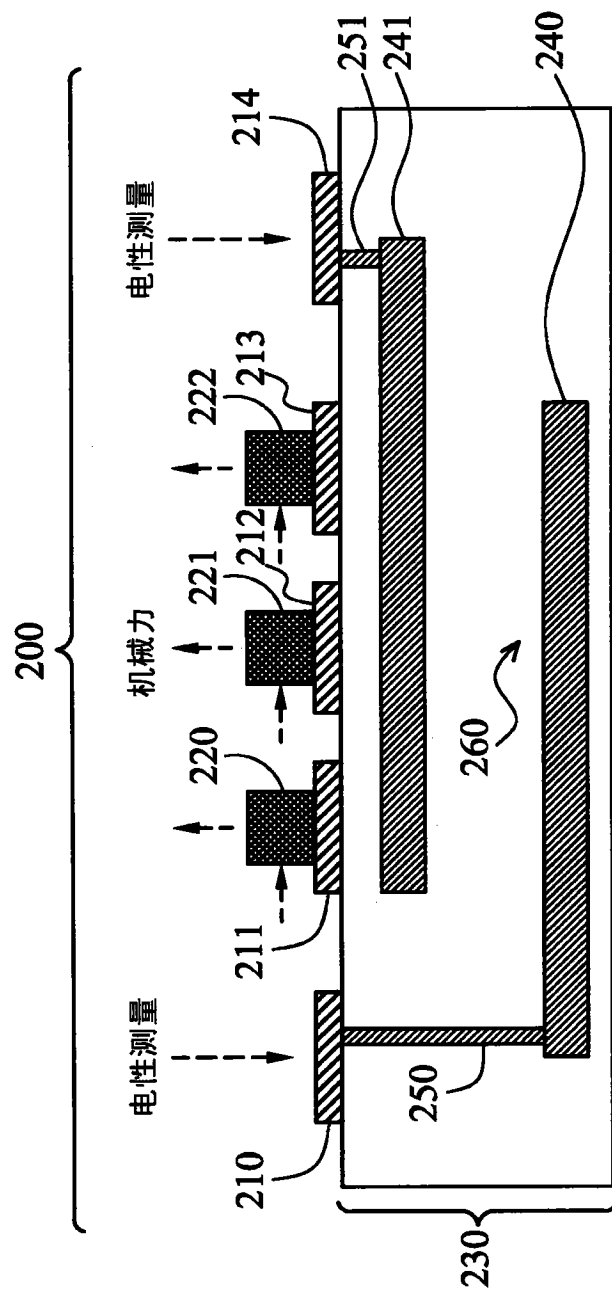


图 6A

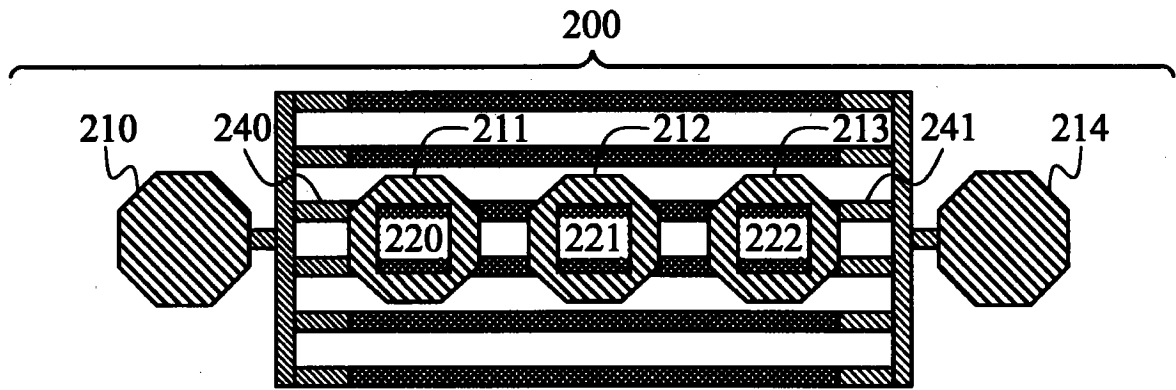


图 6B

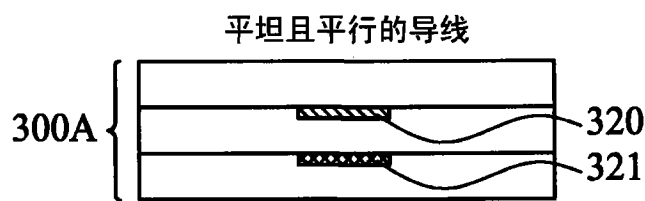


图 7A

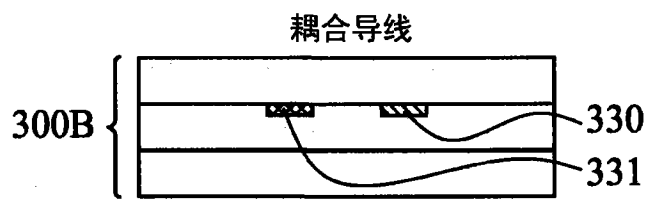


图 7B

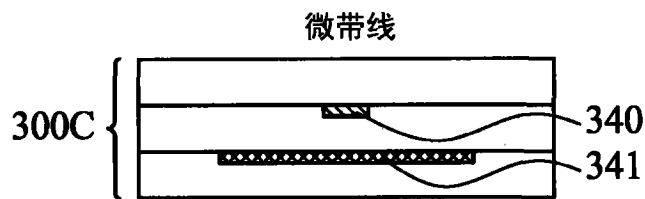


图 7C

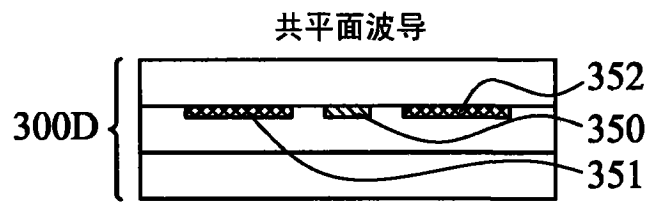


图 7D

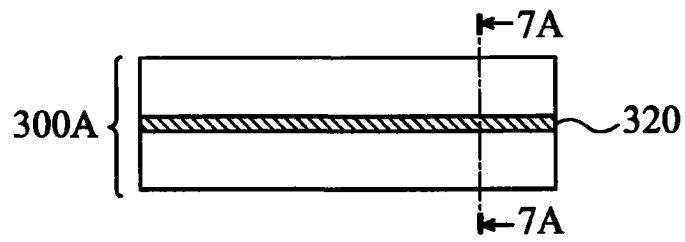


图 7E

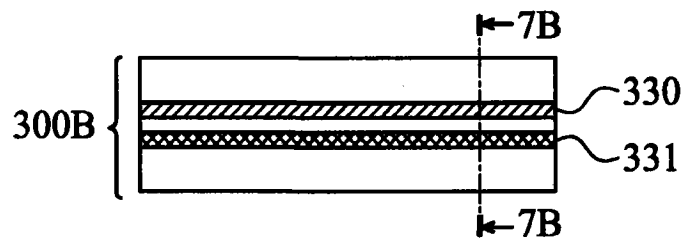


图 7F

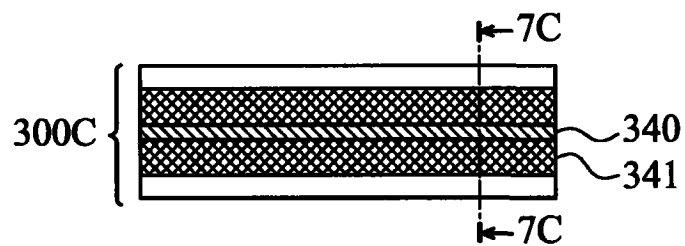


图 7G

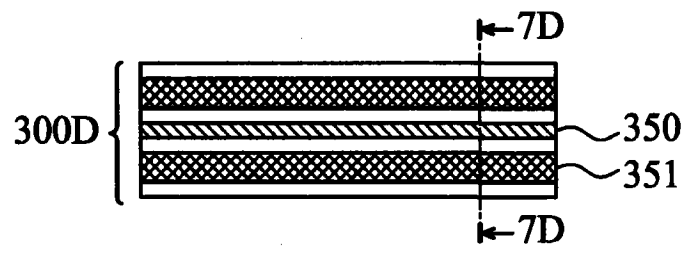


图 7H