

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5298565号
(P5298565)

(45) 発行日 平成25年9月25日 (2013.9.25)

(24) 登録日 平成25年6月28日 (2013.6.28)

(51) Int. Cl.	F I
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 J
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 2 H
	HO 1 L 29/78 6 5 3 A
	HO 1 L 29/78 6 5 8 A

請求項の数 10 (全 38 頁)

(21) 出願番号	特願2008-41319 (P2008-41319)	(73) 特許権者	000005234
(22) 出願日	平成20年2月22日 (2008.2.22)		富士電機株式会社
(65) 公開番号	特開2009-200300 (P2009-200300A)		神奈川県川崎市川崎区田辺新田1番1号
(43) 公開日	平成21年9月3日 (2009.9.3)	(74) 代理人	100104190
審査請求日	平成23年1月17日 (2011.1.17)		弁理士 酒井 昭徳
		(72) 発明者	杉 祥夫
			東京都品川区大崎一丁目11番2号 富士電機デバイステクノロジー株式会社内
		審査官	柴山 将隆

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

高不純物濃度の第1導電型の半導体基板と、前記半導体基板の表面に設けられた、第1導電型半導体領域と第2導電型半導体領域とを交互に配置した並列pn層と、前記並列pn層の前記第2導電型半導体領域または前記第1導電型半導体領域のどちらかに設けられたトレンチと、前記トレンチの内面に設けられた絶縁膜と、前記絶縁膜を介して設けられたゲート電極と、を備える半導体装置において、

前記トレンチの少なくとも底面の角部を覆うように、角のない形状の第1導電型の表面バッファ領域が設けられており、

前記半導体基板と、前記並列pn層の前記第2導電型半導体領域との間に、該第2導電型半導体領域より高不純物濃度の第2導電型層が設けられていることを特徴とする半導体装置。

10

【請求項2】

前記表面バッファ領域は、熱拡散させた形状であることを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記半導体基板と、前記並列pn層との間に、第1導電型の裏面バッファ領域が設けられていることを特徴とする請求項1または2に記載の半導体装置。

【請求項4】

前記表面バッファ領域は、前記トレンチの底面の角部の近傍にのみ設けられていること

20

を特徴とする請求項 1 ~ 3 のいずれか一つに記載の半導体装置。

【請求項 5】

高不純物濃度の第 1 導電型の半導体基板の表面に、第 1 導電型半導体または第 2 導電型半導体を生成する半導体生成工程と、

絶縁膜マスクをマスクとして、前記半導体生成工程で生成した一方の導電型の半導体に第 1 トレンチを形成する第 1 トレンチ形成工程と、

前記第 1 トレンチに、他方の導電型の半導体を生成することで、一方の導電型の半導体領域と他方の導電型の半導体領域とを交互に配置した並列 p n 層を形成する並列 p n 層形成工程と、

前記絶縁膜マスクをマスクとして、前記他方の導電型の半導体領域に第 2 トレンチを形成する第 2 トレンチ形成工程と、

前記第 2 トレンチの内部に、ゲート酸化膜を介してゲート電極を形成するゲート電極形成工程と、

を含むことを特徴とする半導体装置の製造方法。

10

【請求項 6】

高不純物濃度の第 1 導電型の半導体基板の表面に、第 1 導電型半導体または第 2 導電型半導体を生成する半導体生成工程と、

絶縁膜マスクをマスクとして、前記半導体生成工程で生成した一方の導電型の半導体に第 1 トレンチを形成する第 1 トレンチ形成工程と、

前記第 1 トレンチに、他方の導電型の半導体を生成することで、一方の導電型の半導体領域と他方の導電型の半導体領域とを交互に配置した並列 p n 層を形成する並列 p n 層形成工程と、

前記他方の導電型の半導体を研磨して、前記絶縁膜マスクと前記他方の導電型の半導体領域との高さを揃える高さ揃え工程と、

前記絶縁膜マスクを除去することで、第 2 トレンチを形成する第 2 トレンチ形成工程と

、
前記第 2 トレンチの内部に、ゲート酸化膜を介してゲート電極を形成するゲート電極形成工程と、

を含むことを特徴とする半導体装置の製造方法。

20

【請求項 7】

前記半導体生成工程の前に、前記半導体基板の表面に、第 1 導電型の裏面バッファ領域を形成する裏面バッファ領域形成工程を含むことを特徴とする請求項 5 または 6 に記載の半導体装置の製造方法。

30

【請求項 8】

前記半導体生成工程の前に、前記半導体基板の表面に、第 2 導電型のエピタキシャル層を形成するエピタキシャル層形成工程を含むことを特徴とする請求項 5 ~ 7 のいずれか一つに記載の半導体装置の製造方法。

【請求項 9】

前記第 2 トレンチ形成工程と、前記ゲート電極形成工程との間に、

前記第 2 トレンチの少なくとも底面の角部に第 1 導電型の不純物をイオン注入するイオン注入工程を含み、

前記ゲート電極形成工程の後に、

前記イオン注入工程においてイオン注入された第 1 導電型の不純物に熱拡散を行い、前記第 2 トレンチの底面の角部に表面バッファ領域を形成する表面バッファ領域形成工程を含むことを特徴とする請求項 5 ~ 8 のいずれか一つに記載の半導体装置の製造方法。

40

【請求項 10】

前記イオン注入工程においては、前記第 2 トレンチの底面の中央部に、第 1 導電型の不純物をイオン注入しないことを特徴とする請求項 9 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

50

【0001】

この発明は、大電力用の縦型半導体装置に関するものであり、特に、半導体基板の一部に超接合層を有する半導体装置に関する。

【背景技術】

【0002】

従来、パワーエレクトロニクス分野における電源機器の小型化や高性能化のため、電力用半導体装置では、高耐圧化や大電流化とともに、低損失化、高破壊耐量化、高速化が求められている。このために、半導体装置の基板構造としては、超接合型基板が提案されており、表面構造としては、縦型MOSパワーデバイス構造が提案されている。

【0003】

半導体装置の基板構造としては、単一の導電型を有する半導体基板と、超接合型基板と、が広く知られている。超接合型基板は、第1導電型の半導体基板と、第2導電型の半導体層と、の間に、半導体基板と垂直な方向に第1導電型と第2導電型の半導体領域が交互に形成された超接合層（並列pn層）を有している（例えば、下記特許文献1、下記特許文献2、下記特許文献3参照。）。この超接合型基板は、第1導電型と第2導電型の半導体領域の濃度がそれぞれ高い場合でも、オフ時に超接合層全体に空間電荷領域を広げることができる。したがって、特に高耐圧の半導体装置においてオン抵抗を小さくすることができる。

【0004】

なお、本明細書において、nまたはpを冠した半導体は、それぞれ電子、正孔が多数キャリアであることを意味する。また、n⁺やn⁻などのように、nやpに付す「+」または「-」は、それぞれそれらが付されていない半導体の不純物濃度よりも比較的高濃度または比較的低濃度であることを表す。

【0005】

このような縦型MOSデバイスの一例について説明する。図60は、第1従来例の縦型MOSデバイスの構成を示す平面図である。また、図61は、図60の切断線D-D'における断面構造を示す断面図である。図61に示すように、n⁺⁺ドレイン領域である抵抗率の低いn⁺⁺基板41の第1主面側の表面に、n型ドリフト領域（第1導電型半導体領域）42およびp型仕切領域（第2導電型半導体領域）43からなる並列pn層（超接合層）が設けられている。並列pn層は、オン状態ではn型ドリフト領域42に電流を流すとともに、オフ状態ではn型ドリフト領域42およびp型仕切領域43を空乏化する。このように、n型ドリフト領域42と、p型仕切領域43とが交互に配置された並列pn層と、n⁺⁺基板41と、からなる並列pn構造の半導体基板が形成されている。

【0006】

並列pn構造の半導体基板の第1の主面側には、プレーナ型のMOS構造が形成されている。p型仕切領域43の上部には、pベース領域48が設けられている。pベース領域48には、第1n⁺ソース領域49aと第2n⁺ソース領域49bが互いに離れて設けられている。第1n⁺ソース領域49aと第2n⁺ソース領域49bは、図示していないが、そのストライプの端部において連結された環状である場合が多い。また、pベース領域48には、第1n⁺ソース領域49aと第2n⁺ソース領域49bとに接するように、p⁺ピックアップ領域50が設けられている。p⁺ピックアップ領域50は、第1n⁺ソース領域49aと第2n⁺ソース領域49bの下側の一部を占めている。

【0007】

また、n型ドリフト領域42と、pベース領域48の、n型ドリフト領域42と第1n⁺ソース領域49aまたは第2n⁺ソース領域49bとに挟まれた領域上に、ゲート酸化膜46を介してゲート電極47が設けられている。ソース電極51は、p⁺ピックアップ領域50、第1n⁺ソース領域49aおよび第2n⁺ソース領域49bに接している。ドレイン電極52は、並列pn構造の半導体基板の第2の主面側、すなわちn⁺⁺基板41の第2主面側の表面に接している。

【0008】

pベース領域48は、ゲート酸化膜46との界面の近傍でn型ドリフト領域42に張り出す。ここで、n型ドリフト領域42の表面の、pベース領域48以外の部分(n型ドリフト領域42の残し部分)の幅(ネック長)を L_{n3} とする。

【0009】

並列pn層のn型ドリフト領域42とp型仕切領域43とはストライプ状に設けられている。そして、並列pn構造の半導体基板の表面で、ゲート電極47はストライプ状に設けられ、図示しない端部において隣接するゲート電極と繋がっている。ソース電極51は図示していないBPSG等の層間絶縁膜を介してゲート電極47上をシート状に覆っている。また、ゲート電極47の下の領域に、ゲート電極47の長手方向と平行な方向に、n型ドリフト領域42の残し部分がストライプ状に設けられている。

10

【0010】

図60または図61に示すような、並列pn層を有する縦型MOSデバイスは、n型ドリフト領域42の濃度 N_0 と、p型仕切領域43の濃度 P_0 と、のチャージバランスによって耐圧が決まり、n型ドリフト領域42の濃度 N_0 によってオン抵抗が決まる。したがって、n型ドリフト領域のみによって耐圧が決まる、従来の単一の導電型を有する半導体基板を用いた縦型MOSデバイスに比べると、オン抵抗-耐圧のトレードオフ関係が改善する。特に、図60に示すように、ゲート電極47の長手方向をn型ドリフト領域42の奥行き方向と平行にすることで、電流の無駄な回り込みが抑制されて、オン抵抗が大幅に低くなる。

【0011】

20

ここで、図60または図61に示す半導体装置において、デバイスの微細化を行うためには、並列pn構造の半導体基板の第1主面側に形成する表面構造を微細化する必要がある。したがって、ゲート電極47の幅を狭くしなければならない。一方、pベース領域48は、ゲート電極47をマスクとして、例えばホウ素などのp型不純物をイオン注入し、熱拡散を行うことで形成される。このとき、横拡散によってpベース領域48が張り出すため、n型ドリフト領域42の幅 W_n が狭まると、n型ドリフト領域42のネック長 L_{n3} も狭まり、オン抵抗が上昇する。さらに、n型ドリフト領域42のネック長 L_{n3} がゼロになる可能性もあり、この場合、トランジスタがオンしなくなってしまう。

【0012】

ここで、微細化に対応する方法としては、トレンチゲート型の半導体装置が提案されている(例えば、下記特許文献4、下記特許文献5、下記特許文献6参照。)。図62は、第2従来例のトレンチゲート型の半導体装置の構造を示す断面図である。図62においては、第2従来例として、特許文献4に記載された半導体装置について説明する。図62に示すように、並列pn層のn型ドリフト領域2の上部に、第1 n^+ ソース領域9aおよび第2 n^+ ソース領域9bと、に接しかつ、pベース領域8を貫通するトレンチゲート用のトレンチ(第2トレンチ)4が設けられている。また、この第2トレンチ4の内部には、ゲート酸化膜6を介してゲート電極7が設けられている。さらに、第2トレンチ4の下の領域には、n型表面バッファ領域65が設けられている。後述するように、n型表面バッファ領域65は、エピタキシャル成長法によって形成されているため角のある形状となっている。

30

40

【0013】

図63~図68は、第2従来例のトレンチゲート型の半導体装置の製造方法を順に示す断面図である。従来のトレンチゲート型の半導体装置は、まず、図63に示すように、 n^{++} 基板1の第1主面側に、p型仕切領域となるp型半導体33をエピタキシャル成長させる。そして、p型半導体33の表面に酸化膜を成長させる。ついで、酸化膜のパターニングを行い、n型ドリフト領域を形成する領域に開口部の設けられた第1酸化膜マスク71を形成する。

【0014】

ついで、図64に示すように、第1酸化膜マスク71をマスクとして、n型ドリフト領域2を形成するための並列pn層形成用トレンチ(第1トレンチ)22を、 n^{++} 基板1に

50

達するように形成する。ついで、第1トレンチ22にn型半導体を埋め込み、平坦化する。さらに、第1酸化膜マスク71を除去する。

【0015】

ついで、図65に示すように、並列pn層の表面にn型半導体35をエピタキシャル成長させる。さらに、第2酸化膜マスク72をマスクとして、p型の不純物をイオン注入し、n型半導体を区画化し、第2酸化膜マスク72を除去する。このようにして、図66に示すように、n型表面バッファ領域65が形成される。n型表面バッファ領域65は、p型の不純物をイオン注入して区画化されるため、p型の不純物をイオン注入した部分は、外側に凸の拡散形状となる。よって、n型表面バッファ領域65は内側に凸の形状となるため、その下端のコーナーが鋭角な角部を有する。また、n型半導体35をエピタキシャル成長させ、選択的にトレンチを形成し、そのトレンチにp型半導体をエピタキシャル成長させた場合は、n型表面バッファ領域65の下端のコーナーが直角な角部を有することとなる。

10

【0016】

ついで、図67に示すように、チャンネル領域(pベース領域8)となるp型半導体68をエピタキシャル成長させる。さらに、図68に示すように、図示しない第3酸化膜マスクをマスクとして、p型半導体68を貫通する第2トレンチ4を形成する。ついで、第2トレンチ4の内壁にゲート酸化膜6を形成し、ゲート酸化膜6の表面にゲート電極7を形成する。

【0017】

20

ついで、図62に示すように、第1n⁺ソース領域9a、第2n⁺ソース領域9b、p⁺ピックアップ領域10を形成する。さらに、層間絶縁膜24、ソース電極11、ドレイン電極12を形成する。このようにして、従来のトレンチゲート型の半導体装置が完成する。

【0018】

また、特許文献5には、図62に示した半導体装置において、第2トレンチ4の下のn型表面バッファ領域65を省いた半導体装置が開示されている。

【0019】

また、図69は、第3従来例のトレンチゲート型の半導体装置の構造を示す断面図である。図69においては、第3従来例として、特許文献6に記載された半導体装置について説明する。図69に示すように、第2トレンチ84の底面にゲート酸化膜6よりも厚い酸化膜86が設けられている。さらに、並列pn層のp型仕切領域83がn⁺⁺基板1に達しておらず、フローティング領域となっている。

30

【0020】

図70~図75は、第3従来例のトレンチゲート型の半導体装置の製造方法を順に示す断面図である。従来の別のトレンチゲート型の半導体装置は、まず、図70に示すように、n⁺⁺基板1の第1主面側に、n型半導体32をエピタキシャル成長させる。そして、n型半導体32の表面に酸化膜を成長させる。ついで、酸化膜のパターニングを行い、p型仕切領域を形成する領域に開口部の設けられた第1酸化膜マスク71を形成する。

【0021】

40

ついで、図71に示すように、第1酸化膜マスク71をマスクとして、トレンチ84を形成する。ついで、図72に示すように、トレンチ84の内壁に、犠牲酸化膜23を形成する。

【0022】

ついで、図73に示すように、p型不純物を高い加速度でイオン注入する。さらに、図74に示すように、p型不純物を低い加速度でイオン注入する。ついで、熱処理を行い、p型不純物を熱拡散させる。これにより、図75に示すように、pベース領域8とp型仕切領域83が形成される。また、n型半導体32の、pベース領域8とp型仕切領域83以外の部分が、n型ドリフト領域82となる。さらに、トレンチ84の内壁にゲート酸化膜6を形成し、底面に厚い酸化膜86を形成する。そしてトレンチ84の内部に、ゲート

50

酸化膜 6 および厚い酸化膜 8 6 を介してゲート電極 7 を形成する。ついで、図 6 9 に示すように、p ベース領域 8 の表面に第 1 n⁺ソース領域 9 a、第 2 n⁺ソース領域 9 b および p⁺ピックアップ領域 1 0 を形成し、層間絶縁膜 2 4 およびソース電極 1 1 を形成する。また、n⁺⁺基板 1 の第 2 主面側にドレイン電極 1 2 を形成する。このようにして、第 3 従来例のトレンチゲート型の半導体装置が完成する。

【 0 0 2 3 】

これらの方法により形成することで、p ベース領域同士がトレンチによって隔てられるため、微細化しても、n 型ドリフト領域のネック長を所定の距離にすることができる。したがって、低いオン抵抗を保持することができる。また、p 型仕切領域と n 型ドリフト領域とを所望のチャージバランスにすることができるため、オン抵抗 - 耐圧のトレードオフ関係を改善することができる。

10

【 0 0 2 4 】

【特許文献 1】特開平 9 - 2 6 6 3 1 1 号公報

【特許文献 2】米国特許第 5 2 1 6 2 7 5 号明細書

【特許文献 3】特開 2 0 0 4 - 1 1 9 6 1 1 号公報

【特許文献 4】特開 2 0 0 3 - 1 2 4 4 6 4 号公報

【特許文献 5】特開 2 0 0 7 - 5 5 1 6 号公報

【特許文献 6】特開 2 0 0 7 - 1 5 8 2 7 5 号公報

【発明の開示】

【発明が解決しようとする課題】

20

【 0 0 2 5 】

しかしながら、上述した特許文献 4 または特許文献 5 の技術では、並列 p n 層を形成するための第 1 トレンチと、ゲート電極を埋め込むための第 2 トレンチと、を異なるマスクによって形成する。したがって、並列 p n 構造を微細化すると、マスクずれの影響を受けやすくなる。図 7 6 は、第 2 従来例のトレンチゲート型半導体装置の問題点を示す図である。図 7 6 に示すように、第 1 トレンチと、第 2 トレンチ 4 と、がマスクずれを起こすことで、第 2 トレンチ 4 の側壁が、並列 p n 層の n 型ドリフト領域 2 と p 型仕切領域 3 との界面からずれた位置に形成される。このため、第 2 トレンチ 4 の下の、n 型表面バッファ領域 6 5 と n 型ドリフト領域 2 との界面の近傍（破線 E で囲んだ領域）に電界が集中する。これによって、デバイスの耐圧が下がるという問題がある。したがって、微細化することが困難である。

30

【 0 0 2 6 】

さらに、第 2 トレンチの下の領域に設けられた n 型表面バッファ領域を、エピタキシャル成長とイオン注入によって形成するため、製造が複雑になり、コストがかかるという問題がある。

【 0 0 2 7 】

一方、特許文献 6 の技術では、並列 p n 層を形成するための並列 p n 層形成用トレンチを形成する必要がない。すなわち、半導体装置の製造過程において、トレンチを形成する工程が、トレンチゲート用トレンチを形成する工程の 1 回のみである。このため、製造が簡単であり、安価である。しかしながら、並列 p n 層の p 型仕切領域をイオン注入と熱処理によって形成するため、並列 p n 層を微細化すると、隣り合う p 型仕切領域同士が近接する。そして、図 7 7 に示すように、トレンチ 8 4 からの p 型仕切領域 8 3 の張り出しの幅 X s p と、トレンチ 8 4 同士の間隔 S t と、が、次の (1) 式の関係を満たすと、隣り合う p 型仕切領域 8 3 同士がつながってしまう。

40

【 0 0 2 8 】

$$S t < 2 \cdot X s p \cdot \cdot \cdot (1)$$

【 0 0 2 9 】

このため、隣り合う p 型仕切領域 8 3 が重なった領域（破線 F で囲んだ領域）に電流が流れなくなるという問題がある。したがって、微細化することが困難である。

【 0 0 3 0 】

50

この発明は、上述した従来技術による問題点を解消するため、並列 p n 構造の半導体基板を有する半導体装置において、微細化をしても、オン抵抗が低く、かつ高耐圧な半導体装置およびその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0031】

上述した課題を解決し、目的を達成するため、この発明にかかる半導体装置は、高不純物濃度の第1導電型の半導体基板と、前記半導体基板の表面に設けられた、第1導電型半導体領域と第2導電型半導体領域とを交互に配置した並列 p n 層と、前記並列 p n 層の前記第2導電型半導体領域または前記第1導電型半導体領域のどちらかに設けられたトレンチと、前記トレンチの内面に設けられた絶縁膜と、前記絶縁膜を介して設けられたゲート電極と、を備える半導体装置において、前記トレンチの少なくとも底面の角部を覆うように、角のない形状の第1導電型の表面バッファ領域が設けられており、前記半導体基板と、前記並列 p n 層の前記第2導電型半導体領域との間に、該第2導電型半導体領域より高不純物濃度の第2導電型層が設けられていることを特徴とする。

10

【0032】

また、この発明にかかる半導体装置は、上述した発明において、前記表面バッファ領域は、熱拡散させた形状であることを特徴とする。

【0033】

また、この発明にかかる半導体装置は、上述した発明において、前記半導体基板と、前記並列 p n 層との間に、第1導電型の裏面バッファ領域が設けられていることを特徴とする。

20

【0035】

また、この発明にかかる半導体装置は、上述した発明において、前記表面バッファ領域は、前記トレンチの底面の角部の近傍にのみ設けられていることを特徴とする。

【0036】

また、この発明にかかる半導体装置の製造方法は、高不純物濃度の第1導電型の半導体基板の表面に、第1導電型半導体または第2導電型半導体を生成する半導体生成工程と、絶縁膜マスクをマスクとして、前記半導体生成工程で生成した一方の導電型の半導体に第1トレンチを形成する第1トレンチ形成工程と、前記第1トレンチに、他方の導電型の半導体を生成することで、一方の導電型の半導体領域と他方の導電型の半導体領域とを交互に配置した並列 p n 層を形成する並列 p n 層形成工程と、前記絶縁膜マスクをマスクとして、前記他方の導電型の半導体領域に第2トレンチを形成する第2トレンチ形成工程と、前記第2トレンチの内部に、ゲート酸化膜を介してゲート電極を形成するゲート電極形成工程と、を含むことを特徴とする。

30

【0037】

また、この発明にかかる半導体装置の製造方法は、高不純物濃度の第1導電型の半導体基板の表面に、第1導電型半導体または第2導電型半導体を生成する半導体生成工程と、絶縁膜マスクをマスクとして、前記半導体生成工程で生成した一方の導電型の半導体に第1トレンチを形成する第1トレンチ形成工程と、前記第1トレンチに、他方の導電型の半導体を生成することで、一方の導電型の半導体領域と他方の導電型の半導体領域とを交互に配置した並列 p n 層を形成する並列 p n 層形成工程と、前記他方の導電型の半導体を研磨して、前記絶縁膜マスクと前記他方の導電型の半導体領域との高さを揃える高さ揃え工程と、前記絶縁膜マスクを除去することで、第2トレンチを形成する第2トレンチ形成工程と、前記第2トレンチの内部に、ゲート酸化膜を介してゲート電極を形成するゲート電極形成工程と、を含むことを特徴とする。

40

【0038】

また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記半導体生成工程の前に、前記半導体基板の表面に、第1導電型の裏面バッファ領域を形成する裏面バッファ領域形成工程を含むことを特徴とする。

【0039】

50

また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記半導体生成工程の前に、前記半導体基板の表面に、第2導電型のエピタキシャル層を形成するエピタキシャル層形成工程を含むことを特徴とする。

【0040】

また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記第2トレンチ形成工程と、前記ゲート電極形成工程との間に、前記第2トレンチの少なくとも底面の角部に第1導電型の不純物をイオン注入するイオン注入工程を含み、前記ゲート電極形成工程の後に、前記イオン注入工程においてイオン注入された第1導電型の不純物に熱拡散を行い、前記第2トレンチの底面の角部に表面バッファ領域を形成する表面バッファ領域形成工程を含むことを特徴とする。

10

【0041】

また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記イオン注入工程においては、前記第2トレンチの底面の中央部に、第1導電型の不純物をイオン注入しないことを特徴とする。

【0042】

上述した発明によれば、ゲート電極を埋め込むためのトレンチの底面に接する第1導電型の表面バッファ領域を、例えばイオン拡散と熱拡散により、簡単に形成することができる。

【0043】

また、上述した発明によれば、並列pn層を形成するための第1トレンチと、ゲート電極を埋め込むための第2トレンチと、を同一の酸化膜マスクを用いて形成することができる。したがって、第1トレンチと第2トレンチとのマスクずれを防ぐことができる。

20

【発明の効果】

【0044】

本発明にかかる半導体装置およびその製造方法によれば、並列pn構造の半導体基板を有する半導体装置において、微細化をしても、オン抵抗を低く、かつ耐圧を高くすることができるという効果を奏する。

【発明を実施するための最良の形態】

【0045】

以下に添付図面を参照して、この発明にかかる半導体装置およびその製造方法の好適な実施の形態を詳細に説明する。なお、以下の実施の形態の説明およびすべての添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。

30

【0046】

(実施の形態1)

図1は、本発明の実施の形態1にかかる半導体装置の構造を示す平面図である。また、図2は、図1の切断線A-A'の断面構造を示す断面図である。図2に示すように、実施の形態1にかかる半導体装置は、並列pn構造の半導体基板を用いて作製されている。並列pn構造の半導体基板は、 n^+ ドレイン領域である抵抗率の低い n^{++} 基板1の第1主面側の表面に、 n 型ドリフト領域(第1導電型半導体領域)2および p 型仕切領域(第2導電型半導体領域)3からなる並列pn層が設けられている。

40

【0047】

n 型ドリフト領域2の上部には、 p ベース領域8が設けられている。 p ベース領域8の表面には、第1 n^+ ソース領域9aと第2 n^+ ソース領域9bが互いに離れて設けられている。さらに、第1 n^+ ソース領域9aと第2 n^+ ソース領域9bとの間に、 p^+ ピックアップ領域10が設けられている。

【0048】

p 型仕切領域3には、ゲート電極を埋め込むためのトレンチ(第2トレンチ)4が設けられており、第2トレンチ4の内部には、ゲート酸化膜6を介して、ゲート電極7が設けられている。ゲート電極7は、例えば、ポリシリコンである。上述した n^{++} 基板1から第1 n^+ ソース領域9a、第2 n^+ ソース領域9bおよび p^+ ピックアップ領域10までが並

50

列 p n 構造の半導体基板である。

【 0 0 4 9 】

並列 p n 構造の半導体基板の表面の第 1 主面側には、層間絶縁膜 2 4 が設けられている。層間絶縁膜 2 4 には開口部が設けられており、この開口部において、ソース電極 1 1 が、 p^+ ピックアップ領域 1 0、第 1 n^+ ソース領域 9 a および第 2 n^+ ソース領域 9 b に接している。ドレイン電極 1 2 は、並列 p n 構造の半導体基板の第 2 の主面側、すなわち n^{++} 基板 1 の第 2 主面側の表面に接している。また、図 1 に示すように、ゲート電極 7 の奥行き方向と、 n 型ドリフト領域 2 および p 型仕切領域 3 の奥行き方向と、が平行である。

【 0 0 5 0 】

つぎに、実施の形態 1 にかかる半導体装置の製造方法について説明する。図 3 ~ 図 7 は、実施の形態 1 にかかる半導体装置の製造方法について順に示す断面図である。実施の形態 1 にかかる半導体装置は、まず、 n^{++} 基板の第 1 主面側に、 n 型ドリフト領域となる n 型半導体をエピタキシャル成長させる。そして、 n 型半導体の表面層に、絶縁膜、例えば酸化膜を堆積する。ついで、酸化膜のパターニングを行い、 p 型仕切領域を形成する領域に開口部の設けられた酸化膜マスクを形成する。そして、図 3 に示すように、酸化膜マスク 2 1 をマスクとして、 p 型仕切領域を形成するための並列 p n 構造形成用トレンチ (第 1 トレンチ) 2 2 を、 n^{++} 基板 1 に達するように形成する。

【 0 0 5 1 】

ついで、図 4 に示すように、 p 型仕切領域となる p 型半導体 3 3 を堆積して、第 1 トレンチ 2 2 に p 型半導体 3 3 を埋め込む。ついで、図 5 に示すように、表面の p 型半導体 3 3 を CMP 研磨し酸化膜マスク 2 1 を残したまま、つぎに p 型半導体 3 3 をオーバーエッチングして、 p 型仕切領域 3 を形成する。このとき、 p 型仕切領域 3 の高さを、 n 型ドリフト領域 2 の高さより低くする。これによって形成された、 p 型仕切領域 3 と n 型ドリフト領域 2 との段差が第 2 トレンチ 4 となる。ついで、図 6 に示すように、熱酸化を行い、第 2 トレンチ 4 の内壁に犠牲酸化膜 2 3 を形成する。そして、酸化膜マスク 2 1 と、犠牲酸化膜 2 3 と、を除去する。

【 0 0 5 2 】

ついで、図 7 に示すように、第 2 トレンチ 4 の内壁に沿って、ゲート酸化膜 6 を成長させ、ゲート電極 7 を埋め込む。そして、隣り合う第 2 トレンチ 4 に挟まれた部分における n 型ドリフト領域 2 に p ベース領域 8 および n 型層 1 9 を形成する。

【 0 0 5 3 】

ついで、図 2 に示すように、 n 型層に p ベース領域 8 まで達する p^+ ピックアップ領域 1 0 を形成する。この p^+ ピックアップ領域 1 0 によって区切られた n 型層が、それぞれ、第 1 n^+ ソース領域 9 a および第 2 n^+ ソース領域 9 b となる。そして、層間絶縁膜 2 4 を堆積させて、 p^+ ピックアップ領域 1 0、第 1 n^+ ソース領域 9 a および第 2 n^+ ソース領域 9 b に達する開口部を形成する。さらに、 p^+ ピックアップ領域 1 0、第 1 n^+ ソース領域 9 a および第 2 n^+ ソース領域 9 b に接するようにソース電極 1 1 を形成する。また、 n^{++} 基板 1 の第 2 主面側に、ドレイン電極 1 2 を形成する。このようにして、実施の形態 1 にかかる半導体装置が完成する。

【 0 0 5 4 】

つぎに、実施の形態 1 にかかる半導体装置と、第 3 従来例 (図 6 9 参照) と、を比較する。ここで、図 3 に示すように、酸化膜マスク 2 1 の厚さを初期膜厚 t_{21} とし、第 1 トレンチ 2 2 の深さを D_{t22} とする。また、図 2 に示すように、第 2 トレンチ 4 の深さを D_{t4} とする。さらに、図 3 において、酸化膜マスク 2 1 をマスクとして、 n 型半導体に第 1 トレンチ 2 2 を形成する際のエッチングの選択比 (シリコン - 酸化シリコン選択比) を S とする。ここで、酸化膜マスク 2 1 の厚さは、図 5 に示すように、第 2 トレンチ 4 を形成した後に、 $0.4 \mu\text{m}$ 程度残っていればよい。その理由は、図 5 にて p 型半導体 3 3 をオーバーエッチングする前に酸化膜 2 1 上にまで成長した p 型半導体 3 3 を CMP 研磨して平滑化するが、その CMP 研磨の停止を酸化膜 2 1 の露出を検出するのに $0.4 \mu\text{m}$ 程度の厚さが必要であるためである。この場合、初期膜厚 t_{21} は、次の (2) 式で与え

10

20

30

40

50

られる。

【0055】

$$t_{21} = \{ (D_{t22} + D_{t4}) / S \} + 0.4 \dots (2)$$

【0056】

ここで、例えば、第1トレンチ22の深さ D_{t22} が $45 \mu\text{m}$ であり、第2トレンチ4の深さ D_{t4} が $3 \mu\text{m}$ または $10 \mu\text{m}$ である場合の、最低限必要な初期膜厚 t_{21} の値を $t_{21\text{min}}$ とする。図8は、最低限必要な初期膜厚 $t_{21\text{min}}$ と、選択比 S との関係を示す特性図である。図8に示すように、選択比 S の値が高くなる程、最低限必要な初期膜厚 $t_{21\text{min}}$ が減少する。例えば、 D_{t4} が $10 \mu\text{m}$ の場合、選択比 S が90以上で、最低限必要な初期膜厚 $t_{21\text{min}}$ が、 $1 \mu\text{m}$ 程度となる。また、 D_{t4} が $3 \mu\text{m}$ の場合、選択比 S が90以上で、最低限必要な初期膜厚 $t_{21\text{min}}$ が、 $1 \mu\text{m}$ より小さくなる。したがって、選択比 S が90以上のときに、最低限必要な初期膜厚 $t_{21\text{min}}$ が、 $1 \mu\text{m}$ 以下となることがわかる。このように、マスクとなる酸化膜の厚さの最低限必要な初期膜厚が少ないため、スループットが向上する。

10

【0057】

図9は、並列 p 層の n 型ドリフト領域と p 型仕切領域の繰り返しピッチと、オン抵抗との関係を示す特性図である。図9において、オン抵抗は、次の(3)式で与えられる値で規格化した。ただし、図2に示すように、 n 型ドリフト領域2の幅を W_n とし、図69に示すように、トレンチ84からの p 型仕切領域83の張り出しの幅を X_{sp} 、トレンチ84同士の間隔を S_t とする。

20

【0058】

$$W_n / (2 X_{sp}) = S_t / (2 X_{sp}) = 4 \dots (3)$$

【0059】

例えば、第1トレンチの深さ D_{t22} が $45 \mu\text{m}$ であり、第2トレンチの深さ D_{t4} が $5 \mu\text{m}$ であり、 n 型ドリフト領域の幅 W_n と、 p 型仕切領域の幅 W_p と、第2トレンチ同士の間隔 S_t と、が同程度であるとする。この場合、図9に示すように、第3従来例では、 n 型ドリフト領域と p 型仕切領域の繰り返しピッチが約1.5(B点の値)より狭くなった場合、オン抵抗が増加する。一方、実施の形態1においては、 n 型ドリフト領域と p 型仕切領域の繰り返しピッチがB点の値より狭くなってもオン抵抗が増加せず、さらに減少している。このとき、耐圧は n 型ドリフト領域と p 型仕切領域とのチャージバランスで決まっているため、第3従来例と実施の形態1とは、ほとんど変わらない。したがって、実施の形態1によれば、微細化を行っても、オン抵抗-耐圧のトレードオフ関係が改善される。

30

【0060】

つぎに、実施の形態1にかかる半導体装置のオン抵抗および耐圧について説明する。ここで、図2に示すように、ソース電極11と半導体との界面から、 p ベース領域8と n 型ドリフト領域2との界面までの距離、すなわち p ベース領域8の拡散深さを、 X_{j1} とする。また、 p ベース領域8と n 型ドリフト領域2との界面から、第2トレンチ4と p 型仕切領域3との界面までの距離、すなわち第2トレンチ4のネック長を、 L_{n3} とする。さらに、ソース電極11と半導体との界面から第2トレンチ4の底面までの距離、すなわち第2トレンチ4の深さを、 D_{t4} とする。

40

【0061】

図10は、実施の形態1にかかる半導体装置における、規格化したオン抵抗または規格化した耐圧と、第2トレンチのネック長と、の関係を示す特性図である。図10に示すように、第2トレンチのネック長 L_{n3} は、次の(4)式によって与えられる。

【0062】

$$D_{t4} = X_{j1} + L_{n3} \dots (4)$$

【0063】

実施の形態1にかかる半導体装置においては、 $0.3 \mu\text{m}$ 以上であることが好ましい。その理由は、ネック長 L_{n3} が $0.3 \mu\text{m}$ 未満の場合、オン抵抗が高く、デバイスがオン

50

しなくなる可能性があり、良好な特性が得られないからである。したがって、第2トレンチの深さ D_{t4} は、次の(5)式によって与えられる。

【0064】

$$D_{t4} = X_{j1} + 0.3 \cdots (5)$$

【0065】

具体的には、pベース領域の拡散深さ X_{j1} が、例えば、 $2.5 \mu\text{m}$ 程度の場合、第2トレンチの深さ D_{t4} は、 $2.8 \mu\text{m}$ 以上であればよい。一方、図10に示すように、ネック長 L_{n3} がn型ドリフト領域の幅 W_n より大きくなると、耐圧が低下する。その理由は、図11に示すように、第2トレンチ4の側壁と、n型ドリフト領域2とが接する領域(符号Cで示す領域)に、電界(図中の破線)が集中するためである。このため、第2ト

10

【0066】

$$D_{t4} = X_{j1} + W_n \cdots (6)$$

【0067】

したがって、前述の(4)式および(5)式と、上述の(6)式をまとめると、ネック長 L_{n3} と、n型ドリフト領域の幅 W_n との関係は、次の(7)式によって与えられる。

【0068】

$$0.3 L_{n3} = W_n \cdots (7)$$

【0069】

実施の形態1によれば、第1トレンチと、第2トレンチとを、同一のマスクによって形成することができる。したがって、第1トレンチと、第2トレンチとのマスクずれを防ぐことができる。このため、マスクずれによる電界集中を防ぎ、耐圧の低下を防ぐことができる。

20

【0070】

(実施の形態2)

図12は、実施の形態2にかかる半導体装置の構造を示す断面図である。図12に示すように、実施の形態2にかかる半導体装置は、第2トレンチ4の底面に接するように、n型表面バッファ領域5が設けられている。ここで、n型表面バッファ領域5は、例えばイオン注入と熱拡散によって形成されているため、角のない形状となっている。すなわち、n型表面バッファ領域5は、第2トレンチ4の底面から等方的に拡散させた形状となっ

30

【0071】

図13または図14は、実施の形態2にかかる半導体装置の製造方法について示す断面図である。実施の形態2にかかる半導体装置は、上述した図3～図6の処理の後に、第2トレンチ4の底面にn型不純物をイオン注入する。ついで、図13に示すように酸化膜マスク21をマスクとして、第2トレンチ4の底面にn型不純物をイオン注入する。そして、酸化膜マスク21と、犠牲酸化膜23と、を除去する。

【0072】

ついで、図14に示すように、ゲート酸化膜6を第2トレンチ4の内壁に沿って成長させ、第2トレンチ4にゲート電極7を埋め込む。そして、熱処理を行い、熱拡散によってn型表面バッファ領域5を形成する。ついで、チャンネル領域となるpベース領域8と、第1n⁺ソース領域および第2n⁺ソース領域となるn型層19を形成する。さらに、図12に示すように、実施の形態1と同様に、pベース領域8、p⁺ピックアップ領域10、第1n⁺ソース領域9a、第2n⁺ソース領域9b、ソース電極11、ドレイン電極12を形成し、実施の形態2にかかる半導体装置が完成する。

40

【0073】

つぎに、実施の形態2にかかる半導体装置のオン抵抗および耐圧について説明する。ここで、図12に示すように、実施の形態2にかかる半導体装置においては、第2トレンチ4の底面の、n型表面バッファ領域5と接する領域の幅を $2 \cdot L_{n4}$ とする。

【0074】

50

図15および図16は、実施の形態2にかかる半導体装置における、規格化したオン抵抗または規格化した耐圧と、第2トレンチのネック長と、の関係を示す特性図である。図15においては、 L_{n4} が $0.3\mu\text{m}$ 以上の場合のオン抵抗と耐圧を示し、図16においては、 L_{n4} が $0.3\mu\text{m}$ 以下の場合のオン抵抗と耐圧を示す。

【0075】

図15または図16に示すように、実施の形態2にかかる半導体装置は、 n 型表面バッファ領域5が形成されているため、オン抵抗が急激に高くなる時のネック長 L_{n3} の値が、実施の形態1にかかる半導体装置のネック長 L_{n3} の値(例えば、 $0.3\mu\text{m}$)より L_{n4} の値だけ低い値となる。したがって、実施の形態1にかかる半導体装置と比べると、前述の(4)式により、第2トレンチの深さ D_{t4} を浅く形成することができる。10
例えば、第2トレンチの深さ D_{t4} が、 p ベース領域の拡散深さ X_{j1} よりも浅い場合でも、 n 型表面バッファ領域が設けられているため、実施の形態1にかかる半導体装置よりネック長 L_{n3} の値を長くすることができる。また、第2トレンチの底面と平行な方向にもネック長 L_{n4} を確保することができるため、オン抵抗が低い状態を保つ L_{n3} の範囲が実施の形態1にかかる半導体装置より L_{n4} の値だけ長くなり、オン抵抗を低くすることができる。なお、図11に示したような電界集中を抑制するためには、実施の形態1と同様に、式(7)を満たすような L_{n3} とすればよい。

【0076】

実施の形態2によれば、実施の形態1よりもオン抵抗を低くすることができる。また、 n 型表面バッファ領域を、例えばイオン注入と熱拡散により、簡単に形成することができ20
るため、コストが低くなる。

【0077】

(実施の形態3)

つぎに、図17は、実施の形態3にかかる半導体装置の構造について示す断面図である。図17に示すように、実施の形態3にかかる半導体装置は、第2トレンチ4の中央部に n 型表面バッファ領域5が形成されていない。

【0078】

図18~図20は、実施の形態3にかかる半導体装置の製造方法について順に示す断面図である。実施の形態3にかかる半導体装置は、上述した図3~図6の処理の後に、まず、図18および図19に示すように、酸化膜マスク21をマスクとして、第2トレンチ430
に n 型不純物を斜めにイオン注入する。このとき、注入角度を調節することによるシャドウ効果を利用して、第2トレンチ4の中央部に n 型不純物を注入しないようにする。そして、酸化膜マスク21と、犠牲酸化膜23と、を除去する。

【0079】

ついで、図20に示すように、第2トレンチ4の内壁に沿って、ゲート酸化膜6を成長させ、ゲート電極7を埋め込む。そして、熱処理を行い、熱拡散によって n 型表面バッファ領域5を形成する。さらに、図17に示すように、実施の形態1または実施の形態2の半導体装置と同様に、 p ベース領域8、 p^+ ピクアップ領域10、第1 n^+ ソース領域9a、第2 n^+ ソース領域9b、層間絶縁膜24、ソース電極11、ドレイン電極12を形成する。このようにして、実施の形態3にかかる半導体装置が完成する。実施の形態3に40
おいては、第2トレンチ4の底面において、一方の角部が n 型表面バッファ領域5と接する領域の幅を L_{n4} とする。

【0080】

実施の形態3によれば、実施の形態2と同様の効果を得ることができる。

【0081】

(実施の形態4)

つぎに、実施の形態4にかかる半導体装置について説明する。実施の形態4にかかる半導体装置は、実施の形態1~実施の形態3にかかる半導体装置の有する並列 pn 構造の半導体基板において、 p 型仕切領域の深さが異なる。図21および図22は、実施の形態4にかかる半導体装置の構造について示す断面図である。ここで、一例として、実施の形態50

1にかかる半導体装置に実施の形態4を適用した例を示す。以下の説明においては、実施の形態1と同様の構成については説明を省略する。図21においては、第1トレンチ22が n^{++} 基板1に達していない。すなわち、p型仕切領域3の深さが、n型ドリフト領域2と n^{++} 基板1との界面よりも浅い。

【0082】

また、図22においては、第1トレンチ22の深さが、n型ドリフト領域2と n^{++} 基板1との界面より深い。すなわち、p型仕切領域3の深さが、n型ドリフト領域2と n^{++} 基板1との界面よりも深い。ここで、n型ドリフト領域2の底面から、p型仕切領域3の底面までの距離 Xb は、 $10\mu\text{m}$ 以下が好ましい。その理由は、距離 Xb が $10\mu\text{m}$ より大きくなると、p型仕切領域3とドレイン電極12が近づいて、耐圧が低下するからである。

10

【0083】

なお、実施の形態4にかかる半導体装置は、第1トレンチを形成する際(図3参照)に、第1トレンチの深さを調整することによって作製することができる。また、実施の形態4は、実施の形態2または実施の形態3にかかる半導体装置にも適用可能である。

【0084】

実施の形態4によれば、p型仕切領域の底面の位置と、n型ドリフト領域と n^{++} 基板との界面の位置と、の間の領域を、並列pn層のp型仕切領域の底面より上の領域とは異なるチャージバランスにすることができる。このため、アバランシェ耐量を向上させることができる。

20

【0085】

(実施の形態5)

つぎに、実施の形態5にかかる半導体装置について説明する。図23~27は、実施の形態5にかかる半導体装置の構造について示す断面図である。ここで、一例として、実施の形態1にかかる半導体装置に、実施の形態5を適用した例について示す。実施の形態5にかかる半導体装置は、図23~27に示すように、並列pn層と n^{++} 基板1との間に、n型ドリフト領域2とは不純物濃度が異なるn型裏面バッファ領域35が設けられている。

【0086】

図23においては、n型ドリフト領域2とn型裏面バッファ領域35との界面と、p型仕切領域3とn型裏面バッファ領域35との界面と、が同じ深さである。図24においては、p型仕切領域3が、n型裏面バッファ領域35に達していない。図25においては、p型仕切領域3の底面の位置が、n型裏面バッファ領域35内である。図26においては、p型仕切領域3の底面の位置が、n型ドリフト領域2と n^{++} 基板1との界面である。図27においては、p型仕切領域3の底面の位置が、 n^{++} 基板1内である。このように、p型仕切領域3の底面の位置と、n型ドリフト領域2とn型裏面バッファ領域35との界面の位置と、が異なってもよい。なお、図27においては、n型裏面バッファ領域35と n^{++} 基板1との界面から、p型仕切領域3の底面までの距離 Xb は、 $10\mu\text{m}$ 以下が好ましい。その理由は、距離 Xb が $10\mu\text{m}$ より大きくなると、p型仕切領域3とドレイン電極12が近づいて、耐圧が低下するからである。

30

40

【0087】

なお、実施の形態5にかかる半導体装置は、 n^{++} 基板の第1主面側にn型半導体をエピタキシャル成長する前に、n型裏面バッファ領域を形成することで作製することができる。そして、このn型裏面バッファ領域の表面に、n型ドリフト領域となるn型半導体をエピタキシャル成長させる。また、実施の形態5は、実施の形態2または実施の形態3にかかる半導体装置にも適用可能である。

【0088】

実施の形態5によれば、p型仕切領域の底面の位置と、n型裏面バッファ領域と n^{++} 基板との界面の位置と、の間の領域を、並列pn層のp型仕切領域の底面より上の領域とは異なるチャージバランスにすることができる。このため、アバランシェ耐量を向上させる

50

ことができる。

【0089】

(実施の形態6)

図28は、実施の形態6にかかる半導体装置の構造について示す断面図である。図28に示すように、実施の形態6にかかる半導体装置は、並列pn構造のn型ドリフト領域2の上部に、第2トレンチ4が設けられている。すなわち、実施の形態1にかかる半導体装置の有する並列pn構造の半導体基板において、n型ドリフト領域2とp型仕切領域3とが置き換わった構造となっている。

【0090】

つぎに、実施の形態6にかかる半導体装置の製造方法について説明する。図29~33は、実施の形態6にかかる半導体装置の製造方法について順に示す断面図である。図29に示すように、実施の形態6にかかる半導体装置は、まず、 n^{++} 基板1の第1主面側に、p型仕切領域3となるp型半導体をエピタキシャル成長させる。そして、p型半導体の表面層に、酸化膜を堆積する。ついで、酸化膜のパターニングを行い、n型ドリフト領域を形成する領域に開口部の設けられた酸化膜マスク21を形成する。そして、酸化膜マスク21をマスクとして、n型ドリフト領域を形成するための第1トレンチ22を、 n^{++} 基板1に達するように形成する。このように、実施の形態6にかかる半導体装置の製造方法は、図3~図7を用いて説明した実施の形態1にかかる半導体装置の製造方法において、並列pn構造の半導体基板におけるn型ドリフト領域2とp型仕切領域3とを置き換えたものである。したがって、その他の構成および製造方法は、実施の形態1と同様のため説明は省略する。

【0091】

図34は、実施の形態6にかかる半導体装置における、規格化したオン抵抗または規格化した耐圧と、第2トレンチのネック長との関係を示す特性図である。ここで、図28において、pベース領域8とp型仕切領域3との界面から、第2トレンチ4とn型ドリフト領域2との界面までの距離、すなわち第2トレンチ4のネック長を、 L_{p3} とする。図34に示すように、オン抵抗-耐圧のトレードオフ関係が良好である L_{p3} の範囲が、実施の形態1にかかる半導体装置の L_{n3} の範囲(図15参照)よりも広い。その理由は、n型表面バッファ領域が形成されていない場合でも、第2トレンチの底面がn型の半導体層(例えば、n型ドリフト領域)と接しているため、この部分に第2トレンチの底面と水平方向のネック長 L_{n4} を確保することができるからである。また、図28において、ネック長 L_{p3} は、次の(8)式または(9)式によって与えられる。

【0092】

$$X_{j1} - D_{t4} = X_{j1} + L_{p3} - X_{j1} + W_p \cdots (8)$$

【0093】

$$0 - L_{p3} - W_p \cdots (9)$$

【0094】

その理由は、図28において第2トレンチ4の深さ D_{t4} が、pベース領域8の拡散深さ X_{j1} よりも浅いと、第2トレンチ4の下側で、第2トレンチ4の左右のpベース領域8が繋がってしまい、オンしなくなるからである。また、第2トレンチ4の深さ D_{t4} が、pベース領域8の拡散深さ X_{j1} にp型仕切領域3の幅 W_p を加算した値よりも深い場合、耐圧が低下したり、チャンネル長 L_{ch} が長くなるためにオン抵抗が増大したりするからである。

【0095】

実施の形態6によれば、実施の形態1と同様の効果を得ることができる。さらに、実施の形態6によれば、実施の形態1よりもオン抵抗-耐圧のトレードオフ関係を改善することができる。

【0096】

(実施の形態7)

つぎに、図35は、実施の形態7にかかる半導体装置の構造について示す断面図であり

、図36および図37は、実施の形態7にかかる半導体装置の製造方法について示す断面図である。実施の形態7にかかる半導体装置は、実施の形態6にかかる半導体装置に実施の形態2を適用した半導体装置である。すなわち、実施の形態7にかかる半導体装置は、実施の形態2にかかる半導体装置と、並列pn構造のn型ドリフト領域2とp型仕切領域3とを置き換えたものである。したがって、その他の構成および製造方法は同様のため、説明を省略する。

【0097】

(実施の形態8)

図38は、実施の形態8にかかる半導体装置の構造について示す断面図であり、図39～41は、実施の形態8にかかる半導体装置の製造方法について順に示す断面図である。実施の形態8にかかる半導体装置は、実施の形態6にかかる半導体装置に、実施の形態3を適用した半導体装置である。すなわち実施の形態8にかかる半導体装置は、実施の形態3にかかる半導体装置の、並列pn構造のn型ドリフト領域2とp型仕切領域3とを置き換えたものである。したがって、その他の構成および製造方法は同様のため、説明を省略する。

10

【0098】

(実施の形態9)

つぎに、実施の形態9にかかる半導体装置について説明する。実施の形態9にかかる半導体装置は、実施の形態6にかかる半導体装置の並列pn構造半導体基板において、n型ドリフト領域の底面の位置が、p型仕切領域とn⁺⁺基板1との界面よりも浅い位置にある。ここで、一例として、実施の形態6にかかる半導体装置に実施の形態9を適用した例を示す。

20

【0099】

図42は、実施の形態9にかかる半導体装置の構造について示す断面図である。図42に示すように、第1トレンチ22の深さが、p型仕切領域3とn⁺⁺基板1との界面の位置より深い。すなわち、n型ドリフト領域2の底面の位置が、p型仕切領域3とn⁺⁺基板1との界面の位置よりも深い位置にある。ここで、p型仕切領域3とn⁺⁺基板1との界面から、n型ドリフト領域2の底面までの距離Xbは、10μm以下が好ましい。その理由は、距離Xbが10μmより大きくなると、n型ドリフト領域2とドレイン電極12の距離が近づいて、耐圧が低下するからである。

30

【0100】

なお、n型ドリフト領域2を形成するための第1トレンチ22の深さがp型仕切領域とn⁺⁺基板1との界面の位置より浅い場合、n型ドリフト領域2とn⁺⁺基板1とが電気的につながらない。このため、デバイスがオンしなくなるため好ましくない。また、実施の形態9は、実施の形態7または実施の形態8にかかる半導体装置にも適用可能である。

【0101】

実施の形態9によれば、実施の形態4と同様の効果を得ることができる。

【0102】

(実施の形態10)

つぎに、実施の形態10にかかる半導体装置について説明する。ここでは、一例として、実施の形態6にかかる半導体装置に、実施の形態10を適用した例について示す。図43および図44は、実施の形態10にかかる半導体装置の構造について示す断面図である。図43および図44に示すように、実施の形態10にかかる半導体装置は、p型仕切領域3とn⁺⁺基板1との間に、p型仕切領域3とは不純物濃度が異なるpエピタキシャル層38が設けられている。図43においては、n型ドリフト領域2の底面が、pエピタキシャル層38とn⁺⁺基板1との界面に接している。図44においては、n型ドリフト領域2の底面の位置が、n⁺⁺基板1内である。このように、実施の形態10によれば、n型ドリフト領域2は、n⁺⁺基板1と接している必要がある。

40

【0103】

なお、図44においては、n⁺⁺基板1とpエピタキシャル層38との界面から、n型ド

50

リフト領域 2 の底面までの距離 X_b は、 $10\ \mu\text{m}$ 以下が好ましい。その理由は、距離 X_b が $10\ \mu\text{m}$ より大きくなると、 n 型ドリフト領域 2 とドレイン電極 12 との距離が近づいて、耐圧が低下するからである。また、実施の形態 10 は、実施の形態 7 または実施の形態 8 にかかる半導体装置にも適用可能である。

【0104】

実施の形態 10 によれば、 n 型ドリフト領域の底面の位置と、 p エピタキシャル層と n^{++} 基板との界面の位置と、の間の領域を、並列 p n 層の p 型仕切領域の底面より上の領域とは異なるチャージバランスにすることができる。このため、アバランシェ耐量を向上することができる。

【0105】

(実施の形態 11)

つぎに、実施の形態 11 にかかる半導体装置について説明する。ここでは、一例として、実施の形態 6 にかかる半導体装置に、実施の形態 11 を適用した例について示す。図 45 ~ 図 48 は、実施の形態 11 にかかる半導体装置の構造について示す断面図である。図 45 ~ 図 48 に示すように、実施の形態 11 にかかる半導体装置は、 p 型仕切領域 3 と n^{++} 基板 1 との間に、 n 型裏面バッファ領域 35 が設けられている。 n 型裏面バッファ領域 35 の不純物濃度は、 n 型ドリフト領域 2 の不純物濃度と等しくてもよいし、異なってもよい。

【0106】

図 45 においては、 n 型ドリフト領域 2 の底面が、 n 型裏面バッファ領域 35 と n^{++} 基板 1 との界面に接している。図 46 においては、 n 型ドリフト領域 2 の底面の位置が、 n 型裏面バッファ領域 35 内である。図 47 においては、 n 型ドリフト領域 2 の底面が、 p 型仕切領域と n 型裏面バッファ領域 35 との界面に接している。図 48 においては、 n 型ドリフト領域 2 の底面の位置が、 n^{++} 基板 1 内である。

【0107】

なお、図 48 においては、 n^{++} 基板 1 と n 型裏面バッファ領域 35 との界面から、 n 型ドリフト領域 2 の底面までの距離 X_b は、 $10\ \mu\text{m}$ 以下が好ましい。その理由は、距離 X_b が $10\ \mu\text{m}$ より大きくなると、 n 型ドリフト領域 2 とドレイン電極 12 との距離が近づいて、耐圧が低下するからである。また、実施の形態 11 は、実施の形態 7 または実施の形態 8 にかかる半導体装置に適用可能である。

【0108】

実施の形態 11 によれば、実施の形態 10 と同様の効果を得ることができる。

【0109】

(実施の形態 12)

つぎに、実施の形態 12 について説明する。実施の形態 12 は、実施の形態 1 ~ 実施の形態 11 と、並列 p n 構造の半導体基板を製造する方法が異なる。図 49 ~ 53 は、実施の形態 12 にかかる半導体装置の製造方法について示す断面図である。実施の形態 12 においては、一例として、実施の形態 1 にかかる半導体装置に実施の形態 12 を適用した例を示す。

【0110】

実施の形態 12 においては、まず、図 49 に示すように、 n^{++} 基板 1 の第 1 主面側の表面に、 p 型仕切領域となる p 型半導体をエピタキシャル成長させる。このとき、 p 型半導体の高さを、図 5 に示す第 1 トレンチ 22 の深さ D_{t22} から、第 2 トレンチの深さ D_{t4} を減算した値とする。そして、 p 型半導体の表面層に、酸化膜を堆積する。ついで、酸化膜のパターニングを行い、 n 型ドリフト領域を形成する領域に開口部の設けられた酸化膜マスク 21 を形成する。ここで、酸化膜マスク 21 の厚さ $t_{21'}$ を、図 2 に示す初期膜厚 t_{21} に、第 2 トレンチの深さを加算した値とする。そして、酸化膜マスク 21 をマスクとして、 n 型ドリフト領域を形成するための第 1 トレンチ 22 を、 n^{++} 基板 1 に達するように形成する。このときエッチングを行う深さが $(D_{t22} - D_{t4})$ となり、実施の形態 1 におけるエッチングの深さ (D_{t22}) よりも少なくすることができる。

10

20

30

40

50

【0111】

ついで、図50に示すように、n型ドリフト領域となるn型半導体32を堆積して、第1トレンチ22にn型半導体32を埋め込む。ついで、図51に示すように、酸化膜マスク21をストッパーとして、CMP（化学機械研磨）などにより研磨を行い、n型半導体と、酸化膜マスク21との高さを揃える。これによって、n型ドリフト領域2を形成する。また、このとき、酸化膜マスク21の深さが、後に形成される第2トレンチの深さ Dt_4 になるようにする。

【0112】

ついで、図52に示すように、研磨面に熱酸化を行い、犠牲酸化膜23を形成する。さらに、酸化膜マスク21をマスクとして、pベース領域を形成するためのp型不純物をイオン注入する。そして、酸化膜マスク21と、犠牲酸化膜23とを除去する。

10

【0113】

ついで、図53に示すように、酸化膜マスクを除去することで形成された第2トレンチ4の内壁に沿ってゲート酸化膜6を成長させ、さらに、ゲート電極7を埋め込む。また、pベース領域8の表面層に、第1n⁺ソース領域および第2n⁺ソース領域となるn型層19を形成する。ついで、図2に示すように、p⁺ピックアップ領域10、第1n⁺ソース領域9a、第2n⁺ソース領域9b、ソース電極11およびドレイン電極12を形成して、図2に示した実施の形態1にかかる半導体装置と同様の構造の半導体装置が完成する。

【0114】

なお、実施の形態12においては、n型表面ドリフト層を形成してもよい。この場合、酸化膜マスクを除去することで形成された第2トレンチの内壁に、ゲート酸化膜を成長させる前に、所定の位置にn型不純物をイオン注入し、熱処理を行う。

20

【0115】

つぎに、実施の形態6にかかる半導体装置に実施の形態12を適用した例を示す。図54～58は、実施の形態12にかかる半導体装置の別の製造方法について示す断面図である。図54～58においては、上述した図49～図53を用いて説明した製造方法において、並列pn構造のn型ドリフト領域2とp型仕切領域3とを置き換えたものである。したがって、その他の製造方法は同様のため説明は省略する。

【0116】

また、図59は、最低限必要な初期膜厚 $t_{21'min}$ と、選択比Sとの関係を示す特性図である。選択比Sは有限であるため、例えば、シリコンをエッチングする際にも、シリコン酸化膜である酸化膜マスクの一部がエッチングされる。したがって、 $t_{21'min}$ は、第2トレンチの仕上がり深さよりも大きくしなければならない。なお、実施の形態12は、実施の形態2～実施の形態5または実施の形態7～実施の形態11にかかる半導体装置にも適用可能である。

30

【0117】

実施の形態12によれば、酸化膜マスクの高さを第2トレンチの深さにすることで、第1トレンチを形成する際に、エッチングを行う深さを少なくすることができる。また、酸化膜マスクの高さが第2トレンチの深さとなるため、第1トレンチに半導体を埋め込んだ後のエッチングを行う深さを少なくすることができる。

40

【0118】

なお、上述の半導体装置の説明においては第1導電型をn型とし、第2導電型をp型としたが、本発明は第1導電型をp型とし、第2導電型をn型としても同様に成り立つ。

【産業上の利用可能性】

【0119】

以上のように、本発明にかかる半導体装置およびその製造方法は、大電力用半導体素子の製造に有用であり、特に、並列pn構造の半導体基板を有し、高耐圧化とオン抵抗の特性の改善を両立させることのできる半導体装置に適している。

【図面の簡単な説明】

【0120】

50

- 【図 1】本発明の実施の形態 1 にかかる半導体装置の構造を示す平面図である。
- 【図 2】図 1 の切断線 A - A' の断面構造を示す断面図である。
- 【図 3】実施の形態 1 にかかる半導体装置の製造方法について示す断面図である。
- 【図 4】実施の形態 1 にかかる半導体装置の製造方法について示す断面図である。
- 【図 5】実施の形態 1 にかかる半導体装置の製造方法について示す断面図である。
- 【図 6】実施の形態 1 にかかる半導体装置の製造方法について示す断面図である。
- 【図 7】実施の形態 1 にかかる半導体装置の製造方法について示す断面図である。
- 【図 8】最低限必要な初期膜厚 t_{21min} と、選択比 S との関係を示す特性図である。
- 【図 9】並列 pn 層の n 型ドリフト領域と p 型仕切領域の繰り返しピッチと、オン抵抗との関係を示す特性図である。 10
- 【図 10】実施の形態 1 にかかる半導体装置における、規格化したオン抵抗または規格化した耐圧と、第 2 トレンチのネック長と、の関係を示す特性図である。
- 【図 11】電界の集中する領域を示す説明図である。
- 【図 12】実施の形態 2 にかかる半導体装置の構造を示す断面図である。
- 【図 13】実施の形態 2 にかかる半導体装置の製造方法について示す断面図である。
- 【図 14】実施の形態 2 にかかる半導体装置の製造方法について示す断面図である。
- 【図 15】実施の形態 2 にかかる半導体装置における、規格化したオン抵抗または規格化した耐圧と、第 2 トレンチのネック長と、の関係を示す特性図である。
- 【図 16】実施の形態 2 にかかる半導体装置における、規格化したオン抵抗または規格化した耐圧と、第 2 トレンチのネック長と、の関係を示す特性図である。 20
- 【図 17】実施の形態 3 にかかる半導体装置の構造について示す断面図である。
- 【図 18】実施の形態 3 にかかる半導体装置の製造方法について示す断面図である。
- 【図 19】実施の形態 3 にかかる半導体装置の製造方法について示す断面図である。
- 【図 20】実施の形態 3 にかかる半導体装置の製造方法について示す断面図である。
- 【図 21】実施の形態 4 にかかる半導体装置の構造について示す断面図である。
- 【図 22】実施の形態 4 にかかる半導体装置の構造について示す断面図である。
- 【図 23】実施の形態 5 にかかる半導体装置の構造について示す断面図である。
- 【図 24】実施の形態 5 にかかる半導体装置の構造について示す断面図である。
- 【図 25】実施の形態 5 にかかる半導体装置の構造について示す断面図である。
- 【図 26】実施の形態 5 にかかる半導体装置の構造について示す断面図である。 30
- 【図 27】実施の形態 5 にかかる半導体装置の構造について示す断面図である。
- 【図 28】実施の形態 6 にかかる半導体装置の構造について示す断面図である。
- 【図 29】実施の形態 6 にかかる半導体装置の製造方法について示す断面図である。
- 【図 30】実施の形態 6 にかかる半導体装置の製造方法について示す断面図である。
- 【図 31】実施の形態 6 にかかる半導体装置の製造方法について示す断面図である。
- 【図 32】実施の形態 6 にかかる半導体装置の製造方法について示す断面図である。
- 【図 33】実施の形態 6 にかかる半導体装置の製造方法について示す断面図である。
- 【図 34】実施の形態 6 にかかる半導体装置における、規格化したオン抵抗または規格化した耐圧と、第 2 トレンチのネック長と、の関係を示す特性図である。
- 【図 35】実施の形態 7 にかかる半導体装置の構造について示す断面図である。 40
- 【図 36】実施の形態 7 にかかる半導体装置の製造方法について示す断面図である。
- 【図 37】実施の形態 7 にかかる半導体装置の製造方法について示す断面図である。
- 【図 38】実施の形態 8 にかかる半導体装置の構造について示す断面図である。
- 【図 39】実施の形態 8 にかかる半導体装置の製造方法について示す断面図である。
- 【図 40】実施の形態 8 にかかる半導体装置の製造方法について示す断面図である。
- 【図 41】実施の形態 8 にかかる半導体装置の製造方法について示す断面図である。
- 【図 42】実施の形態 9 にかかる半導体装置の構造について示す断面図である。
- 【図 43】実施の形態 10 にかかる半導体装置の構造について示す断面図である。
- 【図 44】実施の形態 10 にかかる半導体装置の構造について示す断面図である。
- 【図 45】実施の形態 11 にかかる半導体装置の構造について示す断面図である。 50

- 【図46】実施の形態11にかかる半導体装置の構造について示す断面図である。
 【図47】実施の形態11にかかる半導体装置の構造について示す断面図である。
 【図48】実施の形態11にかかる半導体装置の構造について示す断面図である。
 【図49】実施の形態12にかかる半導体装置の製造方法について示す断面図である。
 【図50】実施の形態12にかかる半導体装置の製造方法について示す断面図である。
 【図51】実施の形態12にかかる半導体装置の製造方法について示す断面図である。
 【図52】実施の形態12にかかる半導体装置の製造方法について示す断面図である。
 【図53】実施の形態12にかかる半導体装置の製造方法について示す断面図である。
 【図54】実施の形態12にかかる半導体装置の別の製造方法について示す断面図である

10

- 。【図55】実施の形態12にかかる半導体装置の別の製造方法について示す断面図である。
 。【図56】実施の形態12にかかる半導体装置の別の製造方法について示す断面図である。
 。【図57】実施の形態12にかかる半導体装置の別の製造方法について示す断面図である。
 。【図58】実施の形態12にかかる半導体装置の別の製造方法について示す断面図である

。【図59】最低限必要な初期膜厚 t_{21}^{\min} と、選択比 S との関係を示す特性図である。

20

- 【図60】第1従来例の縦型MOSデバイスの構成を示す平面図である。
 【図61】図60の切断線D-D'における断面構造を示す断面図である。
 【図62】第2従来例のトレンチゲート型の半導体装置の構造を示す断面図である。
 【図63】第2従来例のトレンチゲート型の半導体装置の製造方法を示す断面図である。
 【図64】第2従来例のトレンチゲート型の半導体装置の製造方法を示す断面図である。
 【図65】第2従来例のトレンチゲート型の半導体装置の製造方法を示す断面図である。
 【図66】第2従来例のトレンチゲート型の半導体装置の製造方法を示す断面図である。
 【図67】第2従来例のトレンチゲート型の半導体装置の製造方法を示す断面図である。
 【図68】第2従来例のトレンチゲート型の半導体装置の製造方法を示す断面図である。
 【図69】第3従来例のトレンチゲート型の半導体装置の構造を示す断面図である。
 【図70】第3従来例のトレンチゲート型の半導体装置の製造方法を示す断面図である。
 【図71】第3従来例のトレンチゲート型の半導体装置の製造方法を示す断面図である。
 【図72】第3従来例のトレンチゲート型の半導体装置の製造方法を示す断面図である。
 【図73】第3従来例のトレンチゲート型の半導体装置の製造方法を示す断面図である。
 【図74】第3従来例のトレンチゲート型の半導体装置の製造方法を示す断面図である。
 【図75】第3従来例のトレンチゲート型の半導体装置の製造方法を示す断面図である。
 【図76】第2従来例のトレンチゲート型半導体装置の問題点を示す図である。
 【図77】第3従来例のトレンチゲート型半導体装置の問題点を示す図である。

30

【符号の説明】

【0121】

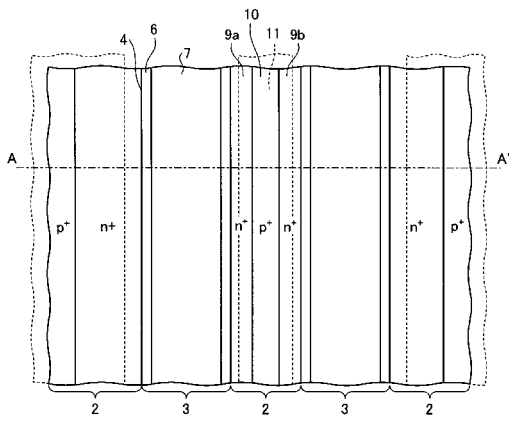
40

- 1 n^{++} 基板
- 2 n 型ドリフト領域(第1導電型半導体領域)
- 3 p 型仕切領域(第2導電型半導体領域)
- 4 第2トレンチ
- 5 n 型表面バッファ領域
- 6 ゲート酸化膜
- 7 ゲート電極
- 8 p ベース領域
- 9 a 第1 n^{+} ソース領域
- 9 b 第2 n^{+} ソース領域

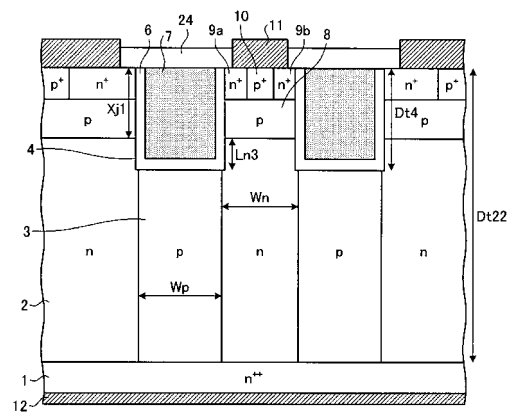
50

- 10 p⁺ピックアップ領域
- 11 ソース電極
- 12 ドレイン電極
- 24 層間絶縁膜

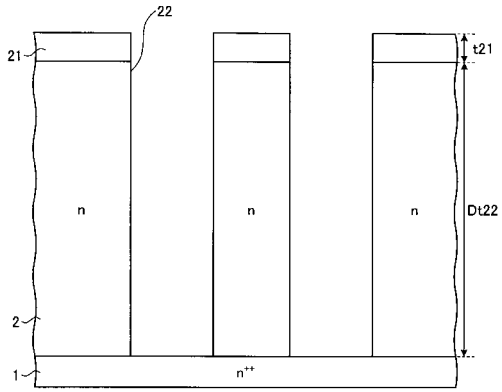
【図1】



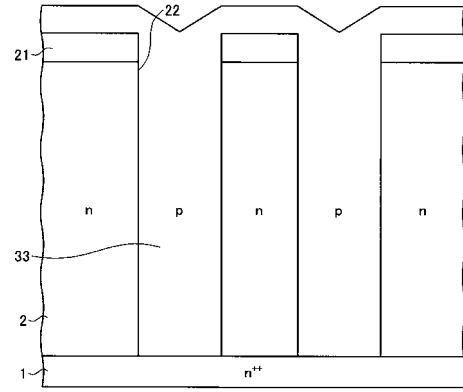
【図2】



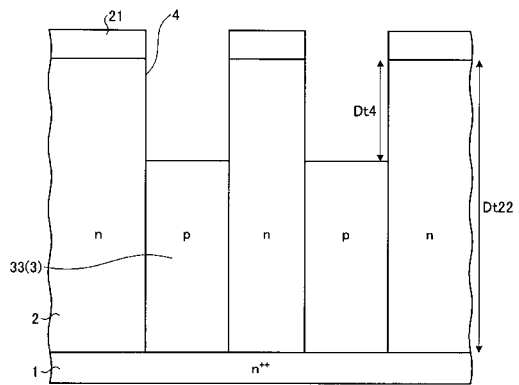
【図3】



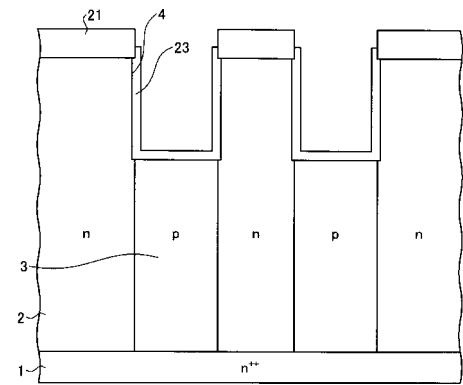
【図4】



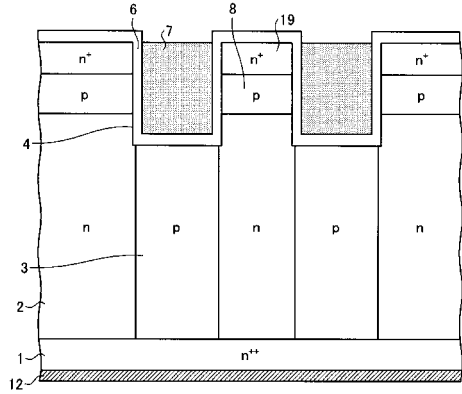
【図5】



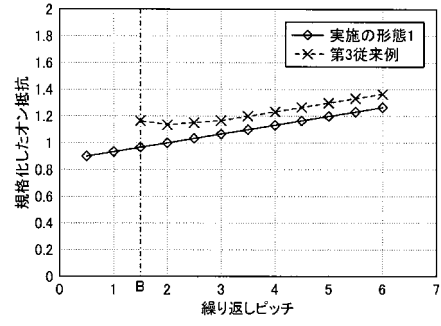
【図6】



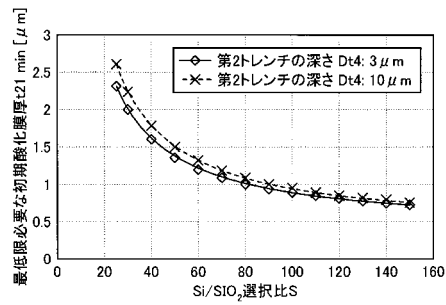
【図7】



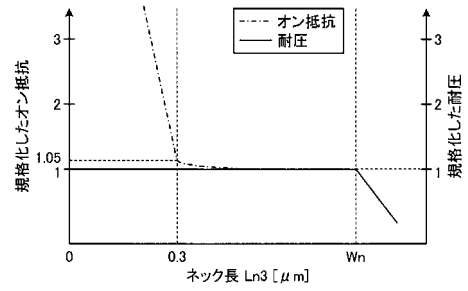
【図9】



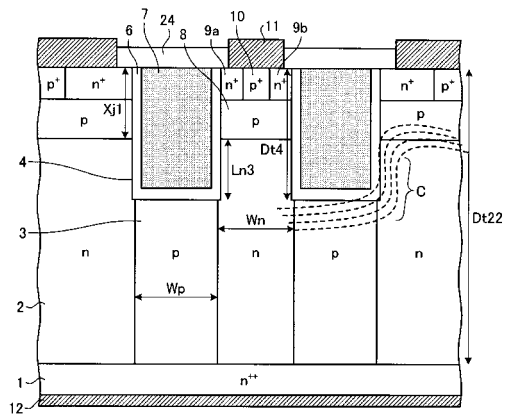
【図8】



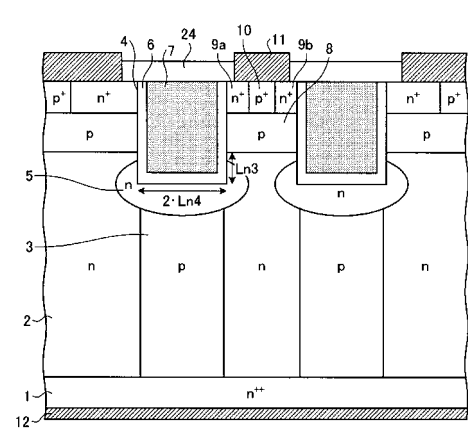
【図10】



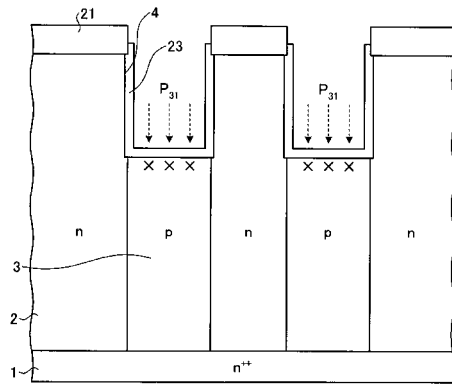
【図11】



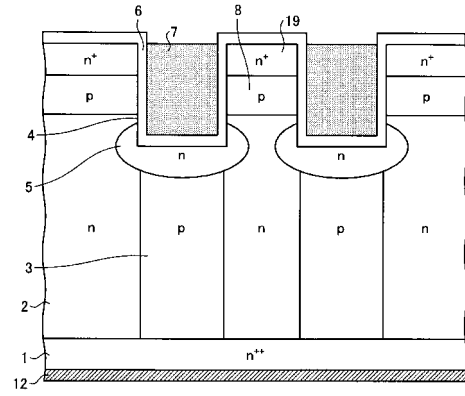
【図12】



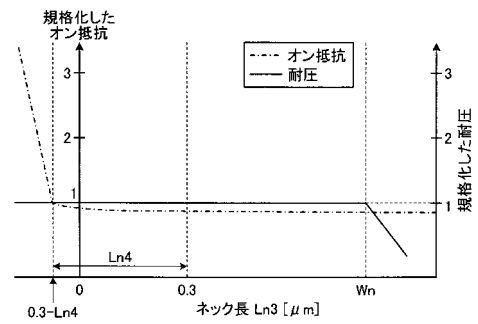
【図13】



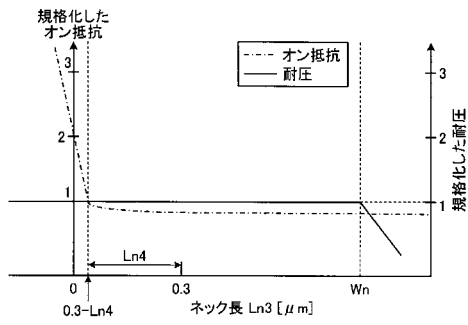
【図14】



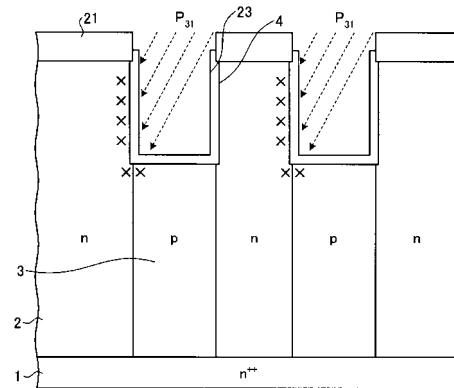
【図15】



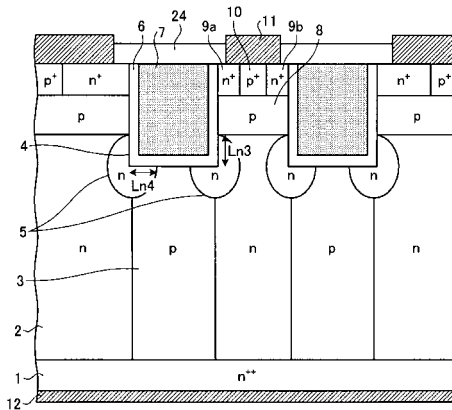
【図16】



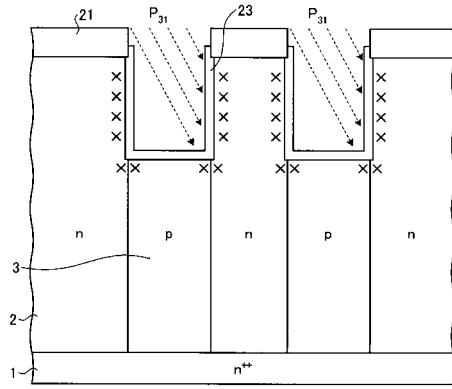
【図18】



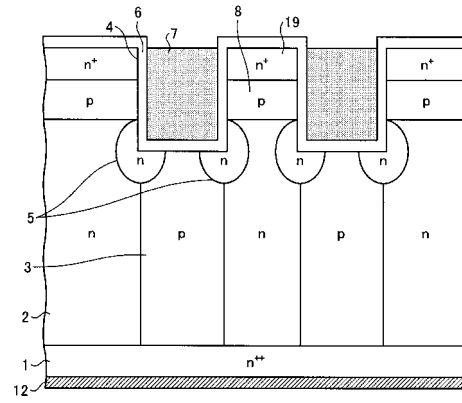
【図17】



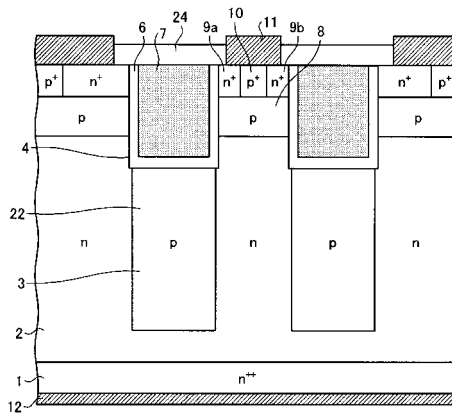
【図 19】



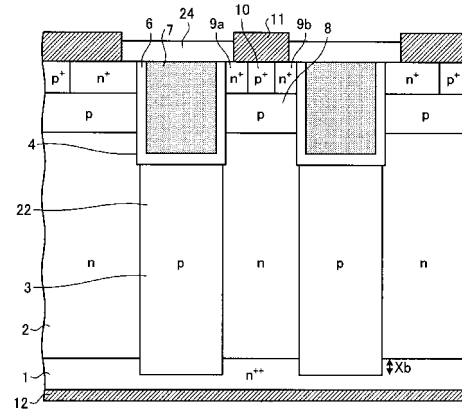
【図 20】



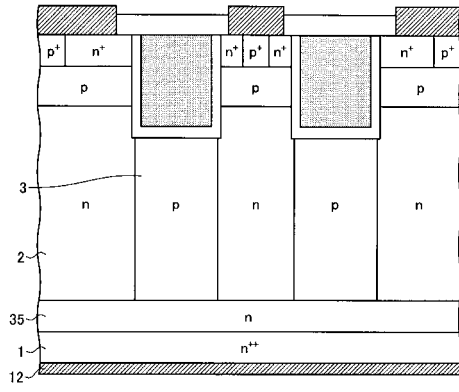
【図 21】



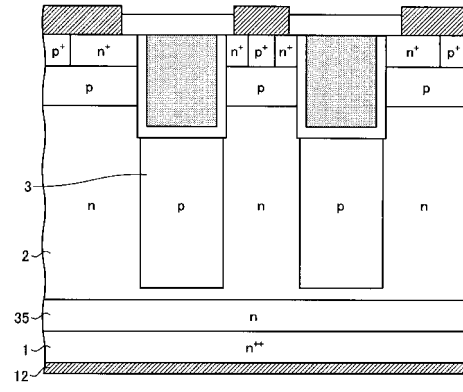
【図 22】



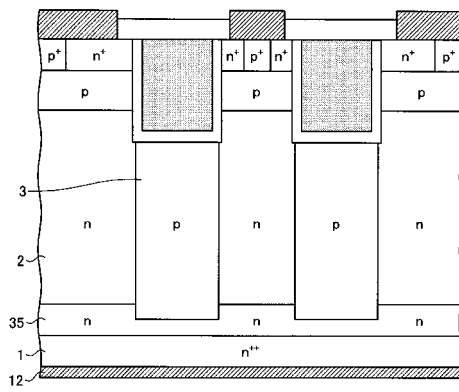
【図 23】



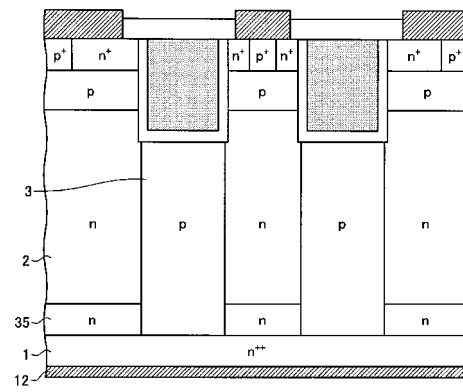
【図 24】



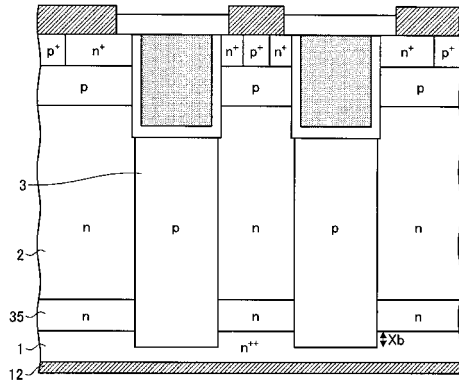
【図 25】



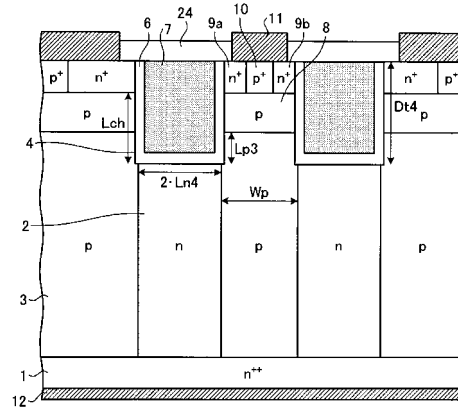
【図 26】



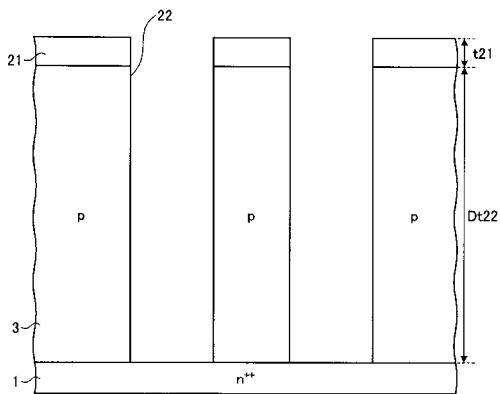
【 27 】



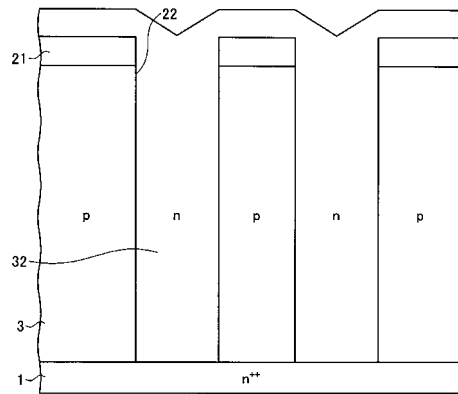
【 28 】



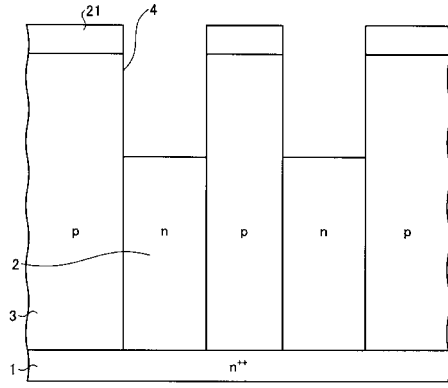
【 29 】



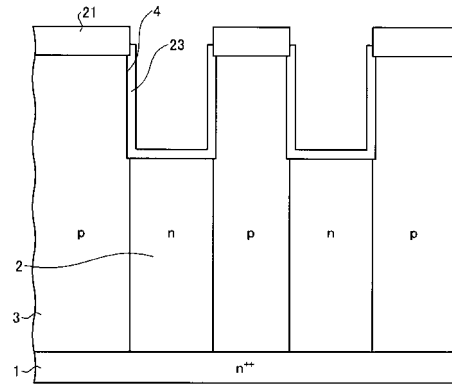
【 30 】



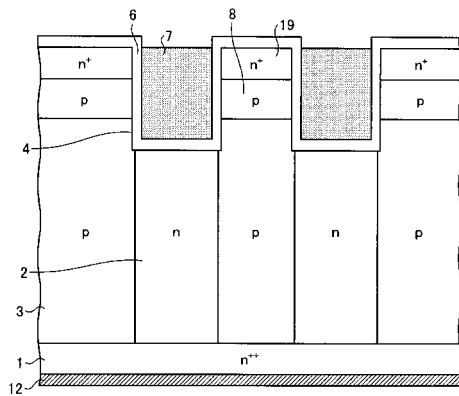
【図 3 1】



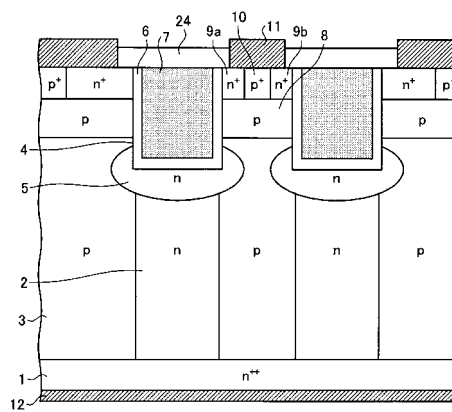
【図 3 2】



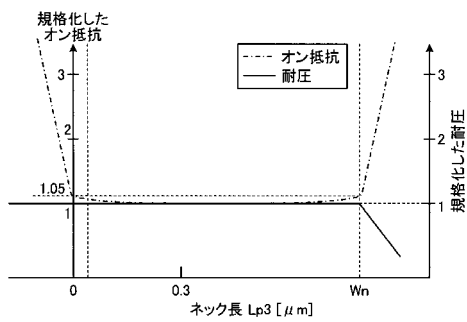
【図 3 3】



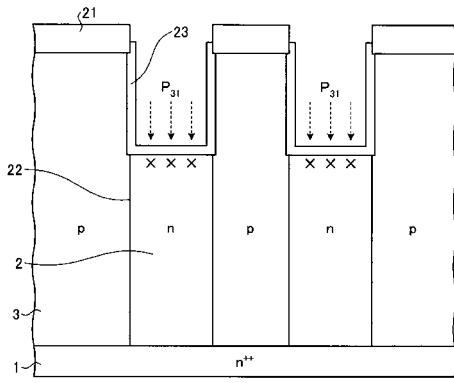
【図 3 5】



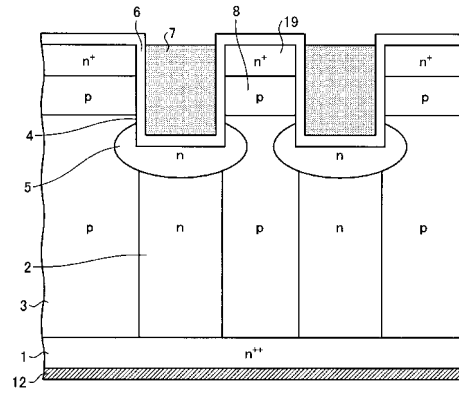
【図 3 4】



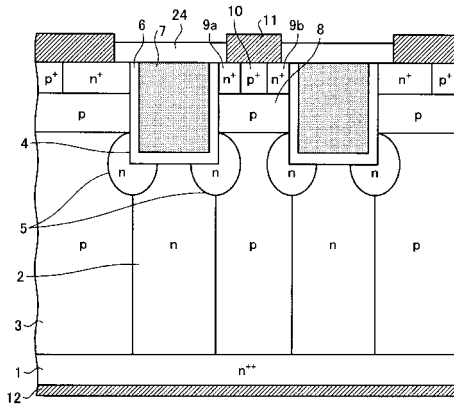
【図 36】



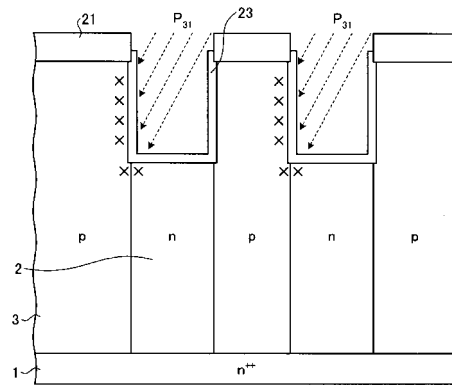
【図 37】



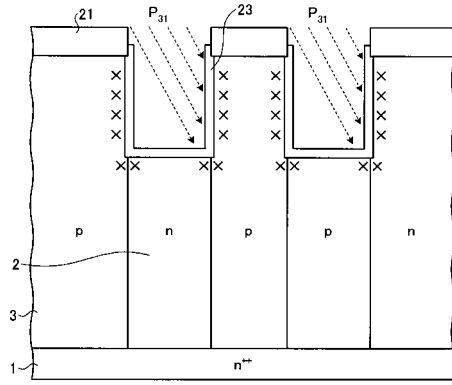
【図 38】



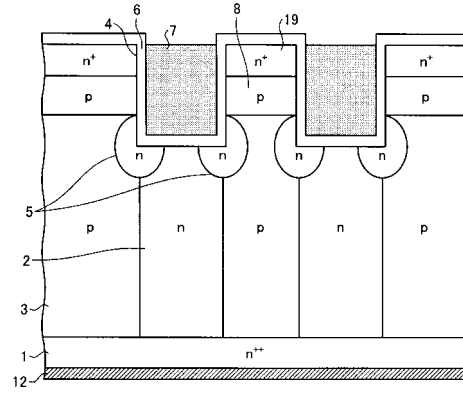
【図 39】



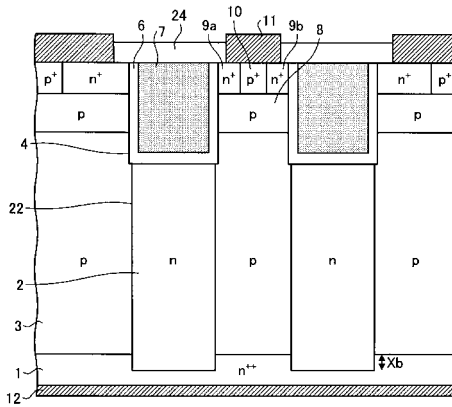
【 40 】



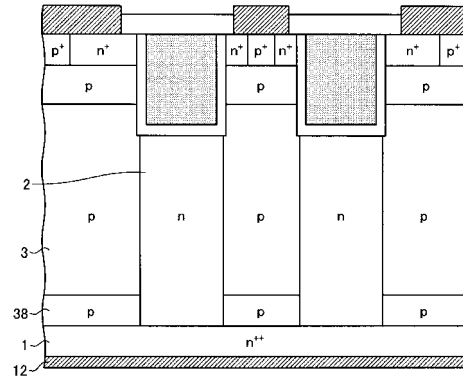
【 41 】



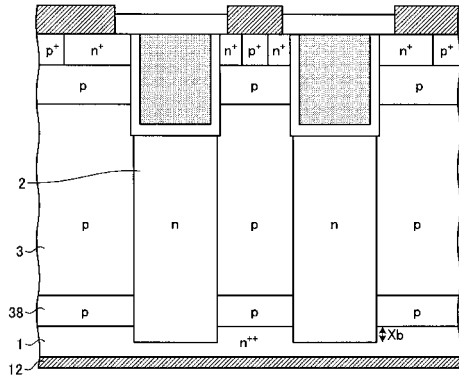
【 42 】



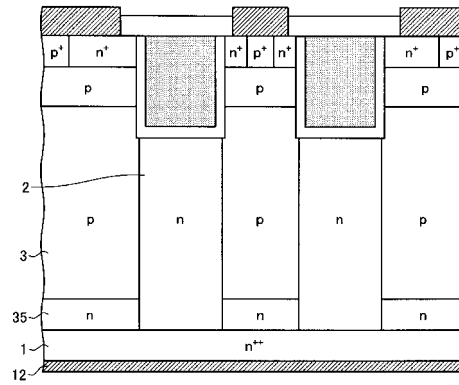
【 43 】



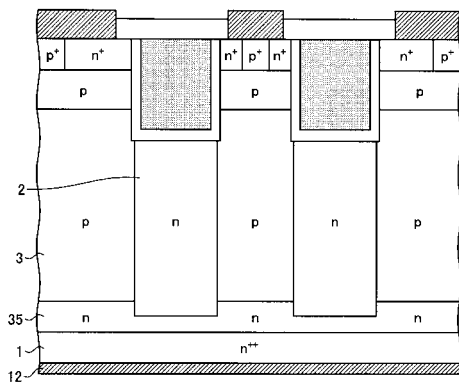
【 4 4 】



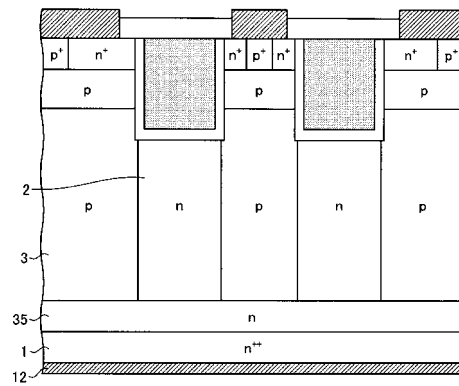
【 4 5 】



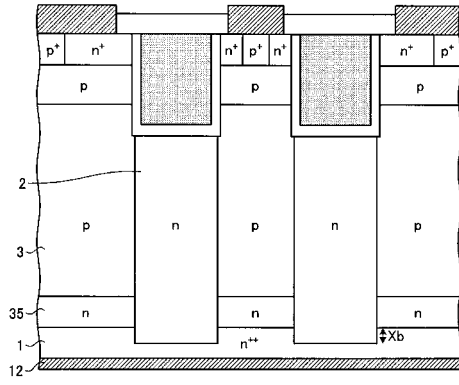
【 4 6 】



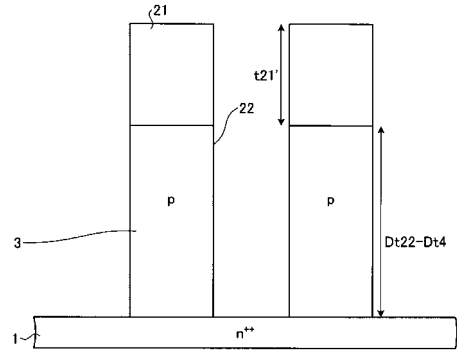
【 4 7 】



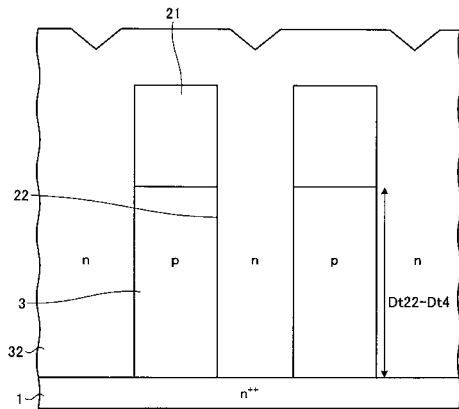
【 48 】



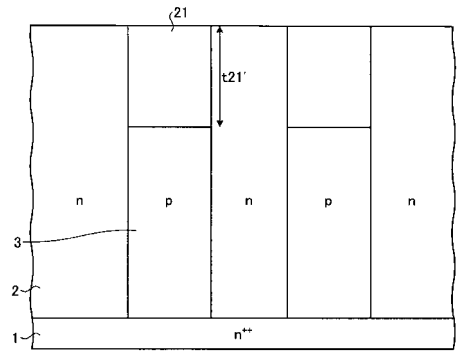
【 49 】



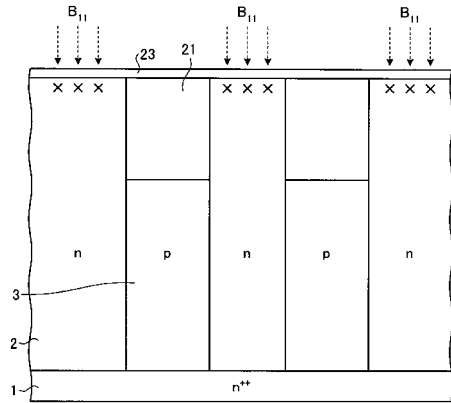
【 50 】



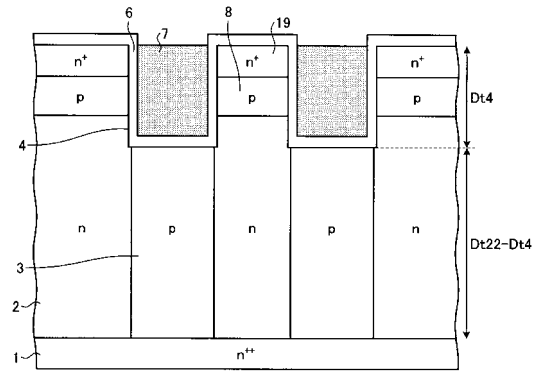
【 51 】



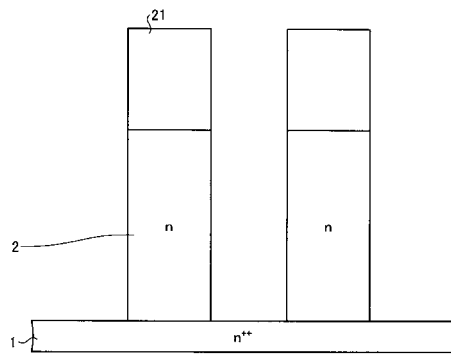
【 5 2 】



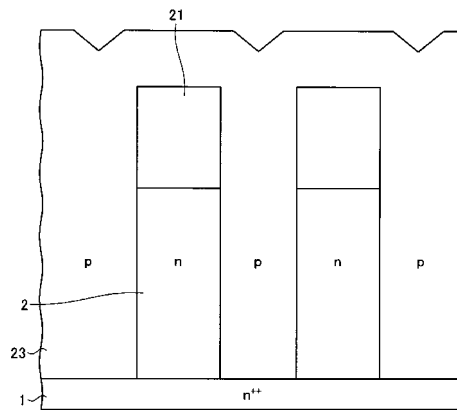
【 5 3 】



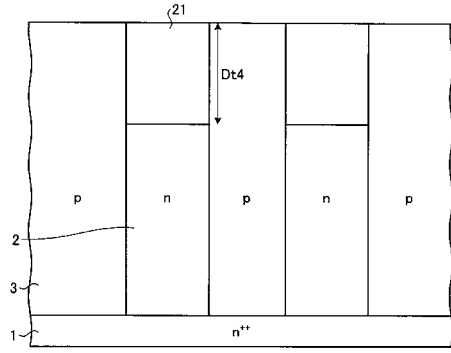
【 5 4 】



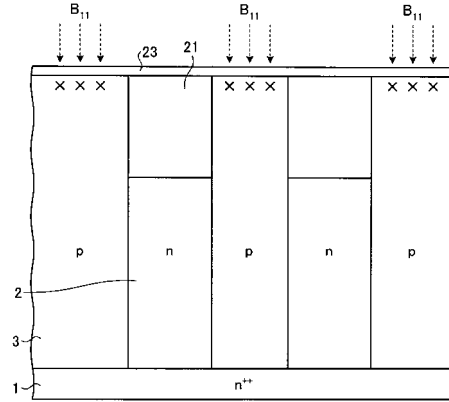
【 5 5 】



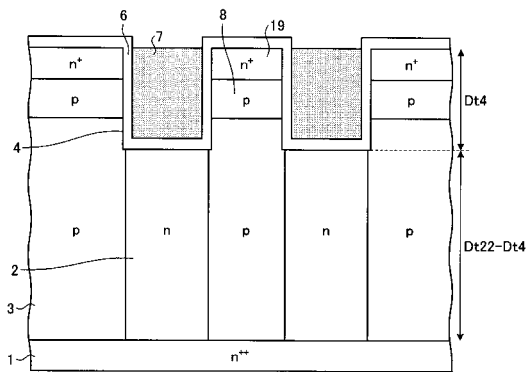
【図56】



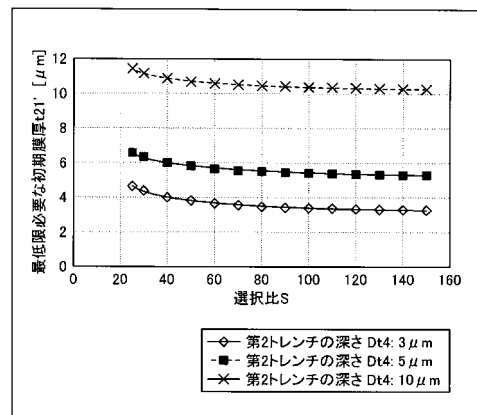
【図57】



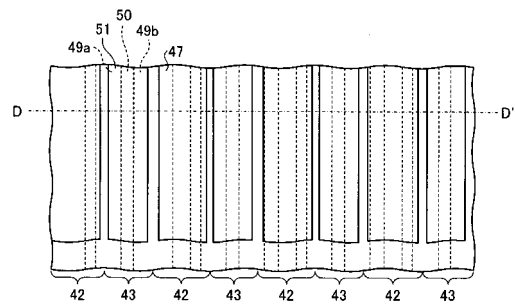
【図58】



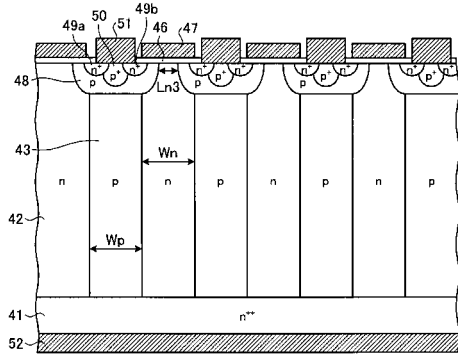
【図59】



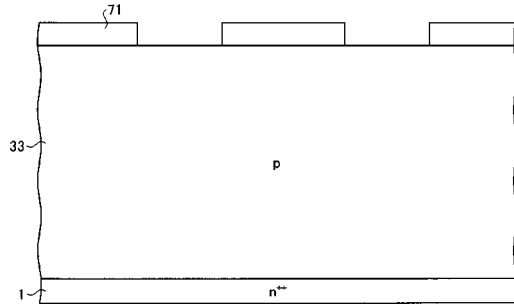
【図60】



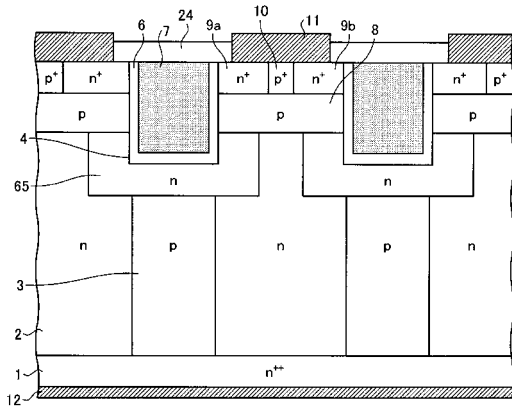
【 6 1 】



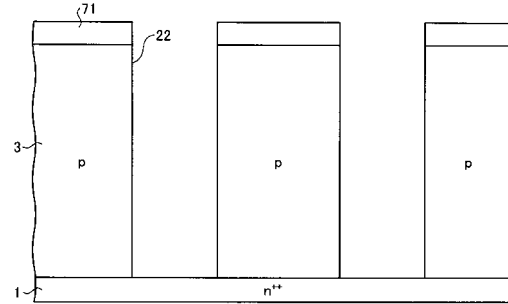
【 6 3 】



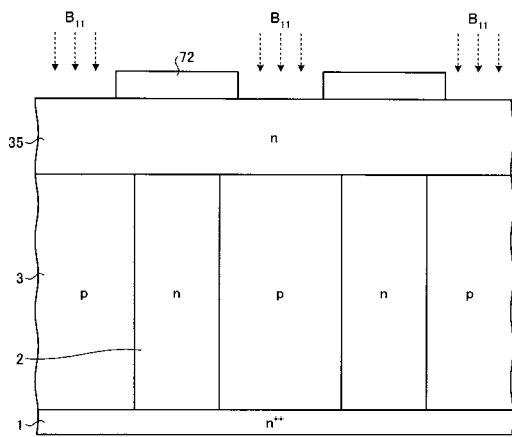
【 6 2 】



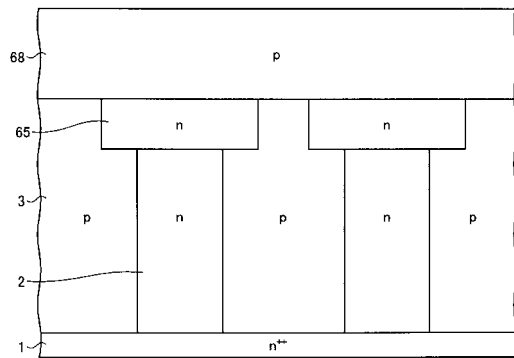
【 6 4 】



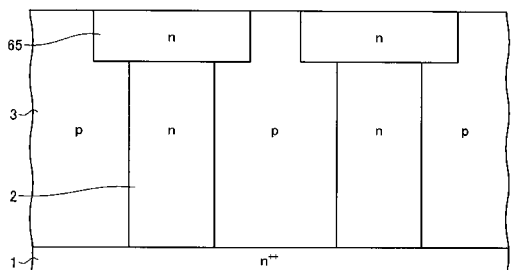
【 6 5 】



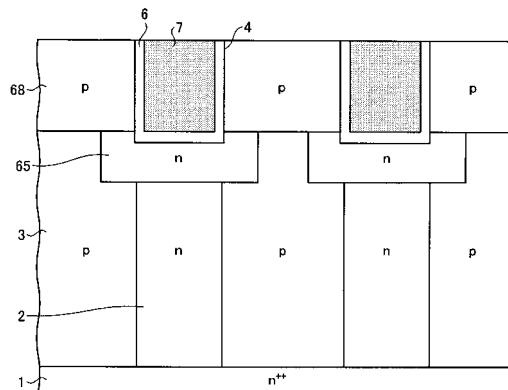
【 6 7 】



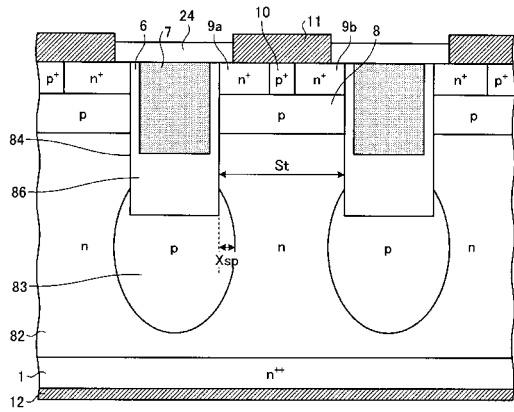
【 6 6 】



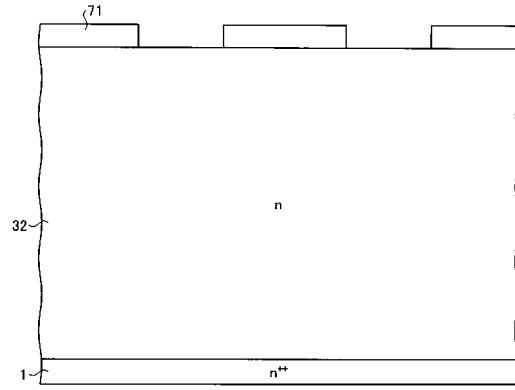
【 6 8 】



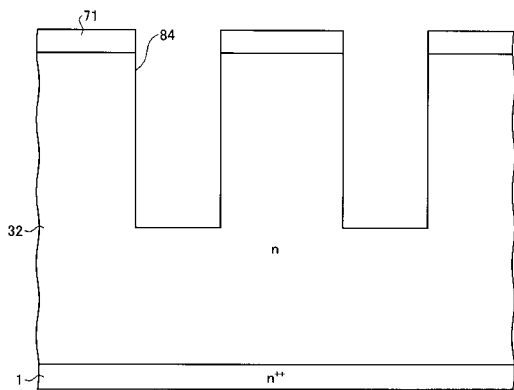
【図 69】



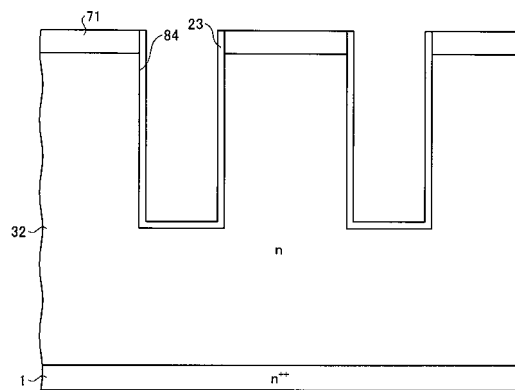
【図 70】



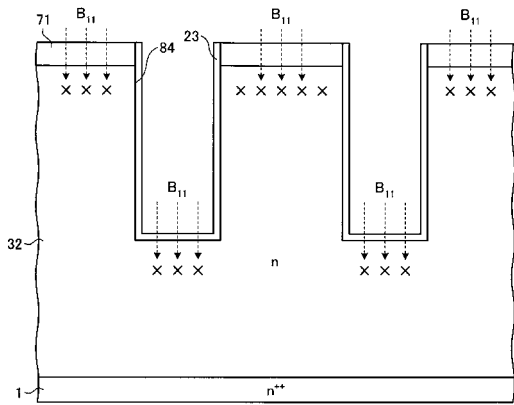
【図 71】



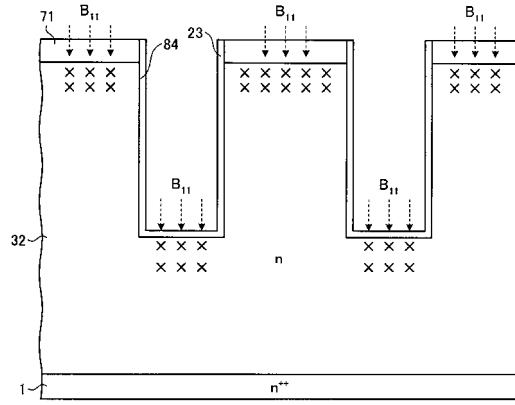
【図 72】



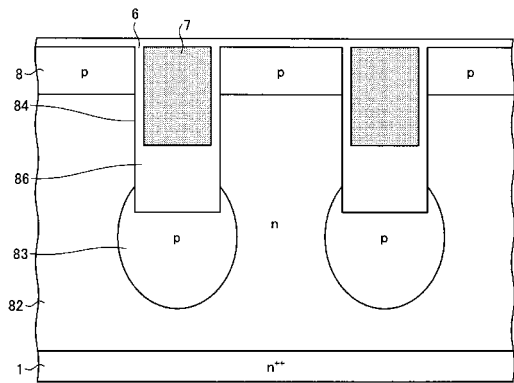
【図73】



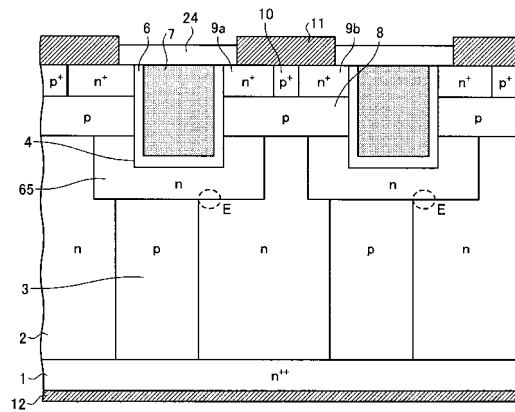
【図74】



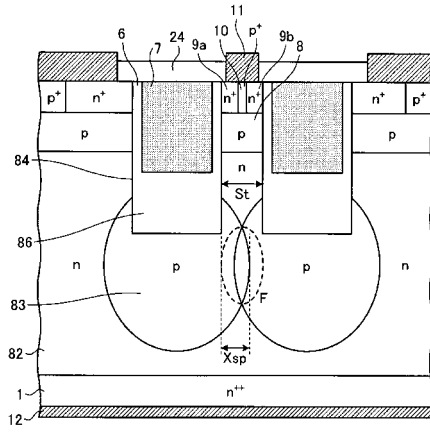
【図75】



【図76】



【 図 77 】



フロントページの続き

- (56)参考文献 特開2007-012977(JP,A)
特開2007-027193(JP,A)
特開2006-287127(JP,A)
特開2004-327598(JP,A)
国際公開第2005/093843(WO,A1)
特表2002-540603(JP,A)
特開2004-039655(JP,A)
特開2005-285924(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/78
H01L 21/336