

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4480541号
(P4480541)

(45) 発行日 平成22年6月16日(2010.6.16)

(24) 登録日 平成22年3月26日(2010.3.26)

(51) Int. Cl. F I
 HO 1 L 21/8247 (2006.01) HO 1 L 29/78 3 7 1
 HO 1 L 29/788 (2006.01) HO 1 L 27/10 4 3 4
 HO 1 L 29/792 (2006.01)
 HO 1 L 27/115 (2006.01)

請求項の数 6 (全 16 頁)

(21) 出願番号	特願2004-314069 (P2004-314069)	(73) 特許権者	503121103
(22) 出願日	平成16年10月28日(2004.10.28)		株式会社ルネサステクノロジ
(65) 公開番号	特開2006-128375 (P2006-128375A)		東京都千代田区大手町二丁目6番2号
(43) 公開日	平成18年5月18日(2006.5.18)	(74) 代理人	100064746
審査請求日	平成19年10月2日(2007.10.2)		弁理士 深見 久郎
		(74) 代理人	100085132
			弁理士 森田 俊雄
		(74) 代理人	100083703
			弁理士 仲村 義平
		(74) 代理人	100096781
			弁理士 堀井 豊
		(74) 代理人	100098316
			弁理士 野田 久登
		(74) 代理人	100109162
			弁理士 酒井 将行

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

半導体基板と、
 前記半導体基板上に形成された絶縁膜と、
 前記半導体基板上に形成された複数のメモリセルと、
 前記絶縁膜上に形成され、前記メモリセルに向けて延在し、ビット線となる反転層を形成する複数の第1アシストゲートと、
 前記絶縁膜上に形成され、前記メモリセルに向けて延在する方向とは交差する方向に、前記複数の第1アシストゲート同士の端部を接続する接続部と、
 前記絶縁膜上に形成され、前記接続部より前記メモリセル側に配置され、前記メモリセルに向けて延在し、ビット線となる反転層を形成する第2アシストゲートと、
 前記第1アシストゲート下の領域に電圧を印加するか否かを制御する第1選択トランジスタと、
 前記第2アシストゲート下の領域に電圧を印加するか否かを制御する第2選択トランジスタと、
 前記第2アシストゲートと前記第2選択トランジスタとの間に形成された不純物領域とを備え、
 前記接続部と前記不純物領域との交差領域に設けられる前記絶縁膜を、前記第1アシストゲート下および前記第2アシストゲート下に形成された前記絶縁膜よりも厚くした不揮発性半導体記憶装置。

10

20

【請求項 2】

前記接続部と前記不純物領域との交差領域に設けられる前記絶縁膜の厚みを、13nm以上33nm以下とした、請求項1に記載の不揮発性半導体記憶装置。

【請求項 3】

前記第2アシストゲート上に形成され、該第2アシストゲートに電圧を印加するコンタクト部をさらに備え、

前記接続部と前記不純物領域との交差領域に設けられ、前記第1アシストゲート下および前記第2アシストゲート下に形成された前記絶縁膜よりも厚く形成された前記絶縁膜は、前記交差領域から前記コンタクト部下に達するように形成された、請求項1または請求項2に記載の不揮発性半導体記憶装置。

10

【請求項 4】

前記不純物領域の前記メモリセル側の端部を、前記第1アシストゲート下および前記第2アシストゲート下に形成された前記絶縁膜よりも厚く形成され、前記交差領域から前記コンタクト部下に達する前記絶縁膜における前記メモリセル側の端部よりも、前記メモリセル側に配置した、請求項3に記載の不揮発性半導体記憶装置。

【請求項 5】

前記第1アシストゲート下および前記第2アシストゲート下に形成された前記絶縁膜よりも厚く形成され、前記交差領域から前記コンタクト部下に達する前記絶縁膜の厚みを、13nm以上33nm以下とした、請求項3または請求項4に記載の不揮発性半導体記憶装置。

20

【請求項 6】

前記第1アシストゲートに印加する電圧が前記第2アシストゲートに印加する電圧よりも高い、請求項1から請求項5のいずれかに記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、不揮発性半導体記憶装置に関し、特にアシストゲートを備えた不揮発性半導体記憶装置に関する。

【背景技術】

【0002】

従来、不揮発性半導体記憶装置の小型化を図るために様々な試みがなされている（下記特許文献1参照）。不揮発性半導体記憶装置の小型化を図ることができる技術として、AG-AND型フラッシュメモリが提案されている。このAG-AND型フラッシュメモリは、メモリセルトランジスタのビット線が拡散層で形成されるのではなく、アシストゲートに電圧を印加した際に半導体基板の主表面上に形成される反転層により形成される。これにより、メモリセル領域にビット線を形成するための不純物領域を形成する必要がなく、不揮発性半導体記憶装置の小型化を図ることができる。このような技術は、例えば、下記非特許文献1に記載されている。

30

【0003】

このAG-AND型フラッシュメモリは、半導体基板と、半導体基板上に形成された絶縁膜とを有し、メモリセル領域と、このメモリセル領域に隣接する周辺回路領域とを備えている。メモリセル領域は、フローティングゲートと、このフローティングゲートの上面側に配置されたコントロールゲートと備えており、複数のメモリセルが形成されている。

40

【0004】

また、周辺回路領域は、絶縁膜上に形成された複数のアシストゲートと、アシストゲートの下面に電圧を印加する電極部とを備えている。

【0005】

このように構成された従来のAG-AND型フラッシュメモリは、書込みの際に、一方のアシストゲートに電圧が印加され、アシストゲートの下面側に反転層を形成する。この形成された反転層に電圧を印加する。そして、他方のアシストゲートに電圧を印加して、

50

このアシストゲートの下面側に反転層を形成し、形成された反転層に電圧を印加する。これにより、フローティングゲート下に書込み電流が発生し2つのアシストゲート間に配置されたフローティングゲート内にデータが書き込まれる。また、読込み動作および消去動作の際においても、アシストゲートに各種の大きさの電圧を印加することにより行なわれる。

【0006】

ここで、読込み動作等の際、各アシストゲートおよび反転層に印加される電圧の大きさは異なるため、アシストゲート下に形成された絶縁膜にかかる電圧の大きさは、各動作および位置により大きく異なるものとなっている。その一方で、半導体基板上に形成された絶縁膜の厚みは、均一に形成されている。

10

【0007】

なお、半導体基板上に形成されたゲート絶縁膜の膜厚を位置によって異ならせた不揮発性半導体記憶装置としては、特開2001-44395号公報に記載された不揮発性半導体記憶装置が挙げられる。この不揮発性半導体記憶装置は、半導体基板と、半導体基板上に形成されたゲート絶縁膜と、メモリセル内にゲート絶縁膜上に形成されたメモリセルトランジスタと、セレクトトランジスタとを備えており、セレクトトランジスタのゲート絶縁膜の膜厚は、メモリセルトランジスタのトンネル絶縁膜の膜厚より厚く形成されている。この不揮発性半導体記憶装置によれば、セレクトトランジスタの動作スピードを向上させることができる。

【0008】

20

さらに、半導体基板上に形成されたゲート絶縁膜の膜厚を位置により異ならせた不揮発性半導体記憶装置としては、特開2000-269361号公報に記載された不揮発性半導体記憶装置が挙げられる。

【0009】

この不揮発性半導体記憶装置は、メモリセルトランジスタと2つの選択トランジスタを含むメモリセルを有しており、メモリセルトランジスタと、選択トランジスタとのゲート絶縁膜の厚膜と、閾値電圧とを異ならせている。

【特許文献1】特開2000-188346号公報

【特許文献2】特開2001-44395号公報

【特許文献3】特開2000-269361号公報

30

【非特許文献1】Y.Sasago,et.al.,: "90-nm-node multi-level AG-AND type flash memory wit cell size of true 2 F2/bit and programming throughput of 10 MB/s", IEDM Tech.Dig., (2003)p.823.

【発明の開示】

【発明が解決しようとする課題】

【0010】

上記従来のAG-AND型フラッシュメモリにおいては、各種動作中に、絶縁膜の一部に高い電圧がかかり、信頼性が確保されていないという問題があった。特に、書込み動作の際には、他の動作より大きな電圧が各アシストゲートに印加されるため、アシストゲート下に形成された絶縁膜の一部には、大きな電圧がかかり、信頼性が確保され難いという問題があった。

40

【0011】

また、高い電圧がかかる位置を基準として絶縁膜の膜厚を設定した場合には、書込み速度が低下するという問題があった。

【0012】

さらに、上記特開2001-44395号公報および特開2000-269361号公報に記載された発明は、いずれも、絶縁膜の信頼性を確保することを目的としておらず、その上、AG-AND型フラッシュメモリに関するものでもない。

【0013】

本発明は、上記課題を鑑みてなされたものであり、その目的は、不揮発性半導体記憶装

50

置の信頼性を向上させつつ、書込み速度も確保することができる不揮発性半導体記憶装置を提供することである。

【課題を解決するための手段】

【0014】

本発明に係る半導体記憶装置は、半導体基板と、半導体基板上に形成された絶縁膜と、半導体基板上に形成された複数のメモリセルと、絶縁膜上に形成され、メモリセルに向けて延在し、ビット線となる反転層を形成する複数の第1アシストゲートと、絶縁膜上に形成され、メモリセルに向けて延在する方向とは交差する方向に、複数の第1アシストゲート同士の端部を接続する接続部と、接続部よりメモリセル側に配置され、メモリセルに向けて延在し、ビット線となる反転層を形成する第2アシストゲートと、第1アシストゲート下の領域に電圧を印加するか否かを制御する第1選択トランジスタと、第2アシストゲート下の領域に電圧を印加するか否かを制御する第2選択トランジスタと、第2アシストゲートと第2選択トランジスタとの間に形成された不純物領域とを備え、接続部と不純物領域との交差領域下に形成された絶縁膜を、第1アシストゲート下および第2アシストゲート下に形成された絶縁膜より厚くした。

10

【発明の効果】

【0015】

本発明によれば、絶縁膜のうち、最も大きな電圧が生じる部分の膜厚を厚く形成することにより、不揮発性半導体記憶装置の信頼性を確保しつつ、書込み速度を確保することができる。

20

【発明を実施するための最良の形態】

【0016】

図1から図16を用いて、本発明にかかる実施の形態について説明する。

【0017】

(実施の形態1)

図1は、実施の形態1に係るAG-AND型フラッシュメモリ(不揮発性半導体記憶装置)の平面図である。

【0018】

この図1に示されるように、AG-AND型フラッシュメモリ100は、半導体基板40の主表面上にメモリセル領域50と、周辺回路領域51とを備えている。

30

【0019】

なお、図1においては、メモリセル領域50と、周辺回路領域51とが図示されているが、メモリセル領域50を挟んで周辺回路領域51と反対側にも、周辺回路領域51と同様に構成され図示されない周辺回路領域が形成されている。半導体基板40の主表面上には、周辺回路領域51からメモリセル領域50に向けて、帯状に形成された複数の分離領域3と、分離領域3間に形成された活性領域2とが形成されている。

【0020】

活性領域2は、デバイスが形成される領域であり、分離領域3は、例えば、STI(Shallow Trench Isolation)またはSGI(Shallow Groove Isolation)と称する溝型の分離領域とされている。すなわち、半導体基板40の主表面上に形成された溝部に例えば、酸化シリコン(SiO_2)のような絶縁膜が埋め込まれることで形成されている。

40

【0021】

分離領域3は、周辺回路領域51からメモリセル領域50に向けて形成されており、分離領域3の端部は、メモリセル領域50の端部付近に位置している。このため、メモリセル領域50の中央部付近の半導体基板には、活性領域2が略全面に形成されている。

【0022】

周辺回路領域51は、メモリセル領域50に形成された複数のメモリセル6に向けて延在する複数の第1アシストゲート4と、第1アシストゲート4の周辺回路領域51側の端部を接続する接続部7と、この接続部7よりメモリセル6側に配置されメモリセル6に向けて延在する第2アシストゲート11と、第1アシストゲート4下の領域に形成される第

50

1反転層に電圧を印加するか否かを制御する第1選択トランジスタ10cと、第2アシストゲート下の領域に形成される第2反転層に電圧を印加するか否かを制御する第2選択トランジスタ10dと、第2アシストゲート11と第2選択トランジスタ10dとの間に形成された不純物領域とを備えている。

【0023】

接続部7は、第1アシストゲート4が延在する方向と交差する方向、すなわち、第1アシストゲート4と直交する方向に延在している。また、第1アシストゲート4同士は、互いに等間隔に離間して接続部7に接続されている。

【0024】

第1アシストゲート4は、活性領域2上に形成されており、第1アシストゲート4の幅は、例えば、65nm程度とされている。第1アシストゲート4と接続部7との接続部分には、それぞれ、コンタクト7bが形成されている。コンタクト7bは、コンタクトホール7aと、コンタクトホール7a内に形成されたプラグとを備えている。

10

【0025】

接続部7よりメモリセル領域50側には、第2アシストゲート11が配置されており、周辺回路領域51側からメモリセル領域50に向けて延在している。また、第2アシストゲート11の周辺回路領域51側の端部には、幅広領域12が形成されており、この幅広領域12は、接続部7よりメモリセル領域50側に配置されている。また、幅広領域12には、コンタクト12bが形成されており、コンタクト12bは、コンタクトホール12aとコンタクトホール12a内に形成されたプラグとを備えている。

20

【0026】

接続部7より周辺回路領域51側には、接続部10が配置されている。接続部10は、第1、第2アシストゲート4、11が延在する方向と交差する方向、例えば、第1アシストゲート4、第2アシストゲート11と直交する方向に延在している。さらに、接続部10と活性領域2との交差部分には、それぞれ第1、第2選択トランジスタ10c、10dが形成されている。また、接続部10と活性領域2との交差部分には、それぞれ、第1、第2選択トランジスタ10c、10dのゲート電極に連通するコンタクト10bが形成されている。このコンタクト10bは、コンタクトホール10aと、コンタクトホール10a内に形成されたプラグとを備えている。

【0027】

第1選択トランジスタ10cと第1アシストゲート4とは、それぞれ、同一の帯状の活性領域2上に形成されている。また、第2選択トランジスタ10dと第2アシストゲート11とは、それぞれ、同一の帯状の活性領域2上に形成されている。

30

【0028】

接続部10より周辺回路領域51側には、帯状に形成された活性領域2上に形成されたコンタクト8bが形成されている。このコンタクト8bは、コンタクトホール8aとコンタクトホール8a内に形成されたプラグとを備えている。このプラグには、電圧が印加されるグローバルビット線8A、8Bが接続されている。

【0029】

メモリセル領域50には、第1アシストゲート4と、第2アシストゲート11と、第3アシストゲート4Aと、第4アシストゲート11Aと、これら第1、第2、第3、第4アシストゲート4、11、4A、11Aと略直交する方向に延在する複数のワード線5とを備えており、行列状に配置されたメモリセル6が形成されている。

40

【0030】

第3アシストゲート4Aおよび第4アシストゲート11Aは、メモリセル領域50を介して周辺回路領域51と対向配置された図示されない周辺回路領域から、周辺回路領域50に向けて延在している。

【0031】

また、第3アシストゲート4Aと第4アシストゲート11Aとは、第1、第2アシストゲート4、11と平行に配置されている。また、第3アシストゲート4Aと第4アシスト

50

ゲート極 1 1 A との先端部は、メモリセル領域 5 0 の周辺回路領域 5 1 側の端部に位置している。第 3 アシストゲート 4 A は、第 1 アシストゲート 4 と第 2 アシストゲート 1 1 との間に配置されており、第 3 アシストゲート 4 A の端部は、第 1 アシストゲート電極 4 と同様に図示されない接続部により接続されている。第 4 アシストゲート 1 1 A は、第 3 アシストゲート 4 A と協働して第 2 アシストゲート 1 1 を挟みこむように配置されている。なお、第 1 アシストゲート 4 と第 2 アシストゲート 1 1 の先端部は、メモリセル領域 5 0 の端部のうち、図示されない周辺回路領域側の端部に位置している。

【 0 0 3 2 】

メモリセル 6 は、半導体基板 4 0 上に形成された絶縁膜と、ワード線 5 と、ワード線 5 の下面に配置されたフローティングゲート 6 0 とを備えている。フローティングゲート 6 0 は、ワード線 5 0 下の領域のうち、第 1 アシストゲート 4 と第 3 アシストゲート 4 A とにより挟まれた領域と、第 3 アシストゲート 4 A と第 2 アシストゲート 1 1 とにより挟まれた領域と、第 2 アシストゲート 1 1 と第 4 アシストゲート 1 1 A とにより挟まれた領域とに配置されている。このため、メモリセル 6 は、半導体基板 4 0 上に行列状に配置されている。

【 0 0 3 3 】

図 2 は、図 1 の I I - I I 線における断面図であり、この図 2 に示されるように、半導体基板 4 0 は、例えば P 型のシリコン (S i) 単結晶からなり、P 型のウエルおよび n 型の埋込領域が形成されている。P 型のウエルには、例えば、ホウ素 (B) が導入されており、その外周 (側面および底面) は、n 型の埋込領域により囲まれている。n 型の埋込領域には、例えば、リン (P) が導入されている。

【 0 0 3 4 】

図 2 に示されるように、半導体基板 4 0 の上面上の略全面には、絶縁膜 3 9 が形成されている。この絶縁膜 3 9 の上面上には、接続部 1 0 と、接続部 7 と、第 2 アシストゲート 1 1 とが形成されている。また、接続部 1 0 と接続部 7 との間には、絶縁膜 8 0 が形成されており、接続部 7 と第 2 アシストゲート 1 1 との間には、サイドウォール 4 9 が形成されている。接続部 1 0 と接続部 7 と第 2 アシストゲート 1 1 とは、いずれも、低抵抗な多結晶シリコンから形成されており、膜厚は、例えば、5 0 n m 程度の厚さに形成されている。さらに、接続部 1 0 と接続部 7 と第 2 アシストゲート 1 1 との上面上には、いずれもキャップ絶縁膜 4 6 が形成されている。このキャップ絶縁膜 4 6 は、例えば、窒化シリコンから形成されており、膜厚は例えば、7 0 n m 程度とされている。このキャップ絶縁膜 4 6 の上面上には、例えば、酸化シリコンからなる絶縁膜 4 7 が形成されている。この絶縁膜 4 7 の上面上には、絶縁膜 5 5 が形成されている。

【 0 0 3 5 】

コンタクトホール 1 0 a は、絶縁膜 4 7、5 5 とキャップ絶縁膜 4 6 とを貫通するように形成されており、コンタクト 1 0 b の下端部は接続部 1 0 に接続されている。また、コンタクトホール 7 a は、絶縁膜 4 7、5 5 とキャップ絶縁膜 4 6 とを貫通するように形成されており、コンタクト 6 b の下端部が接続部 7 に接続されている。コンタクトホール 1 2 a は、絶縁膜 4 7、5 5 とキャップ絶縁膜 4 6 とを貫通するように形成されており、コンタクト 1 2 b の下端部が第 2 アシストゲート 3 9 に接続されている。

【 0 0 3 6 】

半導体基板 4 0 の主表面上のうち、接続部 1 0 の側面側には、n⁻型の半導体領域 4 2、4 3 が形成されている。n⁻型の半導体領域 4 3 は、接続部 1 0 の周辺回路領域 5 1 側の側面に形成されており、また、n⁻型の半導体領域 4 2 は、接続部 1 0 のメモリセル領域 5 0 側の側面に形成されている。また、半導体基板 4 0 の主表面上には、n⁻型の半導体領域 4 3 に隣接するように、n⁺型の半導体領域 4 4 が形成されている。この n⁺型の半導体領域 4 4 は、n⁻型の半導体領域 4 2 より高濃度に形成されている。半導体領域 4 4 には、コンタクト 8 b の下端部が接続されており、半導体領域 4 4 は、コンタクト 8 b を介してグローバルビット線 8 A、8 B により印加されている。

【 0 0 3 7 】

半導体領域 4 2 よりメモリセル側には、 n^+ 型の半導体領域 1 3 が形成されている。この半導体領域 1 3 の一方の端部は、接続部 7 より周辺回路領域 5 1 側に位置しており、また、半導体領域 1 3 の他方の端部は、第 2 アシストゲート 1 1 の下面側に位置している。

【 0 0 3 8 】

このため、第 2 選択トランジスタ 1 0 d と、第 2 アシストゲート 1 1 の周辺回路領域 5 1 側の端部とにより挟まれる領域 B の下面には、半導体領域 4 2 と半導体領域 1 3 とが形成されている。図 1、図 2 において、領域 B 内に形成された不純物領域と接続部 7 との交差領域 A 下に形成された絶縁膜 3 9 は、第 1 アシストゲート 4 下や第 2 アシストゲート 1 1 下に形成された絶縁膜 3 9 より厚く形成されている。すなわち、第 1 アシストゲート 4 下や第 2 アシストゲート 1 1 下に形成された絶縁膜 3 9 の膜厚は、9 nm 程度に形成されている一方で、図 1 において斜線部分として示された交差領域 A 下に形成された絶縁膜 3 9 の膜厚は、13 nm 以上 33 nm 以下とされている。このように、交差領域 A 下には、厚膜部 3 9 a が形成されている。

【 0 0 3 9 】

なお、厚膜部 3 9 a の膜厚が 13 nm より薄くなると、メモリセル 6 にデータを書き込む際に、厚膜部 3 9 a にかかる電圧に厚膜部 3 9 a が耐え切れないおそれがあり、AG-AND 型フラッシュメモリ 1 0 0 の信用性を確保し難いという問題が生じるためである。

【 0 0 4 0 】

また、厚膜部 3 9 a の膜厚が 33 nm より厚く形成されると、厚膜部 3 9 a の部分が周囲より突出するため、厚膜部 3 9 a の上面上に形成される接続部 7 等を形成し難くなり、製造工程が複雑なものとなるためである。さらに、厚膜部 3 9 a の膜厚は、書込み時において、厚膜部 3 9 a にかかる電圧の大きさにより設定される。例えば、厚膜部 3 9 a にかかる電圧が 8 V の場合には、厚膜部 3 9 a の膜厚を 13 nm 程度とする。また、メモリセル領域 5 0 には、複数のワード線 5 が形成されており、各ワード線 5 間には、絶縁膜 5 2 が形成されている。

【 0 0 4 1 】

また、交差領域 A は、第 2 アシストゲート 1 1 が形成された活性領域 2 と接続部 7 とが交差する領域となるため、交差領域 A は、接続部 7 のうち、第 1 アシストゲート 4 が接続部 7 に連結する連結箇所により挟まれるコンタクトホール 7 a 付近となる。

【 0 0 4 2 】

図 3 は、図 1 の I I I - I I I 線における断面図である。この図 3 に示されるように、半導体基板 4 0 の上面上に形成された絶縁膜 3 9 と、第 1 アシストゲート 4 と、第 2 アシストゲート 1 1 と、第 3 アシストゲート 4 A と、第 4 アシストゲート 1 1 A と、各アシストゲート間に配置され絶縁膜 3 9 上に形成されたフローティングゲート 6 0 と、フローティングゲート 6 0 の上面上に形成されたコントロールゲートとして機能するワード線 5 が形成されている。フローティングゲート 6 0 の上面上には、絶縁膜 4 6 が形成されており、ワード線 5 は、絶縁膜 4 6 上に形成されている。この絶縁膜 4 6 は、例えば、酸化シリコン、窒化シリコン、酸化シリコンとを順次積層して形成されたものであり、いわゆる ONO 膜で形成されている。

【 0 0 4 3 】

ワード線 5 は、例えば、低抵抗な多結晶シリコンからなる導電膜 5 6 と、この導電膜 5 6 上に形成されたタングステンシリサイド ($W S i_x$) 等からなる高融点シリサイド膜 5 4 とから構成されている。このワード線 5 上には、例えば、酸化シリコンからなる絶縁膜 5 3 が形成されている。

【 0 0 4 4 】

メモリセル 6 は、絶縁膜 3 9 と、絶縁膜 3 9 の上面上に形成されたフローティングゲート 6 0 と、フローティングゲート 6 0 の上面上に形成されたワード線 5 とを備えている。フローティングゲート 6 0 は、データの電荷蓄電層であり、例えば、低抵抗な多結晶シリコンにより形成されており、柱状に形成されている。フローティングゲート 6 0 と第 1、第 2、第 3、第 4 アシストゲート 4、1 1、4 A、1 1 A との間には、それぞれ、絶縁膜

10

20

30

40

50

9と絶縁膜58とが形成されており、互いに絶縁されている。絶縁膜39のうち、フローティングゲート60の下面に形成された領域は、トンネル絶縁膜として機能する。また、フローティングゲート60の下面側に形成された絶縁膜39の膜厚は、例えば、9nm程度とされている。

【0045】

図4は、上記のように構成されたAG-AND型フラッシュメモリ100の書込み動作時における断面図である。この図4に示されるように、第1アシストゲート4に8V程度の電圧を印加して、第2アシストゲート11に5V程度の電圧を印加する。第1アシストゲート4と第2アシストゲート11との間に配置された第3アシストゲート4Aに0.5V以上1.0V以下程度の電圧を印加する。さらに、選択されたワード線5には、15V程度の電圧が印加される。

10

【0046】

この際、第2アシストゲート11下の領域には、反転層60が形成され、また、第1アシストゲート4下の領域には、反転層61が形成される。また、図1において、グローバルビット線8Aには、4.5V程度の電圧がかかり、グローバルビット線8Bには、0V程度の電圧がかけられる。

【0047】

第2選択トランジスタ10dは、ON・OFF状態となることにより第2アシストゲート11下の領域に形成された反転層60にグローバルビット線8Bからの電圧を印加したり、電圧を印加しないようにする。また、第1選択トランジスタ10cは、ON・OFF状態となることにより第1アシストゲート4下の領域に形成された反転層61にグローバルビット線8Aからの電圧を印加したり、電圧を印加しないようにする。そして、これら第1選択トランジスタ10cと第2選択トランジスタ10dとがON状態となる。

20

【0048】

このため、図4において、形成された反転層60に0V程度の電圧がかかり、反転層61には、4.5V程度の電圧がかかる。そして、反転層60から反転層61に向けて電子が流れる。この際、第1、第2アシストゲート4、11との間に配置されたフローティングゲート60Aとフローティングゲート60Bのうち、第2アシストゲート11側に配置されたフローティングゲート60A内に電子が入り込みデータが書き込まれる。

【0049】

ここで、図2において、第2選択トランジスタ10dは、ON状態であり、プラグ8bに接続されたグローバルビット線8Bには、0V程度の電圧が印加されているため、半導体領域13、42、43、44には、0V程度の電圧が印加されている。その一方で、接続部7には、8V程度の電圧が印加されている。すなわち、図1、図2に示される交差領域Aにおいては、接続部7には、8Vの電圧が印加されており、交差領域A下の不純物領域には、0V程度の電圧が印加されているため、交差領域A下に形成された厚膜部39aには8V程度の電圧がかかることになる。また、図4において、反転層60には0V程度の電圧が印加されており、第2アシストゲート11には、5V程度の電圧が印加されているため、第2アシストゲート11下に形成された絶縁膜39には、5V程度の電圧がかかることになる。そして、反転層61には、4.5V程度の電圧がかかり、第1アシストゲート4には、8V程度の電圧が印加されるため、第1アシストゲート4下に形成された絶縁膜39には、3.5V程度の電圧がかかることになる。

30

40

【0050】

図5は、本実施の形態にかかるAG-AND型フラッシュメモリ100の読込み動作時における断面図である。この図5に示されるように、第3アシストゲート4Aに5V程度の電圧を印加して、第2アシストゲート4に0V程度の電圧を印加する。そして、第3アシストゲート4A下に形成された反転層62に0V程度の電圧を印加して、第2アシストゲート4下に形成された反転層61に1V程度の電圧を印加する。さらに、選択されたワード線5には、2V以上5V以下程度の電圧を印加する。この際、フローティングゲート60Aの蓄電状態で、選択されたメモリセルの閾値電圧値が変わるので反転層61と反転

50

層 6 2 との間を流れる電流の状況で、選択されたメモリセル 6 内に蓄積されたデータを判断することができる。

【 0 0 5 1 】

この読み込み動作時には、第 1 アシストゲート 4 下に形成された絶縁膜 3 9 には、1 V 程度の電圧がかかり、第 3 アシストゲート 4 A 下に形成された絶縁膜 3 9 には、5 V 程度の電圧がかかる。

【 0 0 5 2 】

交差領域 A における接続部 7 には、0 V 程度の電圧が印加されており、また、交差領域 A における不純物領域には、0 V 程度の電圧が印加されているため、交差領域 A 下に形成された厚膜部 3 9 a には、0 V 程度の電圧がかかることになる。

10

【 0 0 5 3 】

図 6 は、本実施の形態にかかる A G - A N D 型フラッシュメモリ 1 0 0 のデータ消去時の断面図である。この図 6 に示されるように、選択されたワード線 5 に例えば、- 1 6 V 程度の電圧を印加する。そして、半導体基板 4 0 に正の電圧を印加する共に、第 1、第 2、第 3、第 4 アシストゲート 4、4 A、1 1、1 1 A には、例えば、0 V 程度の電圧を印加する。このため、反転層は形成されない。これにより、フローティングゲート 6 0 内に蓄積されたデータ用の電荷を絶縁膜 3 9 を介して半導体基板 4 0 に放出して、複数のメモリセル内のデータを消去する。なお、図 6 における矢印は電荷の放出の様子を模式的に示したものである。この消去動作時においては、第 1、第 2、第 3、第 4 アシストゲート 4、1 1、4 A、1 1 A 下に位置する絶縁膜 3 9 にかかる電圧と、厚膜部 3 9 a にかかる電圧とは略等しく、いずれも、半導体基板 4 0 に印加された電圧がかかることになる。

20

【 0 0 5 4 】

このように、書込み動作、読み込み動作、および消去動作を通じて最も大きな電圧がかかるのは、書込み動作時において、交差領域 A 下に形成された厚膜部 3 9 a である。

【 0 0 5 5 】

図 7 から図 1 2 は、上記のように構成された A G - A N D 型フラッシュメモリ 1 0 0 を製造する製造工程を示す図であり、図 7 は、活性領域 2 および分離領域 3 の形成工程後の平面図であり、図 8 は、活性領域 2 および分離領域 3 の形成工程後の断面図である。この図 7、図 8 に示されるように、まず、半導体基板 4 0 の主表面上に溝部を形成し、例えば、酸化シリコンからなる絶縁膜を埋め込み、分離領域 3 を形成する。

30

【 0 0 5 6 】

図 9 は、半導体領域 1 3 を形成する工程を示す断面図であり、この図 9 に示されるように、形成される半導体領域 1 3 以外が覆われるようにフォトレジストパターン 7 0 を形成する。そして、フォトレジストパターン 7 0 をマスクとして、半導体基板 4 0 に例えば、ヒ素をイオン注入法等により導入する。

【 0 0 5 7 】

図 1 0 は、絶縁膜を形成する工程の第 1 工程を示す断面図であり、この図 1 0 に示されるように、半導体基板の主表面上に、例えば、酸化シリコンからなる絶縁膜を、例えば、膜厚が 2 2 n m 程度となるように、例えば、I S S G (In-Situ Steam Generation) 酸化法のような熱酸化法により形成する。なお、周辺回路領域 5 1 で 2 種ゲートプロセスを用いている場合には、この絶縁膜を形成する第 1 工程は、他の工程と同時に行なうことができる。また、この工程にて形成される絶縁膜の膜厚は、形成される厚膜部 3 9 a より僅かに薄い程度に形成する。

40

【 0 0 5 8 】

図 1 1 は、絶縁膜を形成する工程の第 2 工程を示した断面図であり、この図 1 1 に示されるように、交差領域 A となる部分にフォトレジストパターン 7 1 を形成する。そして、このフォトレジストパターン 7 1 をマスクとして、フッ酸等を用いてエッチングを施す。そして、硫酸などを用いてフォトレジストパターン 7 1 を除去する。

【 0 0 5 9 】

図 1 2 は、絶縁膜を形成する工程の第 3 工程を示す断面図であり、この図 1 2 に示され

50

うに、フォトリソパターン71を除去した後に、さらに、膜厚が例えば、9nm程度となるように半導体基板40の主表面上を酸化する。

【0060】

これにより、交差領域Aの部分には、膜厚が25nm程度の厚膜部39aが形成され、その他の半導体基板40の主表面上には、例えば、膜厚が9nm程度の絶縁膜39が形成される。そして、各種工程を経ることにより、AG-AND型フラッシュメモリ100が形成される。

【0061】

上記のAG-AND型フラッシュメモリ100においては、書込み動作、読み込み動作、および消去動作を通じて最も大きな電圧がかかる交差領域A下には、厚膜部39aが形成されているため、耐電圧性を確保することができ、AG-AND型フラッシュメモリ100の信頼性および性能を確保することができる。すなわち、書込み動作時に交差領域Aの部分に8V程度の電圧がかかったとしても、厚膜部39aの膜厚が13nm以上33nm以下とされているため、耐電圧性が確保されている。

【0062】

さらに、厚膜部39aを他の工程に組み込む場合には、工程の追加とならず、コストの増加を招くことなく、AG-AND型フラッシュメモリ100の信頼性を向上させることができる。その上、厚膜部39a上に位置するコンタクトホール7aを形成する際に、コンタクトホール7aが半導体基板40にまで突き抜けることを抑制することができる。すなわち、コンタクトホール7aを形成するために、絶縁膜55、47、キャップ絶縁膜46をエッチングする際に、厚膜部39aが形成されていると、厚膜部39aの厚さ分だけマージンを稼ぐことができ、半導体基板40にまでエッチングが進行することを抑制することができる。

【0063】

(実施の形態2)

図13、図14を用いて、本発明に係る実施の形態2について説明する。図13は、本実施の形態2に係るAG-AND型フラッシュメモリ200の平面図であり、図14は、図13のXIV-XIV線における断面図である。

【0064】

図13に示されるように、厚膜部39aは、斜線部に示される領域に形成されており、接続部7下の略全面に形成されている。このため、図14に示されるように、第1アシストゲート4と接続部7との連結部分の下面側にも厚膜部39aが形成される。

【0065】

この厚膜部39aが形成された絶縁膜39を形成するには、まず、絶縁膜を形成する第2工程において、接続部7となる部分にフォトリソパターンを形成する。そして、このレジストパターンをマスクとして、絶縁膜にエッチングを施す。そして、フォトリソパターンを除去する。そして、絶縁膜を形成する第3工程において、半導体基板の主表面上をさらに酸化して、接続部7下に厚膜部39aが形成された絶縁膜39を形成する。なお、上記構成以外の構成については、上記実施の形態1に示された構成と同様に構成されており、同一の構成要素には、同一の符号を付している。

【0066】

上記のように構成されたAG-AND型フラッシュメモリ200においては、接続部7下の略全面に厚膜部39aが形成されているので、接続部7上に形成されるコンタクトホール7aを形成する際に、半導体基板40の主表面上にまで突き抜けることを抑制することができる。

【0067】

また、絶縁膜を形成する第2工程にて用いられるフォトリソパターンのパターンは、接続部7となる部分のみが打ち抜かれたものであり、打ち抜き部分が単純な形状であるため、正確かつ容易にフォトリソパターンを形成することができ、厚膜部39aを正確に接続部7下に形成することができる。

10

20

30

40

50

【 0 0 6 8 】

なお、本実施の形態 2 においても、上記第 1 の実施の形態と同様に、書込み動作、読み込み動作、および消去動作を通じて最も大きな電圧がかかる交差領域 A 下には、厚膜部 3 9 a が形成されているため、実施の形態 1 と同様の作用・効果を得ることができる。

【 0 0 6 9 】

(実施の形態 3)

図 1 5、図 1 6 を用いて本発明にかかる実施の形態 3 について説明する。図 1 5 は、本実施の形態 3 に係る A G - A N D 型フラッシュメモリ 3 0 0 の平面図であり、この図 1 5 に示されるように、厚膜部 3 9 a は、斜線部に示された領域に形成されており、少なくとも接続部 7 下からコンタクトホール 1 2 a の下面側に向けて形成されている。すなわち、厚膜部 3 9 a は、半導体基板 4 0 上に略四角形平板状に形成されており、この厚膜部 3 9 a の一方の辺部は、接続部 7 の下面に位置しており、他方の辺部は、第 2 アシストゲート 1 1 に形成されたコンタクトホール 1 2 a よりメモリセル 5 0 側に位置している。

10

【 0 0 7 0 】

このため、コンタクトホール 7 a とコンタクトホール 1 2 a との下面側には、厚膜部 3 9 a が形成されている。また、半導体領域 1 3 と半導体領域 4 2 とからなる不純物領域のメモリセル 6 側の端部は、厚膜部 3 9 a のメモリセル 6 側の端部よりメモリセル 6 側に配置されている。

【 0 0 7 1 】

図 1 6 は、図 1 5 の X V I - X V I 線における断面図であり、この図 1 6 に示されるように、半導体領域 1 3 のメモリセル 6 側の端部は、厚膜部 3 9 a よりメモリセル 6 側に形成されており、半導体領域 1 3 の周辺回路領域 5 1 側の端部は、厚膜部 3 9 a より周辺回路領域 5 1 側に位置している。なお、上記構成以外の構成については、上記実施の形態 1、2 と同様に構成されており、同一の構成については、同一の符号を付している。

20

【 0 0 7 2 】

上記 A G - A N D 型フラッシュメモリ 3 0 0 においては、半導体領域 1 3 が厚膜部 3 9 a よりメモリセル領域 5 0 側に向けて延在しているため、書込みの際には、基板効果係数 K が大きくなり難く、良好に反転層 6 0、6 1 に電圧が印加される。すなわち、半導体領域 1 3 の端部が厚膜部 3 9 a の端部より周辺回路領域 5 1 側に後退している場合には、厚膜部 3 9 a が半導体領域 1 3 からメモリセル 6 側に突出した部分においては、基板効果係数 K が大きくなり、書込み時のドレイン電圧の低下が生じる。

30

【 0 0 7 3 】

ここで、基板効果係数 K は、 $K = K_{2D} \times (1 + X_{DEP0} / W)$ と示され、 $K_{2D} = (2 \epsilon_{si} q N_A) / C_{OX}$ は、2次元近似 (W ; 空乏層のフリンジ部分 5 を無視した場合; 図 2 中の破線) における基板定数であり、 $X_{DEP} = (2 \epsilon_{si} (V_s - V_{bs}) / q N_A)$ は空乏層幅であり、 X_{DEP0} は $V_{bs} (基板バイアス) = 0 (V)$ のときの空乏層幅であり、 W はフィッティングパラメータであり、 ϵ_{si} は $S i$ の誘電率であり、 q は素電荷であり、 ϵ_s はフェルミ準位 E_F と真性フェルミ準位 E_i のエネルギー差であり、 N_A はアクセプタ不純物濃度であり、 C_{OX} は本モデルの M O S トランジスタの酸化膜容量である。このため、厚膜部 3 9 a が半導体領域 1 3 よりメモリセル 6 側に突出している場合には、突出した部分において、 C_{OX} が小さくなり、基板効果係数 K が大きくなる。その一方で、上記 A G - A N D 型フラッシュメモリ 3 0 0 は、厚膜部 3 9 a が半導体領域 1 3 から突出した部分がなく、基板効果係数が高い部分が生じないものとなっている。

40

【 0 0 7 4 】

上記実施の形態 3 に係る A G - A N D 型フラッシュメモリ 3 0 0 においては、コンタクトホール 1 2 a とコンタクトホール 7 a の下面に厚膜部 3 9 a が形成されているので、コンタクトホール 7 a、1 2 a を形成する際に、半導体基板 4 0 の主表面上にまでコンタクトホール 7 a、1 2 a が突き抜けることを抑制することができる。また、本実施の形態に係る A G - A N D 型フラッシュメモリ 3 0 0 においては、基板効果係数 K が大きくなり難く、上記実施の形態 1、2 と同様の書込み速度を維持することができる。

50

【 0 0 7 5 】

なお、本実施の形態 3 に係る A G - A N D 型フラッシュメモリ 3 0 0 は、上記実施の形態 1、2 と同様に交差領域 A に厚膜部 3 9 a が形成されているため、実施の形態 1、2 と同様の作用。効果を得ることができる。

【 0 0 7 6 】

以上に開示された実施の形態はすべての点で例示であって制限的なものではないと考慮されるべきである。本発明の範囲は、以上の実施の形態ではなく、特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての修正や変形を含むものと意図される。

【産業上の利用可能性】

10

【 0 0 7 7 】

本発明は、不揮発性半導体記憶装置に好適である。

【図面の簡単な説明】

【 0 0 7 8 】

【図 1】実施の形態 1 に係る A G - A N D 型フラッシュメモリの平面図である。

【図 2】図 1 に示された A G - A N D 型フラッシュメモリの I I - I I 線における断面図である。

【図 3】図 1 に示された A G - A N D 型フラッシュメモリの I I I - I I I 線における断面図である。

【図 4】図 1 に示された A G - A N D 型フラッシュメモリ 1 0 0 の書込み動作時における断面図である。

20

【図 5】図 1 に示された A G - A N D 型フラッシュメモリ 1 0 0 の読み込み動作時における断面図である。

【図 6】図 1 に示された A G - A N D 型フラッシュメモリ 1 0 0 のデータ消去時の断面図である。

【図 7】活性領域および分離領域形成工程後の平面図である。

【図 8】活性領域および分離領域の形成工程後の断面図である。

【図 9】半導体領域を形成する工程を示す断面図である。

【図 1 0】絶縁膜を形成する工程の第 1 工程を示した断面図である。

【図 1 1】絶縁膜を形成する工程の第 2 工程を示した断面図である。

30

【図 1 2】絶縁膜を形成する工程の第 3 工程を示した断面図である。

【図 1 3】実施の形態 2 に係る A G - A N D 型フラッシュメモリの平面図である。

【図 1 4】図 1 3 の X I V - X I V 線における断面図である。

【図 1 5】実施の形態 3 に係る A G - A N D 型フラッシュメモリの平面図である。

【図 1 6】図 1 5 の X V I - X V I 線における断面図である。

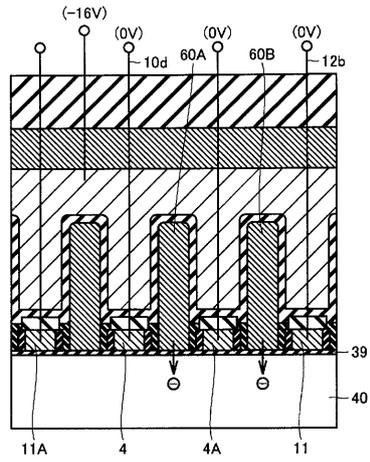
【符号の説明】

【 0 0 7 9 】

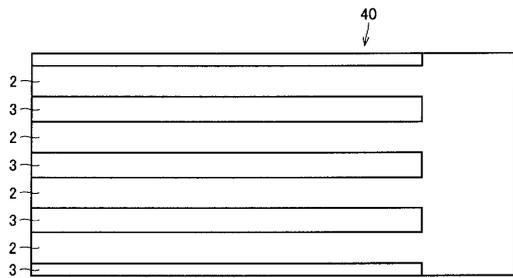
2 活性領域、3 分離領域、4 第 1 アシストゲート、4 A 第 3 アシストゲート、6 メモリセル、7 接続部、7 b コンタクト、1 0 接続部、1 0 c 第 1 選択トランジスタ、1 0 d 第 2 選択トランジスタ、1 1 第 2 アシストゲート、1 1 A 第 4 アシストゲート、5 0 メモリセル領域、5 1 周辺回路領域、1 0 0 A G - A N D 型フラッシュメモリ。

40

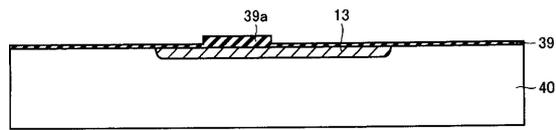
【 図 6 】



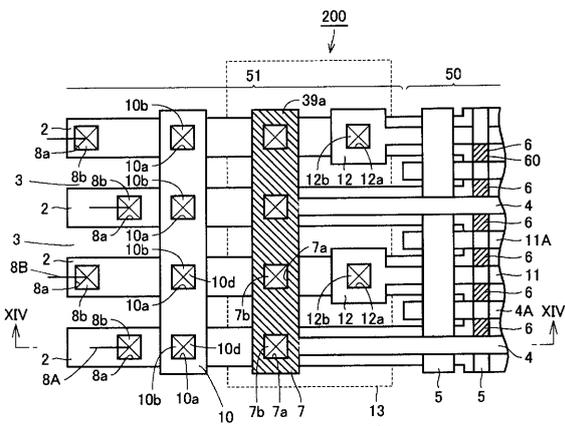
【 図 7 】



【 図 12 】



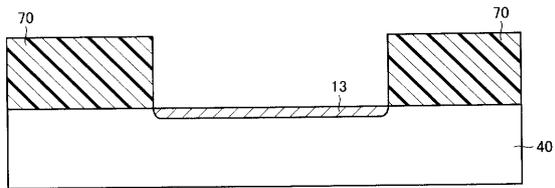
【 図 13 】



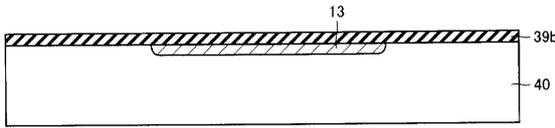
【 図 8 】



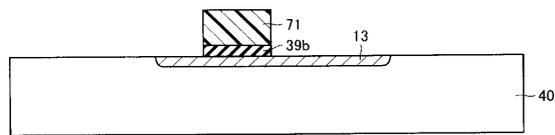
【 図 9 】



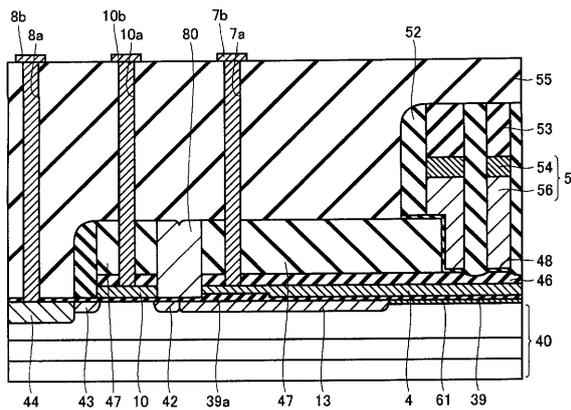
【 図 10 】



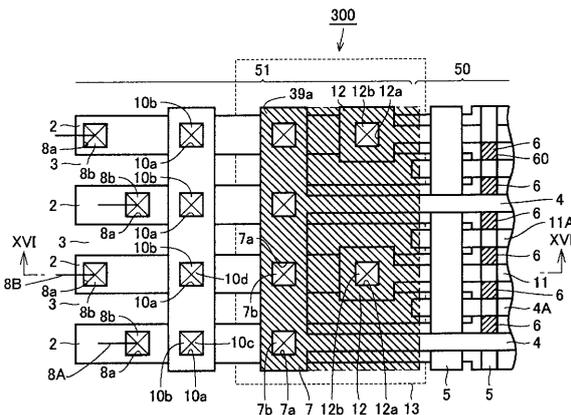
【 図 11 】



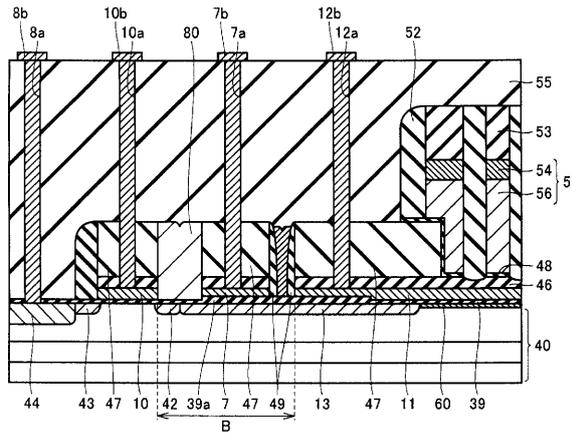
【 図 14 】



【 図 15 】



【図16】



フロントページの続き

- (72)発明者 池田 良広
東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
- (72)発明者 石田 浩
東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

審査官 井原 純

- (56)参考文献 特開2004-152977(JP,A)
特開2001-156275(JP,A)
特開2005-223234(JP,A)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|------|---------|
| H01L | 21/8247 |
| H01L | 27/115 |
| H01L | 29/788 |
| H01L | 29/792 |