



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I437823 B

(45) 公告日：中華民國 103 (2014) 年 05 月 11 日

(21) 申請案號：099144183

(22) 申請日：中華民國 99 (2010) 年 12 月 16 日

(51) Int. Cl. : **H03K19/0185(2006.01)****G09G3/36 (2006.01)**

(71) 申請人：友達光電股份有限公司 (中華民國) AU OPTRONICS CORP. (TW)

新竹市新竹科學工業園區力行二路 1 號

(72) 發明人：楊欲忠 YANG, YU CHUNG (TW)；陳勇志 CHEN, YUNG CHIH (TW)；徐國華

HSU, KUO HUA (TW)；蘇國彰 SU, KUO CHANG (TW)

(74) 代理人：吳豐任；戴俊彥

(56) 參考文獻：

TW 200841307A

TW 201009845A

TW 201023149A1

TW 201028978A1

TW 201037675A1

審查人員：陳明德

申請專利範圍項數：13 項 圖式數：5 共 0 頁

(54) 名稱

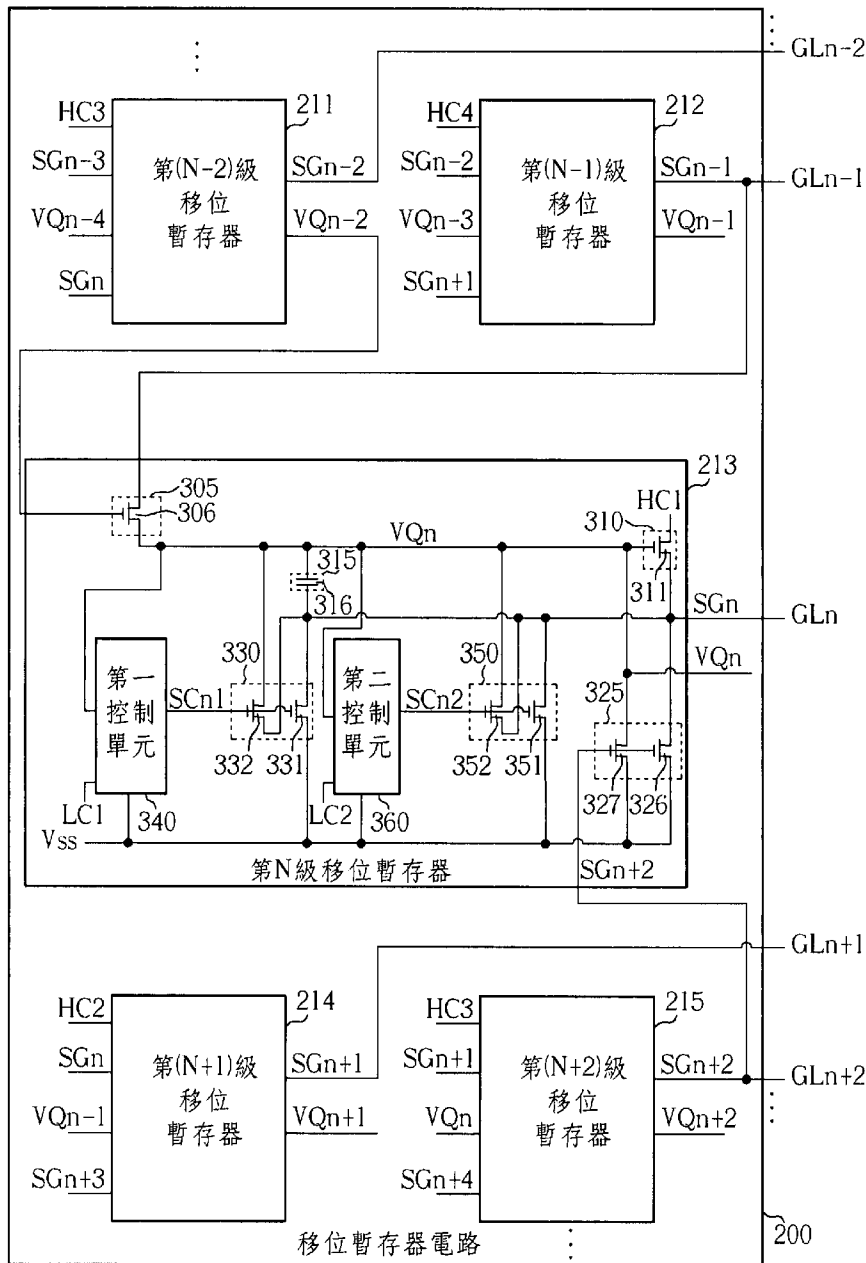
移位暫存器電路

SHIFT REGISTER CIRCUIT

(57) 摘要

一種移位暫存器電路包含複數級移位暫存器以提供複數閘極訊號，該些級移位暫存器之第 N 級移位暫存器包含輸入單元、上拉單元及下拉單元。輸入單元係用來根據第(N-1)級移位暫存器產生之第(N-1)閘極訊號與第(N-2)級移位暫存器產生之第(N-2)驅動控制電壓以輸出第 N 驅動控制電壓。上拉單元根據第 N 驅動控制電壓與系統時脈以上拉第 N 閘極訊號。下拉單元根據第(N+2)級移位暫存器產生之第(N+2)閘極訊號以下拉第 N 閘極訊號與第 N 驅動控制電壓。

A shift register circuit includes plural shift register stages for providing plural gate signals. The Nth shift register stage of the shift register stages includes an input unit, a pull-up unit and a pull-down unit. The input unit is put in use for outputting an Nth driving control voltage according to an (N-1)th gate signal and an (N-2)th driving control voltage which are generated respectively by the (N-1)th shift register stage and the (N-2)th shift register stage of the shift register stages. The pull-up unit pulls up an Nth gate signal according to the Nth driving control voltage and a system clock. The pull-down unit pulls down the Nth gate signal and the Nth driving control voltage according to an (N+2)th gate signal generated by the (N+2)th shift register stage of the shift register stages.



第2圖

- 200 . . . 移位暫存器  
電路
- 211 . . . 第(N-2)級  
移位暫存器
- 212 . . . 第(N-1)級  
移位暫存器
- 213 . . . 第 N 級移  
位暫存器
- 214 . . . 第(N+1)級  
移位暫存器
- 215 . . . 第(N+2)級  
移位暫存器
- 305 . . . 輸入單元
- 306 . . . 第一電晶體
- 310 . . . 上拉單元
- 311 . . . 第二電晶體
- 315 . . . 儲能單元
- 316 . . . 電容
- 325 . . . 下拉單元
- 326 . . . 第三電晶體
- 327 . . . 第四電晶體
- 330 . . . 第一輔助下  
拉單元
- 331 . . . 第九電晶體
- 332 . . . 第十電晶體
- 340 . . . 第一控制單  
元
- 350 . . . 第二輔助下  
拉單元
- 351 . . . 第十五電晶  
體
- 352 . . . 第十六電晶  
體
- 360 . . . 第二控制單  
元
- GLn-2、GLn-1、  
GLn、GLn+1、GLn  
+2 . . . 閘極線

HC1 . . . 第一系統  
時脈

HC2 . . . 第二系統  
時脈

HC3 . . . 第三系統  
時脈

HC4 . . . 第四系統  
時脈

LC1 . . . 第一時脈

LC2 . . . 第二時脈

SGn-3、SGn-2、  
SGn-1、SGn、SGn  
+1、SGn+2、SGn  
+3、SGn+4 . . . 閘  
極訊號

VQn-4、VQn-3、  
VQn-2、VQn-1、  
VQn、VQn+1、VQn  
+2 . . . 驅動控制電  
壓

Vss . . . 電源電壓

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：99 144 183

※ 申請日：99- 12 16

※IPC 分類：

H03K 17/0175 (2006.01)

G09G 3/36 (2006.01)

## 一、發明名稱：(中文/英文)

移位暫存器電路/SHIFT REGISTER CIRCUIT

## 二、中文發明摘要：

一種移位暫存器電路包含複數級移位暫存器以提供複數閘極訊號，該些級移位暫存器之第 N 級移位暫存器包含輸入單元、上拉單元及下拉單元。輸入單元係用來根據第(N-1)級移位暫存器產生之第(N-1)閘極訊號與第(N-2)級移位暫存器產生之第(N-2)驅動控制電壓以輸出第 N 驅動控制電壓。上拉單元根據第 N 驅動控制電壓與系統時脈以上拉第 N 閘極訊號。下拉單元根據第(N+2)級移位暫存器產生之第(N+2)閘極訊號以下拉第 N 閘極訊號與第 N 驅動控制電壓。

## 三、英文發明摘要：

A shift register circuit includes plural shift register stages for providing plural gate signals. The Nth shift register stage of the shift register stages includes an input unit, a pull-up unit and a pull-down unit. The input unit is put in use for outputting an Nth driving control voltage according to an (N-1)th gate signal and an (N-2)th driving control voltage which are generated respectively by the (N-1)th shift register stage and the (N-2)th shift register stage of the shift register stages. The pull-up unit pulls up an Nth gate signal according to the Nth driving

control voltage and a system clock. The pull-down unit pulls down the Nth gate signal and the Nth driving control voltage according to an (N+2)th gate signal generated by the (N+2)th shift register stage of the shift register stages.

#### 四、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

200	移位暫存器電路
211	第(N-2)級移位暫存器
212	第(N-1)級移位暫存器
213	第 N 級移位暫存器
214	第(N+1)級移位暫存器
215	第(N+2)級移位暫存器
305	輸入單元
306	第一電晶體
310	上拉單元
311	第二電晶體
315	儲能單元
316	電容
325	下拉單元
326	第三電晶體
327	第四電晶體
330	第一輔助下拉單元
331	第九電晶體
332	第十電晶體

340	第一控制單元
350	第二輔助下拉單元
351	第十五電晶體
352	第十六電晶體
360	第二控制單元
GLn-2、GLn-1、GLn、	閘極線
GLn+1、GLn+2	
HC1	第一系統時脈
HC2	第二系統時脈
HC3	第三系統時脈
HC4	第四系統時脈
LC1	第一時脈
LC2	第二時脈
SGn-3、SGn-2、	閘極訊號
SGn-1、SGn、SGn+1、	
SGn+2、SGn+3、SGn+4	
VQn-4、VQn-3、	驅動控制電壓
VQn-2、VQn-1、	
VQn、VQn+1、VQn+2	
Vss	電源電壓

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係有關於一種移位暫存器電路，尤指一種具有高驅動能力之移位暫存器電路。

### 【先前技術】

液晶顯示裝置(Liquid Crystal Display；LCD)是目前廣泛使用的一種平面顯示器，其具有外型輕薄、省電以及無輻射等優點。液晶顯示裝置的工作原理係利用改變液晶層兩端的電壓差來改變液晶層內之液晶分子的排列狀態，用以改變液晶層的透光性，再配合背光模組所提供的光源以顯示影像。一般而言，液晶顯示裝置包含複數畫素單元、源極驅動器以及移位暫存器電路。源極驅動器係用來提供複數資料訊號至複數畫素單元。移位暫存器電路包含複數級移位暫存器以產生複數閘極訊號饋入複數畫素單元，據以控制複數資料訊號的寫入運作。因此，移位暫存器電路即為控制資料訊號寫入操作的關鍵性元件。

第 1 圖為習知移位暫存器電路的示意圖。如第 1 圖所示，移位暫存器電路 100 包含複數級移位暫存器，其中只顯示第(N-1)級移位暫存器 111、第 N 級移位暫存器 112 以及第(N+1)級移位暫存器 113。每一級移位暫存器係用來根據前一級移位暫存器輸出之閘極訊號以產生對應閘極訊號饋入至對應閘極線，譬如第(N-1)級移位暫存器



111 係用來根據閘極訊號  $SG_{n-2}$  以產生閘極訊號  $SG_{n-1}$  饋入至閘極線  $GL_{n-1}$ ，第  $N$  級移位暫存器 112 係用來根據閘極訊號  $SG_{n-1}$  以產生閘極訊號  $SG_n$  饋入至閘極線  $GL_n$ ，第  $(N+1)$  級移位暫存器 113 係用來根據閘極訊號  $SG_n$  以產生閘極訊號  $SG_{n+1}$  饋入至閘極線  $GL_{n+1}$ 。在第  $N$  級移位暫存器 112 的運作中，輸入單元 180 之輸入電晶體 181 係根據其閘極端接收之高準位電壓與其第一端接收之閘極訊號  $SG_{n-1}$  以從其第二端輸出驅動控制電壓  $VQ_n$ ，此驅動控制電壓  $VQ_n$  約為高準位電壓減去電晶體 181 之臨界電壓的電壓值，再透過系統時脈  $CK$  之昇緣上拉運作後，可將驅動控制電壓  $VQ_n$  上拉至約為二倍高準位電壓減去電晶體 181 之臨界電壓的電壓值，據以驅動上拉單元 190 之上拉電晶體 191 而產生閘極訊號  $SG_n$ 。由上述可知，第  $N$  級移位暫存器 112 的運作會因輸入電晶體 181 之臨界電壓而顯著降低上拉電晶體 191 的輸出驅動能力。

### 【發明內容】

依據本發明之實施例，揭露一種移位暫存器電路，用以提供複數閘極訊號至複數閘極線。此種移位暫存器電路包含複數級移位暫存器，該些級移位暫存器之第  $N$  級移位暫存器包含輸入單元、上拉單元、儲能單元、以及下拉單元。

輸入單元電連接於第  $(N-1)$  級移位暫存器以接收第  $(N-1)$  閘極訊號，並電連接於第  $(N-2)$  級移位暫存器以接收第  $(N-2)$  驅動控制電壓。輸入單元係用來根據第  $(N-1)$  閘極訊號與第  $(N-2)$  驅動控制電壓以輸

出第 N 驅動控制電壓。電連接於輸入單元與第 N 閘極線之上拉單元係用來根據第 N 驅動控制電壓與系統時脈以上拉第 N 閘極訊號，其中第 N 閘極線係用以傳輸第 N 閘極訊號。電連接於上拉單元與輸入單元之儲能單元係用來根據第 N 驅動控制電壓執行充電程序或放電程序。下拉單元電連接於輸入單元與第 N 閘極線，並電連接於第 (N+2) 級移位暫存器以接收第 (N+2) 閘極訊號。下拉單元係用來根據第 (N+2) 閘極訊號以下拉第 N 閘極訊號與第 N 驅動控制電壓。

依據本發明之實施例，另揭露一種移位暫存器電路，用以提供複數閘極訊號至複數閘極線。此種移位暫存器電路包含複數級移位暫存器，該些級移位暫存器之第 N 級移位暫存器包含輸入單元、上拉單元、進位單元、儲能單元、以及下拉單元。

輸入單元電連接於第 (N-1) 級移位暫存器以接收第 (N-1) 啟始脈波訊號，並電連接於第 (N-2) 級移位暫存器以接收第 (N-2) 驅動控制電壓。輸入單元係用來根據第 (N-1) 啟始脈波訊號與第 (N-2) 驅動控制電壓以輸出第 N 驅動控制電壓。電連接於輸入單元與第 N 閘極線之上拉單元係用來根據第 N 驅動控制電壓與系統時脈以上拉第 N 閘極訊號，其中第 N 閘極線係用以傳輸第 N 閘極訊號。電連接於輸入單元之進位單元係用來根據第 N 驅動控制電壓與系統時脈以輸出第 N 啟始脈波訊號。電連接於上拉單元與輸入單元之儲能單元係用來根據第 N 驅動控制電壓執行充電程序或放電程序。下拉單元電連接於輸入單元與第 N 閘極線，並電連接於第 (N+2) 級移位暫存器以接收第

(N+2)閘極訊號。下拉單元係用來根據第(N+2)閘極訊號以下拉第 N 閘極訊號與第 N 驅動控制電壓。

### 【實施方式】

下文依本發明移位暫存器電路，特舉實施例配合所附圖式作詳細說明，但所提供之實施例並非用以限制本發明所涵蓋的範圍。

第 2 圖為本發明第一實施例之移位暫存器電路的示意圖。如第 2 圖所示，移位暫存器電路 200 包含複數級移位暫存器，為方便說明，移位暫存器電路 200 只顯示第(N-2)級移位暫存器 211、第(N-1)級移位暫存器 212、第 N 級移位暫存器 213、第(N+1)級移位暫存器 214 以及第(N+2)級移位暫存器 215，其中只有第 N 級移位暫存器 213 顯示內部功能單元架構，其餘級移位暫存器係類同於第 N 級移位暫存器 213，不另贅述。在移位暫存器電路 200 的運作中，第 N 級移位暫存器 213 係用來根據第(N-2)級移位暫存器 211 產生之驅動控制電壓  $V_{Qn-2}$ 、第(N-1)級移位暫存器 212 產生之閘極訊號  $SG_{n-1}$ 、第(N+2)級移位暫存器 215 產生之閘極訊號  $SG_{n+2}$ 、第一系統時脈  $HC1$ 、第一時脈  $LC1$ 、反相於第一時脈  $LC1$  之第二時脈  $LC2$ 、及電源電壓  $V_{ss}$  以進行具高驅動能力之運作而產生閘極訊號  $SG_n$  與驅動控制電壓  $V_{Qn}$ ，其餘級移位暫存器可同理類推。請注意，第 2 圖所示之第三系統時脈  $HC3$  係反相於第一系統時脈  $HC1$ ，第二系統時脈  $HC2$  與第一系統時脈  $HC1$  具有 90 度的相位差，第四系統時脈  $HC4$  係反相於第二系統時脈  $HC2$ 。

第 N 級移位暫存器 213 包含輸入單元 305、上拉單元 310、儲能單元 315、下拉單元 325、第一輔助下拉單元 330、第一控制單元 340、第二輔助下拉單元 350、以及第二控制單元 360。輸入單元 305 電連接於第(N-1)級移位暫存器 212 以接收閘極訊號  $SG_{n-1}$ ，並電連接於第(N-2)級移位暫存器 211 以接收驅動控制電壓  $VQ_{n-2}$ 。輸入單元 305 係用來根據閘極訊號  $SG_{n-1}$  與驅動控制電壓  $VQ_{n-2}$  以輸出驅動控制電壓  $VQ_n$ 。

電連接於輸入單元 305 與閘極線  $GL_n$  之上拉單元 310 係用來根據驅動控制電壓  $VQ_n$  與第一系統時脈  $HC1$  以上拉閘極訊號  $SG_n$ ，其中閘極線  $GL_n$  係用以傳輸閘極訊號  $SG_n$ 。電連接於上拉單元 310 與輸入單元 305 之儲能單元 315 係用來根據驅動控制電壓  $VQ_n$  執行充電程序或放電程序。下拉單元 325 電連接於輸入單元 305 與閘極線  $GL_n$ ，並電連接於第(N+2)級移位暫存器 215 以接收閘極訊號  $SG_{n+2}$ 。下拉單元 325 係用來根據閘極訊號  $SG_{n+2}$  以下拉閘極訊號  $SG_n$  與驅動控制電壓  $VQ_n$ 。

電連接於輸入單元 305 之第一控制單元 340 係用來根據驅動控制電壓  $VQ_n$  與第一時脈  $LC1$  以產生第一控制訊號  $SC_{n1}$ 。電連接於第一控制單元 340、輸入單元 305 與閘極線  $GL_n$  之第一輔助下拉單元 330 係用來根據第一控制訊號  $SC_{n1}$  以下拉閘極訊號  $SG_n$  與驅動控制電壓  $VQ_n$ 。電連接於輸入單元 305 之第二控制單元 360 係用來

根據驅動控制電壓  $VQ_n$  與第二時脈  $LC2$  以產生第二控制訊號  $SCn2$ 。電連接於第二控制單元 360、輸入單元 305 與閘極線  $GL_n$  之第二輔助下拉單元 350 係用來根據第二控制訊號  $SCn2$  以下拉閘極訊號  $SG_n$  與驅動控制電壓  $VQ_n$ 。

在第 2 圖的實施例中，輸入單元 305 包含第一電晶體 306，上拉單元 310 包含第二電晶體 311，儲能單元 315 包含電容 316，下拉單元 325 包含第三電晶體 326 與第四電晶體 327，第一輔助下拉單元 330 包含第九電晶體 331 與第十電晶體 332，第二輔助下拉單元 350 包含第十五電晶體 351 與第十六電晶體 352。請注意，上述或以下所述之每一電晶體可為薄膜電晶體(Thin Film Transistor)、場效電晶體(Field Effect Transistor) 或其他具開關切換功能的元件。

第一電晶體 306 包含第一端、第二端與閘極端，其中第一端電連接於第(N-1)級移位暫存器 212 以接收閘極訊號  $SG_{n-1}$ ，閘極端電連接於第(N-2)級移位暫存器 211 以接收驅動控制電壓  $VQ_{n-2}$ ，第二端係用來輸出驅動控制電壓  $VQ_n$ 。第二電晶體 311 包含第一端、第二端與閘極端，其中第一端係用來接收第一系統時脈  $HC1$ ，閘極端電連接於第一電晶體 306 之第二端以接收驅動控制電壓  $VQ_n$ ，第二端電連接於閘極線  $GL_n$ 。電容 316 係電連接於第二電晶體 311 之閘極端與第二端間。

第三電晶體 326 包含第一端、第二端與閘極端，其中第一端電

連接於閘極線  $GL_n$ ，閘極端電連接於第  $(N+2)$  級移位暫存器 215 以接收閘極訊號  $SG_{n+2}$ ，第二端係用來接收電源電壓  $V_{ss}$ 。第四電晶體 327 包含第一端、第二端與閘極端，其中第一端電連接於第一電晶體 306 之第二端，閘極端電連接於第  $(N+2)$  級移位暫存器 215 以接收閘極訊號  $SG_{n+2}$ ，第二端係用來接收電源電壓  $V_{ss}$ 。

第九電晶體 331 包含第一端、第二端與閘極端，其中第一端電連接於閘極線  $GL_n$ ，閘極端電連接於第一控制單元 340 以接收第一控制訊號  $SC_{n1}$ ，第二端係用來接收電源電壓  $V_{ss}$ 。第十電晶體 332 包含第一端、第二端與閘極端，其中第一端電連接於第一電晶體 306 之第二端，閘極端電連接於第一控制單元 340 以接收第一控制訊號  $SC_{n1}$ ，第二端電連接於閘極線  $GL_n$ 。

第十五電晶體 351 包含第一端、第二端與閘極端，其中第一端電連接於閘極線  $GL_n$ ，閘極端電連接於第二控制單元 360 以接收第二控制訊號  $SC_{n2}$ ，第二端係用來接收電源電壓  $V_{ss}$ 。第十六電晶體 352 包含第一端、第二端與閘極端，其中第一端電連接於第一電晶體 306 之第二端，閘極端電連接於第二控制單元 360 以接收第二控制訊號  $SC_{n2}$ ，第二端電連接於閘極線  $GL_n$ 。

第 3 圖為第 2 圖所示之移位暫存器電路的工作相關訊號波形示意圖，其中橫軸為時間軸。在第 3 圖中，由上往下的訊號分別為第二系統時脈  $HC_2$ 、第三系統時脈  $HC_3$ 、第四系統時脈  $HC_4$ 、第一系

統時脈 HC1、驅動控制電壓  $V_{Qn-2}$ 、閘極訊號  $SG_{n-1}$ 、驅動控制電壓  $V_{Qn}$ 、閘極訊號  $SG_n$ 、以及驅動控制電壓  $V_{Qn+2}$ 。如第 3 圖所示，於時段 T1 內，第(N-2)級移位暫存器 211 利用驅動控制電壓  $V_{Qn-4}$  與閘極訊號  $SG_{n-3}$  將驅動控制電壓  $V_{Qn-2}$  上拉至系統時脈之高準位電壓  $V_{GH}$ 。於時段 T2 內，第(N-2)級移位暫存器 211 利用第三系統時脈 HC3 之電壓昇緣將驅動控制電壓  $V_{Qn-2}$  上拉至約為  $2V_{GH}$  之電壓。於時段 T3 內，第(N-1)級移位暫存器 212 輸出具高準位電壓  $V_{GH}$  之閘極訊號  $SG_{n-1}$ ，且驅動控制電壓  $V_{Qn-2}$  保持在約為  $2V_{GH}$  之電壓，而第 N 級移位暫存器 213 之第一電晶體 306 即根據驅動控制電壓  $V_{Qn-2}$  與閘極訊號  $SG_{n-1}$  將驅動控制電壓  $V_{Qn}$  上拉至高準位電壓  $V_{GH}$ 。請注意，於時段 T3 內，因第一電晶體 306 之閘極端具有約為  $2V_{GH}$  之電壓，所以第一電晶體 306 之第二端可輸出具高準位電壓  $V_{GH}$  之驅動控制電壓  $V_{Qn}$ ，亦即驅動控制電壓  $V_{Qn}$  並不受第一電晶體 306 之臨界電壓所影響而降低。於時段 T4 內，第一系統時脈 HC1 之電壓昇緣可透過第二電晶體 311 之元件電容耦合作用將驅動控制電壓  $V_{Qn}$  上拉至約為  $2V_{GH}$  之電壓，從而將閘極訊號  $SG_n$  上拉至高準位電壓  $V_{GH}$ 。於時段 T5 內，第(N+2)級移位暫存器 215 輸出具高準位電壓  $V_{GH}$  之閘極訊號  $SG_{n+2}$ ，故第 N 級移位暫存器 213 之第三電晶體 326 及第四電晶體 327 即利用閘極訊號  $SG_{n+2}$  以分別下拉閘極訊號  $SG_n$  與驅動控制電壓  $V_{Qn}$  至電源電壓  $V_{SS}$ 。由上述可知，驅動控制電壓  $V_{Qn}$  係以約為  $2V_{GH}$  之電壓驅動第二電晶體 311 來上拉閘極訊號  $SG_n$ ，據以增加畫素的充電率，進而提升畫面顯示品質。

第4圖為第2圖所示之移位暫存器電路的第N級移位暫存器之另一實施例示意圖。如第4圖所示，第N級移位暫存器413係類似於第2圖所示之第N級移位暫存器213，主要差異在於將第一控制單元340置換為第一控制單元440，並將第二控制單元360置換為第二控制單元460。在第4圖的實施例中，第一控制單元440包含第五電晶體341、第六電晶體342、第七電晶體343與第八電晶體344，第二控制單元460包含第十一電晶體361、第十二電晶體362、第十三電晶體363與第十四電晶體364。

第五電晶體341包含第一端、第二端與閘極端，其中第一端係用來接收第一時脈LC1，第二端係用來輸出第一控制訊號SCn1。第六電晶體342包含第一端、第二端與閘極端，其中第一端電連接於第五電晶體341之第二端，閘極端電連接於第一電晶體306之第二端，第二端係用來接收電源電壓Vss。第七電晶體343包含第一端、第二端與閘極端，其中第一端與閘極端係用來接收第一時脈LC1，第二端電連接於第五電晶體341之閘極端。第八電晶體344包含第一端、第二端與閘極端，其中第一端電連接於第七電晶體343之第二端，閘極端電連接於第一電晶體306之第二端，第二端係用來接收電源電壓Vss。

第十一電晶體361包含第一端、第二端與閘極端，其中第一端係用來接收第二時脈LC2，第二端係用來輸出第二控制訊號SCn2。



第十二電晶體 362 包含第一端、第二端與閘極端，其中第一端電連接於第十一電晶體 361 之第二端，閘極端電連接於第一電晶體 306 之第二端，第二端係用來接收電源電壓  $V_{SS}$ 。第十三電晶體 363 包含第一端、第二端與閘極端，其中第一端與閘極端係用來接收第二時脈 LC2，第二端電連接於第十一電晶體 361 之閘極端。第十四電晶體 364 包含第一端、第二端與閘極端，其中第一端電連接於第十三電晶體 363 之第二端，閘極端電連接於第一電晶體 306 之第二端，第二端係用來接收電源電壓  $V_{SS}$ 。

在第 N 級移位暫存器 213 或第 N 級移位暫存器 413 的運作中，除了第一電晶體 306 與第二電晶體 311 所執行之具高驅動能力的運作係顯著異於先前技術之相關運作外，其餘上述電晶體之運作則為所屬技藝領域中具有通常知識者所習知，不再贅述。

第 5 圖為本發明第二實施例之移位暫存器電路的示意圖。如第 5 圖所示，移位暫存器電路 500 包含複數級移位暫存器，為方便說明，移位暫存器電路 500 只顯示第(N-2)級移位暫存器 511、第(N-1)級移位暫存器 512、第 N 級移位暫存器 513、第(N+1)級移位暫存器 514 以及第(N+2)級移位暫存器 515，其中只有第 N 級移位暫存器 513 顯示內部功能單元架構，其餘級移位暫存器係類同於第 N 級移位暫存器 513，不另贅述。在移位暫存器電路 500 的運作中，第 N 級移位暫存器 513 係用來根據第(N-2)級移位暫存器 511 產生之驅動控制電壓  $V_{Qn-2}$ 、第(N-1)級移位暫存器 512 產生之啟始脈波訊號  $ST_{n-1}$ 、

第(N+2)級移位暫存器 515 產生之閘極訊號  $SG_{n+2}$ 、第一系統時脈 HC1、第一時脈 LC1、反相於第一時脈 LC1 之第二時脈 LC2、及電源電壓  $V_{ss}$  以進行具高驅動能力之運作而產生閘極訊號  $SG_n$ 、啟始脈波訊號  $ST_n$  與驅動控制電壓  $VQ_n$ ，其餘級移位暫存器可同理類推。請注意，第 5 圖所示之第三系統時脈 HC3 係反相於第一系統時脈 HC1，第二系統時脈 HC2 與第一系統時脈 HC1 具有 90 度的相位差，第四系統時脈 HC4 係反相於第二系統時脈 HC2。

如第 5 圖所示，第 N 級移位暫存器 513 係類似於第 2 圖所示之第 N 級移位暫存器 213，主要差異在於將輸入單元 305 置換為輸入單元 505，另增加進位單元 520。輸入單元 505 電連接於第(N-1)級移位暫存器 512 以接收啟始脈波訊號  $ST_{n-1}$ ，並電連接於第(N-2)級移位暫存器 511 以接收驅動控制電壓  $VQ_{n-2}$ 。輸入單元 505 係用來根據啟始脈波訊號  $ST_{n-1}$  與驅動控制電壓  $VQ_{n-2}$  以輸出驅動控制電壓  $VQ_n$ 。電連接於輸入單元 505 的進位單元 520 係用來根據驅動控制電壓  $VQ_n$  與第一系統時脈 HC1 以輸出啟始脈波訊號  $ST_n$ 。

在第 5 圖的實施例中，輸入單元 505 包含第一電晶體 506，進位單元 520 包含第十七電晶體 521。第一電晶體 506 包含第一端、第二端與閘極端，其中第一端電連接於第(N-1)級移位暫存器 512 以接收啟始脈波訊號  $ST_{n-1}$ ，閘極端電連接於第(N-2)級移位暫存器 511 以接收驅動控制電壓  $VQ_{n-2}$ ，第二端係用來輸出驅動控制電壓  $VQ_n$ 。第十七電晶體 521 包含第一端、第二端與閘極端，其中第一

端係用來接收第一系統時脈 HC1，閘極端電連接於第一電晶體 506 之第二端以接收驅動控制電壓 VQn，第二端係用來輸出啟始脈波訊號 STn。啟始脈波訊號 STn 的波形實質上相同於閘極訊號 SGn 之波形，故第 N 級移位暫存器 513 之電路運作實質上相同於第 N 級移位暫存器 213 之電路運作，不再贅述。

綜上所述，在本發明移位暫存器電路之運作中，用來驅動上拉單元以上拉閘極訊號之驅動控制電壓可被提昇至約為系統時脈之高準位電壓的二倍，據以顯著提高對上拉單元之驅動能力，如此可增加畫素的充電率以提升畫面顯示品質。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何具有本發明所屬技術領域之通常知識者，在不脫離本發明之精神和範圍內，當可作各種更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

### 【圖式簡單說明】

第 1 圖為習知移位暫存器電路的示意圖。

第 2 圖為本發明第一實施例之移位暫存器電路的示意圖。

第 3 圖為第 2 圖所示之移位暫存器電路的工作相關訊號波形示意圖，其中橫軸為時間軸。

第 4 圖為第 2 圖所示之移位暫存器電路的第 N 級移位暫存器之另一實施例示意圖。

第 5 圖為本發明第二實施例之移位暫存器電路的示意圖。

【主要元件符號說明】

200、500	移位暫存器電路
211、511	第(N-2)級移位暫存器
212、512	第(N-1)級移位暫存器
213、413、513	第 N 級移位暫存器
214、514	第(N+1)級移位暫存器
215、515	第(N+2)級移位暫存器
305、505	輸入單元
306、506	第一電晶體
310	上拉單元
311	第二電晶體
315	儲能單元
316	電容
325	下拉單元
326	第三電晶體
327	第四電晶體
330	第一輔助下拉單元
331	第九電晶體
332	第十電晶體
340、440	第一控制單元

341	第五電晶體
342	第六電晶體
343	第七電晶體
344	第八電晶體
350	第二輔助下拉單元
351	第十五電晶體
352	第十六電晶體
360、460	第二控制單元
361	第十一電晶體
362	第十二電晶體
363	第十三電晶體
364	第十四電晶體
520	進位單元
521	第十七電晶體
$GL_n-2$ 、 $GL_n-1$ 、 $GL_n$ 、	閘極線
$GL_n+1$ 、 $GL_n+2$	
HC1	第一系統時脈
HC2	第二系統時脈
HC3	第三系統時脈
HC4	第四系統時脈
LC1	第一時脈
LC2	第二時脈

SGn-3、SGn-2、 閘極訊號  
SGn-1、SGn、SGn+1、  
SGn+2、SGn+3、SGn+4  
STn-3、STn-2、STn-1、 啟始脈波訊號  
STn、STn+1、STn+2  
T1、T2、T3、T4、T5 時段  
VGH 高準位電壓  
VQn-4、VQn-3、 驅動控制電壓  
VQn-2、VQn-1、  
VQn、VQn+1、VQn+2  
Vss 電源電壓

## 七、申請專利範圍：

1. 一種移位暫存器電路，用以提供複數閘極訊號至複數閘極線，該移位暫存器電路包含複數級移位暫存器，該些級移位暫存器之一第 N 級移位暫存器包含：
  - 一輸入單元，包含一第一電晶體，該第一電晶體之一第一端電連接於該些級移位暫存器之一第(N-1)級移位暫存器以接收該些閘極訊號之一第(N-1)閘極訊號，該第一電晶體之一閘極端電連接於該些級移位暫存器之一第(N-2)級移位暫存器以接收一第(N-2)驅動控制電壓，該第一電晶體之一第二端係用來根據該第(N-1)閘極訊號與該第(N-2)驅動控制電壓以輸出一第 N 驅動控制電壓；
  - 一上拉單元，電連接於該第一電晶體之第二端與該些閘極線之一第 N 閘極線，該上拉單元係用來根據該第 N 驅動控制電壓與一系統時脈以上拉該些閘極訊號之一第 N 閘極訊號，其中該第 N 閘極線係用以傳輸該第 N 閘極訊號；
  - 一儲能單元，電連接於該上拉單元與該第一電晶體之第二端，該儲能單元係用來根據該第 N 驅動控制電壓執行一充電程序或一放電程序；以及
  - 一下拉單元，電連接於該第一電晶體之第二端與該第 N 閘極線，並電連接於該些級移位暫存器之一第(N+2)級移位暫存器以接收該些閘極訊號之一第(N+2)閘極訊號，該下拉單元係用來根據該第(N+2)閘極訊號以下拉該第 N 閘極訊號與該

第 N 驅動控制電壓。

2. 如請求項 1 所述之移位暫存器電路，其中：

該上拉單元包含一第二電晶體，該第二電晶體之一第一端係用來接收該系統時脈，該第二電晶體之一閘極端係用來接收該第 N 驅動控制電壓，該第二電晶體之一第二端電連接於該第 N 閘極線；

該儲能單元包含一電連接於該第二電晶體之閘極端與第二端間的電容；以及

該下拉單元包含：

一第三電晶體，具有一電連接於該第 N 閘極線之第一端、一電連接於該第(N+2)級移位暫存器之閘極端、及一用來接收一電源電壓之第二端；以及

一第四電晶體，具有一電連接於該第一電晶體之第二端的第一端、一電連接於該第(N+2)級移位暫存器之閘極端、及一用來接收該電源電壓之第二端。

3. 如請求項 1 所述之移位暫存器電路，其中該第 N 級移位暫存器還包含：

一第一控制單元，電連接於該第一電晶體之第二端，該第一控制單元係用來根據該第 N 驅動控制電壓與一第一時脈產生一第一控制訊號；以及

一第一輔助下拉單元，電連接於該第一控制單元、該第一電晶



體之第二端與該第 N 閘極線，該第一輔助下拉單元係用來根據該第一控制訊號以下拉該第 N 閘極訊號與該第 N 驅動控制電壓。

4. 如請求項 3 所述之移位暫存器電路，其中：

該第一控制單元包含：

一第五電晶體，具有一用來接收該第一時脈的第一端、一閘極端、及一用來輸出該第一控制訊號的第二端；

一第六電晶體，具有一電連接於該第五電晶體之第二端的第一端、一用來接收該第 N 驅動控制電壓的閘極端、及一用來接收一電源電壓的第二端；

一第七電晶體，具有一用來接收該第一時脈的第一端、一用來接收該第一時脈的閘極端、及一電連接於該第五電晶體之閘極端的第二端；以及

一第八電晶體，具有一電連接於該第七電晶體之第二端的第一端、一用來接收該第 N 驅動控制電壓的閘極端、及一用來接收該電源電壓的第二端；以及

該第一輔助下拉單元包含：

一第九電晶體，具有一電連接於該第 N 閘極線的第一端、一用來接收該第一控制訊號的閘極端、及一用來接收該電源電壓的第二端；以及

一第十電晶體，具有一電連接於該第一電晶體之第二端的第一端、一用來接收該第一控制訊號的閘極端、及一電連

接於該第 N 閘極線的第二端。

5. 如請求項 3 所述之移位暫存器電路，其中該第 N 級移位暫存器還包含：

- 一第二控制單元，電連接於該第一電晶體之第二端，該第二控制單元係用來根據該第 N 驅動控制電壓與反相於該第一時脈之一第二時脈產生一第二控制訊號；以及
- 一第二輔助下拉單元，電連接於該第二控制單元、該第一電晶體之第二端與該第 N 閘極線，該第二輔助下拉單元係用來根據該第二控制訊號以下拉該第 N 閘極訊號與該第 N 驅動控制電壓。

6. 如請求項 5 所述之移位暫存器電路，其中：

該第二控制單元包含：

- 一第十一電晶體，具有一用來接收該第二時脈的第一端、一閘極端、及一用來輸出該第二控制訊號的第二端；
- 一第十二電晶體，具有一電連接於該第十一電晶體之第二端的第一端、一用來接收該第 N 驅動控制電壓的閘極端、及一用來接收一電源電壓的第二端；
- 一第十三電晶體，具有一用來接收該第二時脈的第一端、一用來接收該第二時脈的閘極端、及一電連接於該第十一電晶體之閘極端的第二端；以及
- 一第十四電晶體，具有一電連接於該第十三電晶體之第二端

的第一端、一用來接收該第 N 驅動控制電壓的閘極端、  
及一用來接收該電源電壓的第二端；以及

該第二輔助下拉單元包含：

一第十五電晶體，具有一電連接於該第 N 閘極線的第一端、  
一用來接收該第二控制訊號的閘極端、及一用來接收該  
電源電壓的第二端；以及

一第十六電晶體，具有一電連接於該第一電晶體之第二端的  
第一端、一用來接收該第二控制訊號的閘極端、及一電  
連接於該第 N 閘極線的第二端。

7. 一種移位暫存器電路，用以提供複數閘極訊號至複數閘極線，該  
移位暫存器電路包含複數級移位暫存器，該些級移位暫存器之  
一第 N 級移位暫存器包含：

一輸入單元，包含一第一電晶體，該第一電晶體之一第一端電  
連接於該些級移位暫存器之一第(N-1)級移位暫存器以接收  
一第(N-1)啟始脈波訊號，該第一電晶體之一閘極端電連接於  
該些級移位暫存器之一第(N-2)級移位暫存器以接收一第  
(N-2)驅動控制電壓，該第一電晶體之一第二端係用來根據該  
第(N-1)啟始脈波訊號與該第(N-2)驅動控制電壓以輸出一第  
N 驅動控制電壓；

一上拉單元，電連接於該第一電晶體之第二端與該些閘極線之  
一第 N 閘極線，該上拉單元係用來根據該第 N 驅動控制電  
壓與一系統時脈以上拉該些閘極訊號之一第 N 閘極訊號，其

S

中該第 N 閘極線係用以傳輸該第 N 閘極訊號；

一進位單元，電連接於該第一電晶體之第二端，該進位單元係用來根據該第 N 驅動控制電壓與該系統時脈以輸出一第 N 啟始脈波訊號；

一儲能單元，電連接於該上拉單元與該第一電晶體之第二端，該儲能單元係用來根據該第 N 驅動控制電壓執行一充電程序或一放電程序；以及

一下拉單元，電連接於該第一電晶體之第二端與該第 N 閘極線，並電連接於該些級移位暫存器之一第(N+2)級移位暫存器以接收該些閘極訊號之一第(N+2)閘極訊號，該下拉單元係用來根據該第(N+2)閘極訊號以下拉該第 N 閘極訊號與該第 N 驅動控制電壓。

8. 如請求項 7 所述之移位暫存器電路，其中：

該上拉單元包含一第二電晶體，該第二電晶體之一第一端係用來接收該系統時脈，該第二電晶體之一閘極端係用來接收該第 N 驅動控制電壓，該第二電晶體之一第二端電連接於該第 N 閘極線；

該儲能單元包含一電連接於該第二電晶體之閘極端與第二端間的電容；以及

該下拉單元包含：

一第三電晶體，具有一電連接於該第 N 閘極線之第一端、一電連接於該第(N+2)級移位暫存器之閘極端、及一用來接

收一電源電壓之第二端；以及

一第四電晶體，具有一電連接於該第一電晶體之第二端的第一端、一電連接於該第(N+2)級移位暫存器之閘極端、及一用來接收該電源電壓之第二端。

9. 如請求項 7 所述之移位暫存器電路，其中該第 N 級移位暫存器還包含：

一第一控制單元，電連接於該第一電晶體之第二端，該第一控制單元係用來根據該第 N 驅動控制電壓與一第一時脈產生一第一控制訊號；以及

一第一輔助下拉單元，電連接於該第一控制單元、該第一電晶體之第二端與該第 N 閘極線，該第一輔助下拉單元係用來根據該第一控制訊號以下拉該第 N 閘極訊號與該第 N 驅動控制電壓。

10. 如請求項 9 所述之移位暫存器電路，其中：

該第一控制單元包含：

一第五電晶體，具有一用來接收該第一時脈的第一端、一閘極端、及一用來輸出該第一控制訊號的第二端；

一第六電晶體，具有一電連接於該第五電晶體之第二端的第一端、一用來接收該第 N 驅動控制電壓的閘極端、及一用來接收一電源電壓的第二端；

一第七電晶體，具有一用來接收該第一時脈的第一端、一用

來接收該第一時脈的閘極端、及一電連接於該第五電晶體之閘極端的第二端；以及

一第八電晶體，具有一電連接於該第七電晶體之第二端的第一端、一用來接收該第 N 驅動控制電壓的閘極端、及一用來接收該電源電壓的第二端；以及

該第一輔助下拉單元包含：

一第九電晶體，具有一電連接於該第 N 閘極線的第一端、一用來接收該第一控制訊號的閘極端、及一用來接收該電源電壓的第二端；以及

一第十電晶體，具有一電連接於該第一電晶體之第二端的第一端、一用來接收該第一控制訊號的閘極端、及一電連接於該第 N 閘極線的第二端。

11. 如請求項 9 所述之移位暫存器電路，其中該第 N 級移位暫存器還包含：

一第二控制單元，電連接於該第一電晶體之第二端，該第二控制單元係用來根據該第 N 驅動控制電壓與反相於該第一時脈之一第二時脈產生一第二控制訊號；以及

一第二輔助下拉單元，電連接於該第二控制單元、該第一電晶體之第二端與該第 N 閘極線，該第二輔助下拉單元係用來根據該第二控制訊號以下拉該第 N 閘極訊號與該第 N 驅動控制電壓。

12. 如請求項 11 所述之移位暫存器電路，其中：

該第二控制單元包含：

- 一第十一電晶體，具有一用來接收該第二時脈的第一端、一閘極端、及一用來輸出該第二控制訊號的第二端；
- 一第十二電晶體，具有一電連接於該第十一電晶體之第二端的第一端、一用來接收該第 N 驅動控制電壓的閘極端、及一用來接收一電源電壓的第二端；
- 一第十三電晶體，具有一用來接收該第二時脈的第一端、一用來接收該第二時脈的閘極端、及一電連接於該第十一電晶體之閘極端的第二端；以及
- 一第十四電晶體，具有一電連接於該第十三電晶體之第二端的第一端、一用來接收該第 N 驅動控制電壓的閘極端、及一用來接收該電源電壓的第二端；以及

該第二輔助下拉單元包含：

- 一第十五電晶體，具有一電連接於該第 N 閘極線的第一端、一用來接收該第二控制訊號的閘極端、及一用來接收該電源電壓的第二端；以及
- 一第十六電晶體，具有一電連接於該第一電晶體之第二端的第一端、一用來接收該第二控制訊號的閘極端、及一電連接於該第 N 閘極線的第二端。

13. 如請求項 7 所述之移位暫存器電路，其中該進位單元包含一第十七電晶體，該第十七電晶體之一第一端係用來接收該系統時

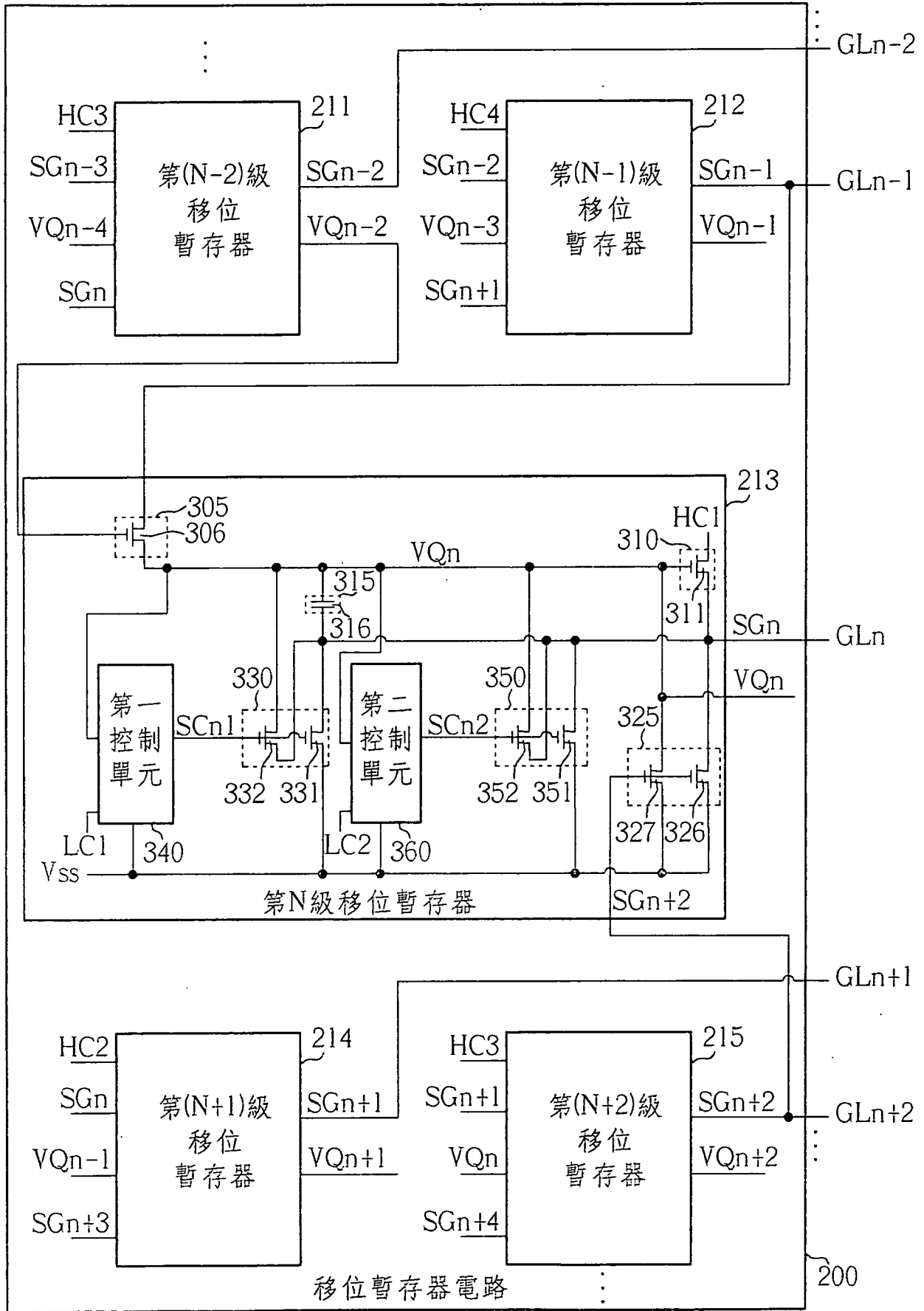
S

脈，該第十七電晶體之一閘極端係用來接收該第 N 驅動控制電壓，該第十七電晶體之一第二端係用來輸出該第 N 啟始脈波訊號。

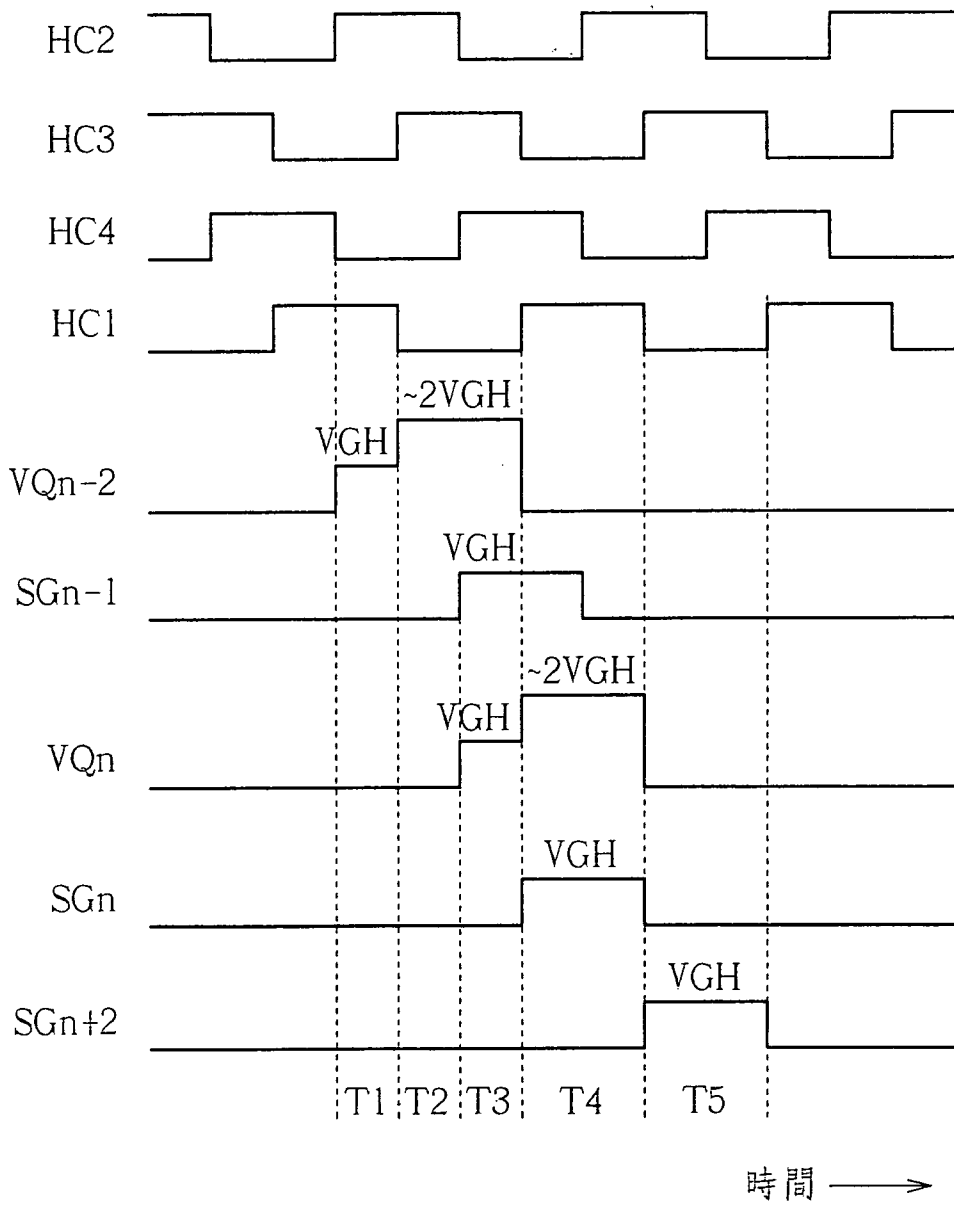
八、圖式：



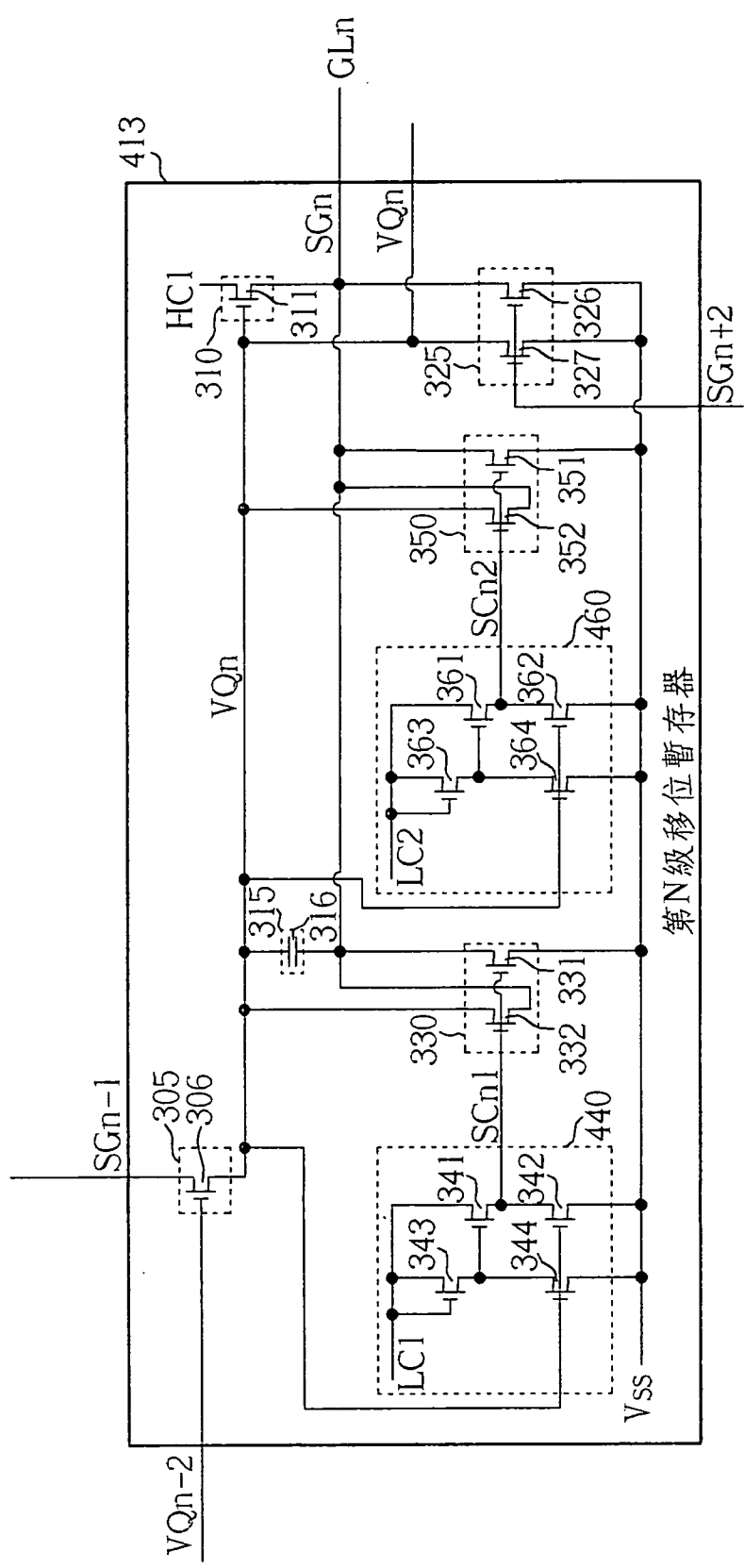




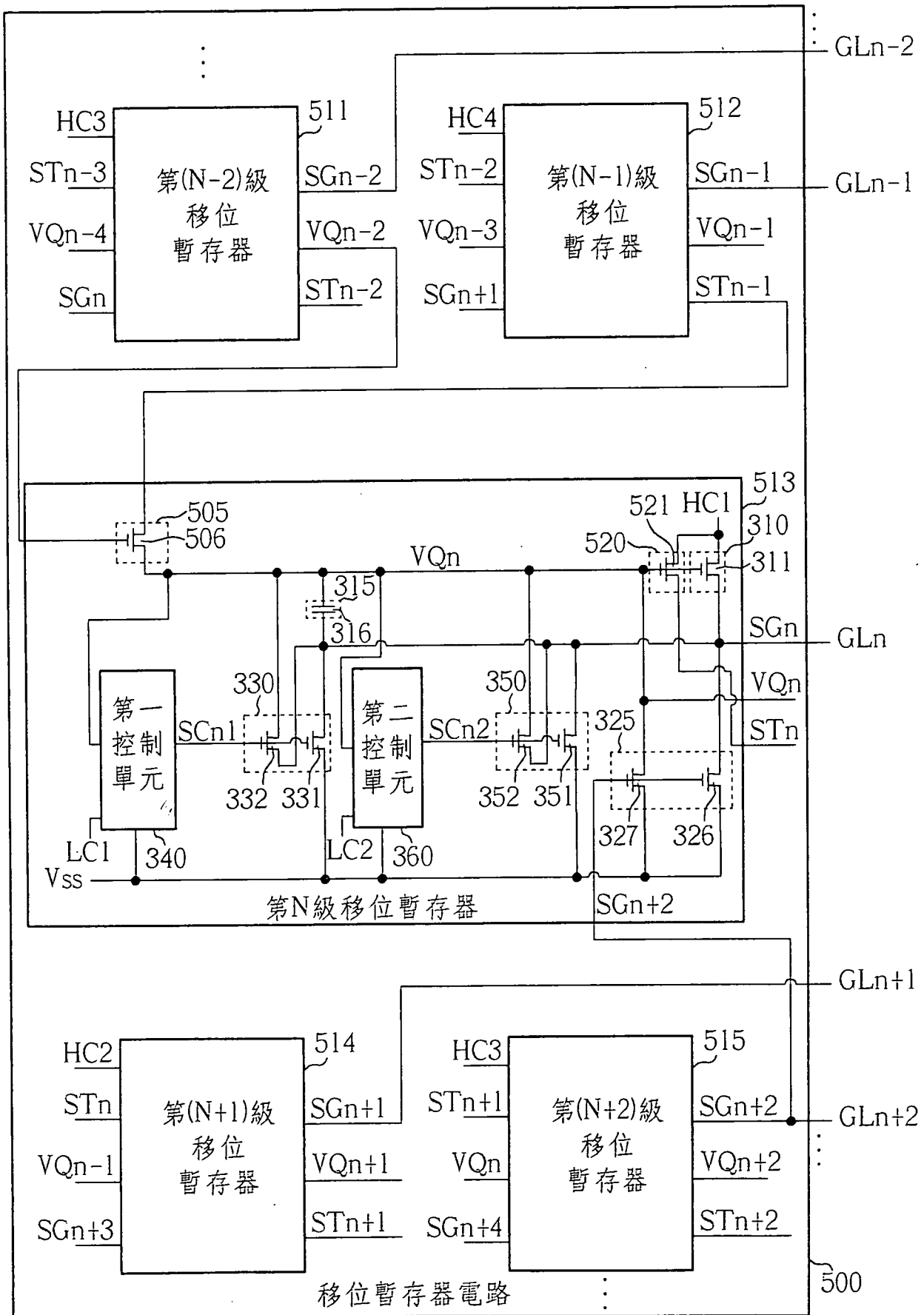
第2圖



第3圖



第4圖



第5圖