



(12) 发明专利

(10) 授权公告号 CN 102628921 B

(45) 授权公告日 2014. 12. 03

(21) 申请号 201210051640. 6

CN 101398467 A, 2009. 04. 01,

(22) 申请日 2012. 03. 01

US 2009/0177934 A1, 2009. 07. 09,

(73) 专利权人 华为技术有限公司

审查员 张丽萍

地址 518129 广东省深圳市龙岗区坂田华为
总部办公楼

(72) 发明人 王海军 孙兴国 唐维

(74) 专利代理机构 深圳市深佳知识产权代理事
务所(普通合伙) 44285

代理人 唐华明

(51) Int. Cl.

G01R 31/28(2006. 01)

(56) 对比文件

JP 特开 2002-311104 A, 2002. 10. 23,

US 7389381 B1, 2008. 06. 17,

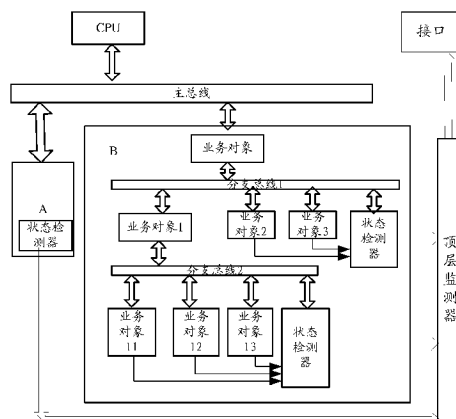
权利要求书2页 说明书6页 附图6页

(54) 发明名称

一种集成电路及对集成电路中总线状态进行
监控的方法

(57) 摘要

本发明实施例公开了一种集成电路及一种对
集成电路中总线状态进行监控的方法,所述集成
电路中设置了多个状态检测器和顶层监测器,采
用多个状态检测器分别读取与所述多个状态检
测器中每个状态检测器耦合的一个分支总线上的
状态数据,进而顶层监测器收集来自每个状态检
测器的所述状态数据,并将所述状态数据通过接
口输出。通过本发明实施例公开的集成电路及对
集成电路中总线状态进行监控的方法,利用空闲
的底层通路,即分支总线来传输本身的状态数据,
不需经过主总线,再将多个分支总线读取的状
态数据汇总并发往接口,减轻了主总线负担并
避免由芯片管脚数量造成的限制。



1. 一种集成电路,其特征在于,包括:

处理器、主总线、多个分支总线、多个状态检测器、顶层监测器和接口;

所述多个分支总线通过所述主总线耦合至所述处理器;

所述主总线用于将来自多个分支总线的数据传输至所述处理器;

所述处理器用于进行数据处理;

多个状态检测器中的每个状态检测器分别耦合至所述多个分支总线中的一个总线上,分别用于读取与所述每个状态检测器耦合的分支总线上的状态数据,并将所述状态数据上传至顶层监测器;

所述顶层监测器,用于收集来自每个状态检测器的所述状态数据,并将所述状态数据通过所述接口输出;

其中:

所述顶层监测器包括至少一个缓存,用于缓存来自每个状态检测器的所述状态数据;

所述顶层监测器包括:处理单元,用于对来自每个状态检测器的所述状态数据分别打包得到来自每个状态检测器的打包状态数据,将所述来自每个状态检测器的打包状态数据通过所述接口输出;所述来自每个状态检测器的打包状态数据包括与每个状态检测器相对应的标识;或者

用于将来自多个状态检测器的所述状态数据划分为不同类型的状态数据,将同一类型的状态数据打包,将所述同一类型的打包后的状态数据通过所述接口输出。

2. 根据权利要求1中所述的集成电路,其特征在于,所述每个状态检测器用于对所述状态数据进行打包,将打包后的所述状态数据上传至顶层监测器。

3. 根据权利要求1中所述的集成电路,其特征在于,所述每个状态检测器包括:

存储器,用于存储集成电路中的所述每个状态检测器耦合的分支总线上的状态访问请求;

控制单元,用于读取来自所述存储器的状态访问请求,并触发读取与每个状态检测器耦合的分支总线上的状态数据的操作;

上报器,用于将读取的状态数据上传至顶层监测器。

4. 根据权利要求1中所述的集成电路,其特征在于,所述每个状态检测器周期性地读取与每个状态检测器耦合的分支总线上的状态数据。

5. 根据权利要求4所述的集成电路,其特征在于,所述多个分支总线中的一个分支总线通过其他的分支总线耦合至所述主总线。

6. 一种对集成电路中总线状态进行监控的方法,其特征在于,包括:

多个状态检测器分别读取与每个状态检测器中每个状态检测器耦合的一个分支总线上的状态数据;

顶层监测器收集来自每个状态检测器的所述状态数据,并将所述状态数据通过接口输出;

其中,所述分支总线通过主总线耦合至处理器;

所述主总线用于将来自所述分支总线的数据传输至所述处理器;

所述处理器用于进行数据处理;

其中:

所述顶层监测器收集来自每个状态检测器的所述状态数据包括：缓存来自每个状态检测器的所述状态数据；

所述将所述状态数据通过接口输出包括：

对来自每个状态检测器的所述状态数据分别打包，将打包的状态数据发往接口；或者

将来自多个状态检测器的所述状态数据划分为不同类型的状态数据，将同一类型的状态数据打包，将打包的状态数据发往接口。

一种集成电路及对集成电路中总线状态进行监控的方法

技术领域

[0001] 本发明涉及电子监控领域,更具体的说,是涉及一种集成电路及对集成电路中总线状态进行监控的方法。

背景技术

[0002] 为了保证电子设备的正常运行及调试,减少电子设备在开发过程中的设计验证时间,工作中常常需要对其内部电路的工作状态进行实时监控。

[0003] 现有技术中,对电子设备内部电路工作状态的实时监控主要有两种方式,一种是通过控制 CPU (中央处理单元) 读取工作状态信息,并上报至观测器件;一种是将各电路器件信号连接至芯片管脚,通过观测管脚电压分析内部工作状态。其中,第一种方式的工作过程可参见图 1,如图所示,A 为和 B 具有相似结构的电路器件,总线 1 是第一级总线的下一级总线,用于将数据上报至第一级总线上,总线 3 则将数据上报至总线 2,采用逐级上报,并由第一级发往处理器;该现有技术一获取内部电路工作状态的方法中,工作状态数据的读取都需要 CPU 控制,工作状态数据的传输也都需要通过总线 1。第二种方式的工作过程可参见图 2,如图 2 所示,现有技术二获取内部电路工作状态的方法,是将电路器件的信号连接至芯片管脚上,通过观测芯片管脚上的电压来判断该管脚所连接的电路器件的工作状态,每一级总线都与芯片管脚存在接口。

[0004] 然而,现有技术一所采用的方法,在系统需要频繁访问内部状态的情况下,CPU 和总线 1 就会非常繁忙,整体影响系统性能;而现有技术二所采用的方法,由于受到芯片管脚数量的限制,访问的内部电路工作状态的种类也就有很大限制。

发明内容

[0005] 有鉴于此,本发明实施例提供了一种集成电路及对集成电路中总线状态进行监控的方法,以获取内部电路工作状态,减轻总线负担并避免由芯片管脚数量造成的限制。

[0006] 为实现上述目的,本发明提供如下技术方案:

[0007] 一种集成电路,包括:

[0008] 处理器、主总线、多个分支总线、多个状态检测器、顶层监测器和接口;

[0009] 所述多个分支总线通过所述主总线耦合至所述处理器;

[0010] 所述主总线用于将来自多个分支总线的数据传输至所述处理器;

[0011] 所述处理器用于进行数据处理;

[0012] 多个状态检测器中的每一个状态检测器分别耦合至所述多个分支总线中的一个总线上,分别用于读取与所述每个状态检测器耦合的分支总线上的状态数据,并将所述状态数据上传至顶层监测器;

[0013] 所述顶层监测器,用于收集来自每个状态检测器的所述状态数据,并将所述状态数据通过所述接口输出。

[0014] 一种对集成电路中总线状态进行监控的方法,包括:

[0015] 多个状态检测器分别读取与所述多个状态检测器中每个状态检测器耦合的一个分支总线上的状态数据；

[0016] 顶层监测器收集来自每个状态检测器的所述状态数据，并将所述状态数据通过接口输出；

[0017] 其中，所述分支总线通过主总线耦合至处理器；

[0018] 所述主总线用于将来自所述分支总线的数据传输至所述处理器；

[0019] 所述处理器用于进行数据处理。

[0020] 经由上述的技术方案可知，与现有技术相比，本发明实施例公开了一种集成电路及一种对集成电路中总线状态进行监控的方法，所述集成电路包括处理器、主总线、多个分支总线、多个状态检测器、顶层监测器和接口，所述多个分支总线通过所述主总线耦合至所述处理器，所述主总线将来自多个分支总线的数据传输至所述处理器，所述多个状态检测器中的每一个状态检测器分别耦合至所述多个分支总线中的一个总线上，分别读取与所述每个状态检测器耦合的分支总线上的状态数据，并将所述状态数据上传至顶层监测器，所述顶层监测器收集来自每个状态检测器的所述状态数据，并将所述状态数据通过所述接口输出。上述集成电路及对集成电路总线状态监控的方法，利用空闲的底层通路，即分支总线来读取本身的状态数据，再将多个分支总线读取的状态数据汇总并发往接口，减轻了总线负担并避免由芯片管脚数量造成的限制。

附图说明

[0021] 为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据提供的附图获得其他的附图。

[0022] 图 1 为现有技术一获取电子设备内部电路工作状态的方法示意图；

[0023] 图 2 为现有技术二获取电子设备内部电路工作状态方法示意图；

[0024] 图 3 为本发明实施例公开的集成电路布局示意图；

[0025] 图 4 为本发明实施例公开的状态检测器结构示意图；

[0026] 图 5 为本发明实施例公开的顶层监测器结构示意图；

[0027] 图 6 为本发明实施例公开的第一集成电路总线状态监控的方法流程图；

[0028] 图 7 为本发明实施例公开的顶层监测器工作流程图；

[0029] 图 8 为本发明实施例公开的第二集成电路总线状态监控的方法流程图；

[0030] 图 9 为本发明实施例公开的读取状态数据的流程示意图。

具体实施方式

[0031] 下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

[0032] 实施例一

[0033] 图 3 为本发明实施例公开的集成电路布局示意图,参见图 3 所示,A 为和 B 具有相似结构的电路器件,每一个状态检测器都部署在一条分支总线上,与其所在的分支总线上的功能单元同级,为并行关系;

[0034] 所述集成电路可以包括:处理器、主总线、多个分支总线、多个状态检测器、顶层监测器和接口;

[0035] 所述多个分支总线通过所述主总线耦合至所述处理器;

[0036] 所述主总线用于将来自多个分支总线的数据传输至所述处理器;

[0037] 其中,所述多个分支总线中的一个分支总线通过其他的分支总线耦合至所述主总线;

[0038] 所述处理器用于进行数据处理;所述数据可以由集成电路内各级总线传输给所述处理器,由处理器对这些数据做处理,所述数据可包括但不限于音频、视频等业务数据。

[0039] 多个状态检测器中的每一个状态检测器分别耦合至所述多个分支总线中的一个总线上,分别用于读取与所述每个状态检测器耦合的分支总线上的状态数据,并将所述状态数据上传至顶层监测器;其中,所述每个状态检测器的一种示意性结构可以参见图 4,如图所述,所述每个状态检测器 40 可以包括:

[0040] 存储器 401,用于存储集成电路中的所述每个状态检测器耦合的分支总线上的状态访问请求;

[0041] 其中,所述状态访问请求可以由状态检测器周期性自主产生,也可以是由所述集成电路中,与所述每个状态检测器通过分支总线耦合的功能单元产生的;

[0042] 控制单元 402,用于读取来自所述存储器的状态访问请求,并触发读取与所述每个状态检测器耦合的分支总线上的状态数据的操作;

[0043] 其中,所述每一个状态检测器可以周期性地读取与所述每个状态检测器耦合的分支总线上的状态数据;

[0044] 上报器 403,用于将读取的状态数据上传至顶层监测器。

[0045] 所述顶层监测器,用于收集来自每个状态检测器的所述状态数据,并将所述状态数据通过所述接口输出。每个状态检测器收集的状态数据反映了该状态检测器所检测的总线的状态情况,如该总线的繁忙程度。在实际应用中,如果一个总线负担的数据量超过一定门限或者达到最大负载的一定比例,如 80%,可认为该总线达到繁忙。

[0046] 在一个示意性的示例中,所述顶层监测器的结构示意图可以参见图 5,如图 5 所示,所述顶层监测器 50 可以包括:

[0047] 缓存器 501,用于缓存来自每个状态检测器的所述状态数据;

[0048] 由于各个状态检测器可能会同时发送状态数据给顶层监测器,出现时间冲突,在顶层监测器中设置缓存器,能够平滑时间上操作的冲突,所述缓存器 501 中至少要包括一个缓存块;

[0049] 处理单元 502,用于对来自每个状态检测器的所述状态数据分别打包得到来自每个状态检测器的打包状态数据,将所述来自每个状态检测器的打包状态数据通过所述接口输出;所述来自每个状态检测器的打包状态数据包括与所述每个状态检测器相对应的标识;或者

[0050] 用于将来自多个状态检测器的所述状态数据划分为不同类型的状态数据,将同一

类型的状态数据打包,将所述同一类型的打包状态数据通过所述接口输出。

[0051] 其中,若按照状态数据的来源地址来对所述状态数据打包,在来自每个状态检测器的打包状态数据中设置与所述每个状态检测器相对应的标识,能够方便快速的判断出打包状态数据是来自于那个分支总线的,从而可以针对性的直接了解想要了解的分支总线的状态数据;若按照不同的类型对状态数据进行划分,可以有不同的划分标准,例如状态数据的接收时间、状态数据的内存属性等,当然,根据用户要求的不同,可以为其他能够区分状态数据的属性特征。

[0052] 本实施例中,所述集成电路包括处理器、主总线、多个分支总线、多个状态检测器、顶层监测器和接口,所述多个分支总线通过所述主总线耦合至所述处理器,所述主总线用于将来自多个分支总线的数据传输至所述处理器,所述多个状态检测器中的每一个状态检测器分别耦合至所述多个分支总线中的一个总线上,分别用于读取与所述每个状态检测器耦合的分支总线上的状态数据,并将所述状态数据上传至顶层监测器,所述顶层监测器收集来自每个状态检测器的所述状态数据,并将所述状态数据通过所述接口输出。上述集成电路及对集成电路总线状态监控的方法,利用空闲的底层通路,即分支总线来读取本身的状态数据,再将多个分支总线读取的状态数据汇总并发往接口,减轻总线负担并避免由芯片管脚数量造成的限制。

[0053] 实施例二

[0054] 图6为本发明实施例公开的第一集成电路总线状态监控的方法流程图,参见图6所示,所述方法可以包括:

[0055] 步骤601:多个状态检测器分别读取与所述多个状态检测器中每个状态检测器耦合的一个分支总线上的状态数据;

[0056] 所述集成电路还包括主总线和处理器,所述分支总线通过主总线耦合至处理器,所述主总线用于将来自所述分支总线的数据传输至所述处理器,所述处理器用于进行数据处理;

[0057] 步骤602:顶层监测器收集来自每个状态检测器的所述状态数据,并将所述状态数据通过接口输出;

[0058] 在一个示意性的示例中,步骤602的实现可以参见图7,图7为本发明实施例公开的顶层监测器工作流程图,如图所示,可以包括:

[0059] 步骤701:缓存来自每个状态检测器的所述状态数据;

[0060] 为了避免所述多个状态检测器同时发送状态数据给所述顶层监测器而造成通路拥堵,通过缓存状态数据以平滑时间上的冲突;

[0061] 步骤702:将所述状态数据打包;

[0062] 其中,可以对来自每个状态检测器的所述状态数据分别打包;或者将来自多个状态检测器的所述状态数据划分为不同类型的状态数据,将同一类型的状态数据打包;

[0063] 步骤703:将打包的状态数据发往接口。

[0064] 本实施例中,所述对集成电路中总线进行控制的方法在集成电路中设置了多个状态检测器和顶层监测器,采用多个状态检测器分别读取与所述多个状态检测器中每个状态检测器耦合的一个分支总线上的状态数据,然后顶层监测器收集来自每个状态检测器的所述状态数据,并将所述状态数据通过接口输出;利用空闲的底层通路,即分支总线来读取本

身的状态数据,再将多个分支总线读取的状态数据汇总并发往接口,减轻了总线负担并避免由芯片管脚数量造成的限制。

[0065] 实施例三

[0066] 图 8 为本发明实施例公开的第二集成电路总线状态监控的方法流程图,参照图 8 所示,所述状态监控方法可以包括:

[0067] 步骤 801:各分支总线上的状态检测器分别获取本分支总线上的状态访问请求;

[0068] 本步骤中,所述状态访问请求有两个来源,一是由状态检测器根据预设的配置,周期性产生的定时访问请求,所述预设的配置规定了针对不同的内部模块,多长时间发起一次状态访问请求;另一个状态访问请求的来源是由各个功能模块发送的请求访问请求;功能模块发送的请求访问请求,一般是功能模块根据自身的特点,由一些特殊状态触发而产生的;所述特殊状态触发,可以包括但不局限于某模块提前完成预设任务,为避免和定时状态访问请求集中到一起,增加处理难度而提前主动要求状态检测器来访问自身状态;也可以是由用户发起的需要访问某功能模块此时的工作状态而激发产生的请求访问请求;

[0069] 步骤 802:根据所述状态访问请求的指示信息读取状态数据;

[0070] 其中,所述指示信息包括需要访问状态的地址及需要读取的访问状态的字节数;

[0071] 在一个示意性的示例中,步骤 802 的实现可以参见图 9,图 9 为本发明实施例公开的读取状态数据的流程示意图,如图 9 所示,可以包括:

[0072] 步骤 901:记录下各个状态访问请求,并为所述状态访问请求排序;

[0073] 记录下获取的各个状态访问请求,可以根据用户的需要按照不同的标准来对获取的状态访问请求进行排序,例如:可以按照各个状态访问请求的优先级别来进行优先级别从高到低的排序;也可以按照各个状态访问请求的获取时间来进行时间从先到后的排序;

[0074] 步骤 902:根据排好序的状态访问请求,从预先配置的状态信息表中每个状态访问请求对应的地址及应读取字节数中,获取状态请求的指示信息;

[0075] 按照步骤 901 排好的顺序,依次从预先配置的状态信息表中得到需要访问的状态所处的地址和需要读取状态的字节数,作为指示信息为读取状态数据做准备;

[0076] 步骤 903:根据所述指示信息读取状态数据;

[0077] 当然,图 9 所述的排序不是必须的,在实际应用中可以随机记录各个状态访问请求;

[0078] 按照步骤 902 中确定的需读取状态的地址和读取字节数,通过总线读取状态数据;

[0079] 步骤 803:将所述状态数据划分为不同类型,将同一类型的状态数据打包;

[0080] 本步骤中,可以按照状态数据的来源地址,将来自于不同状态检测器的状态数据划分不同类型,并按照类型的不同将所述状态数据打包;当然,类型的划分方式不局限于此;由于各个状态检测器可能会同时发送状态数据,这样就可能出现外用接口拥堵,通过缓存打包处理,一定程度上平滑了状态数据发送时的时间冲突;

[0081] 步骤 804:将所述状态数据发往外用接口。

[0082] 本实施例中,所述对集成电路中总线进行控制的方法在集成电路中设置了多个状态检测器和顶层监测器,采用多个状态检测器分别读取与所述多个状态检测器中每个状态检测器耦合的一个分支总线上的状态数据,然后顶层监测器收集来自每个状态检测器的所

述状态数据,并将所述状态数据通过接口输出;利用空闲的底层通路,即分支总线来读取本身的状态数据,再将多个分支总线读取的状态数据汇总并发往接口,减轻了总线负担并避免由芯片管脚数量造成的限制。

[0083] 还需要说明的是,在本文中,诸如第一和第二等之类的关系术语仅仅用来将一个实体或者操作与另一个实体或操作区分开来,而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺序。而且,术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含,从而使得包括一系列要素的过程、方法、物品或者设备不仅包括那些要素,而且还包括没有明确列出的其他要素,或者是还包括为这种过程、方法、物品或者设备所固有的要素。在没有更多限制的情况下,由语句“包括一个……”限定的要素,并不排除在包括所述要素的过程、方法、物品或者设备中还存在另外的相同要素。

[0084] 结合本文中所公开的实施例描述的方法或算法的步骤可以直接用硬件、处理器执行的软件模块,或者二者的结合来实施。软件模块可以置于随机存储器(RAM)、内存、只读存储器(ROM)、电可编程ROM、电可擦除可编程ROM、寄存器、硬盘、可移动磁盘、CD-ROM、或技术领域内所公知的任意其它形式的存储介质中。

[0085] 对所公开的实施例的上述说明,使本领域专业技术人员能够实现或使用本发明。对这些实施例的多种修改对本领域的专业技术人员来说将是显而易见的,本文中所定义的一般原理可以在不脱离本发明的精神或范围的情况下,在其它实施例中实现。因此,本发明将不会被限制于本文所示的这些实施例,而是要符合与本文所公开的原理和新颖特点相一致的最宽的范围。

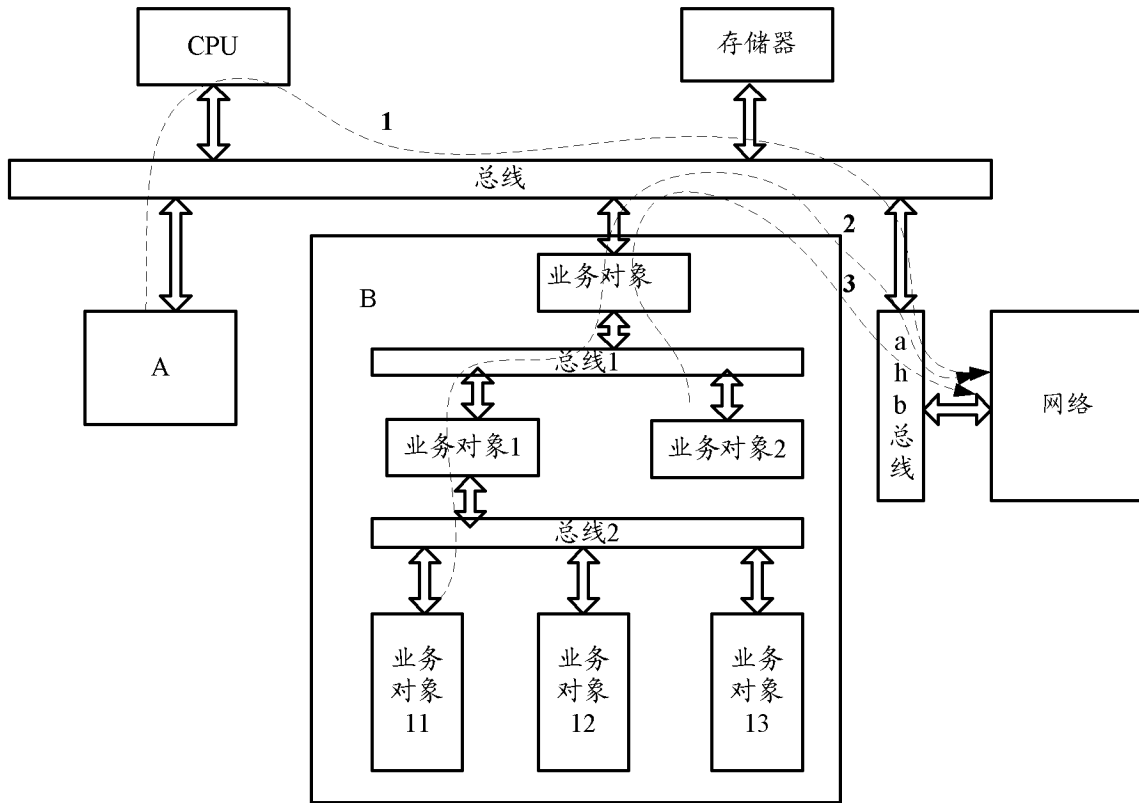


图 1

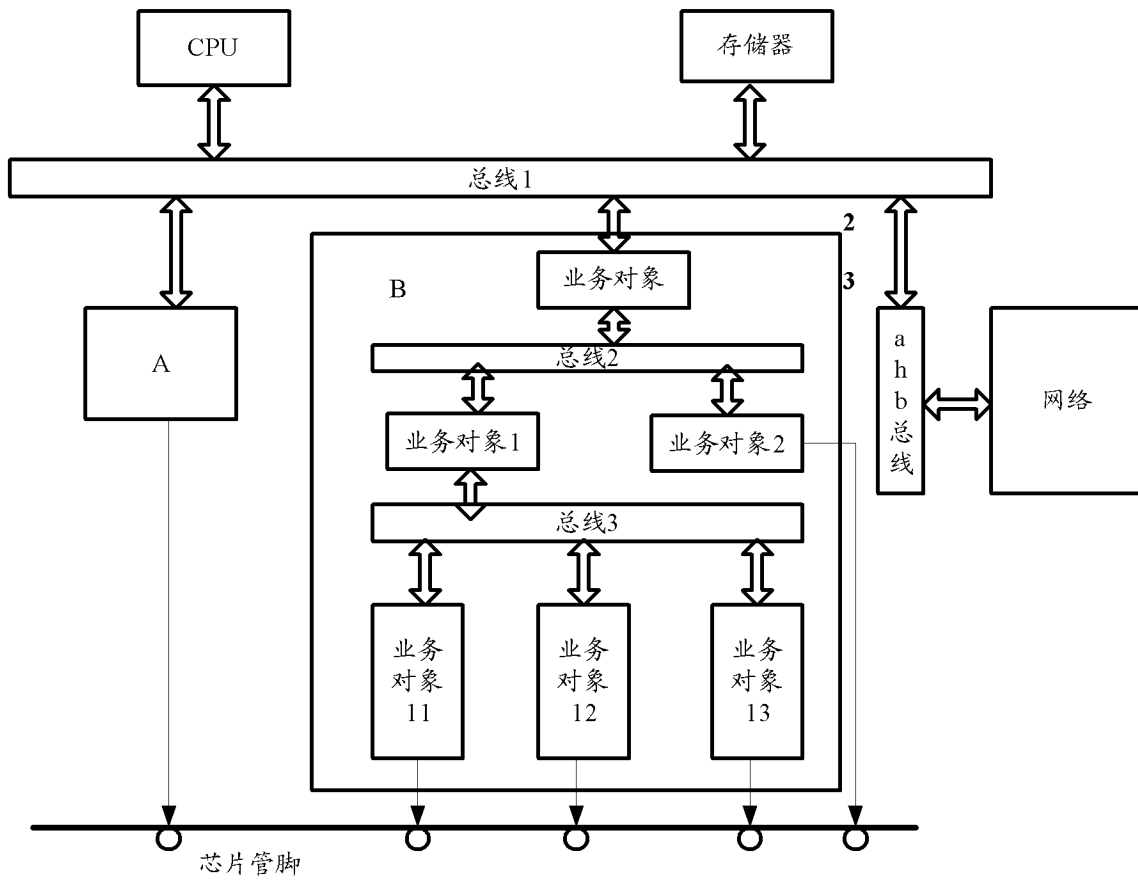


图 2

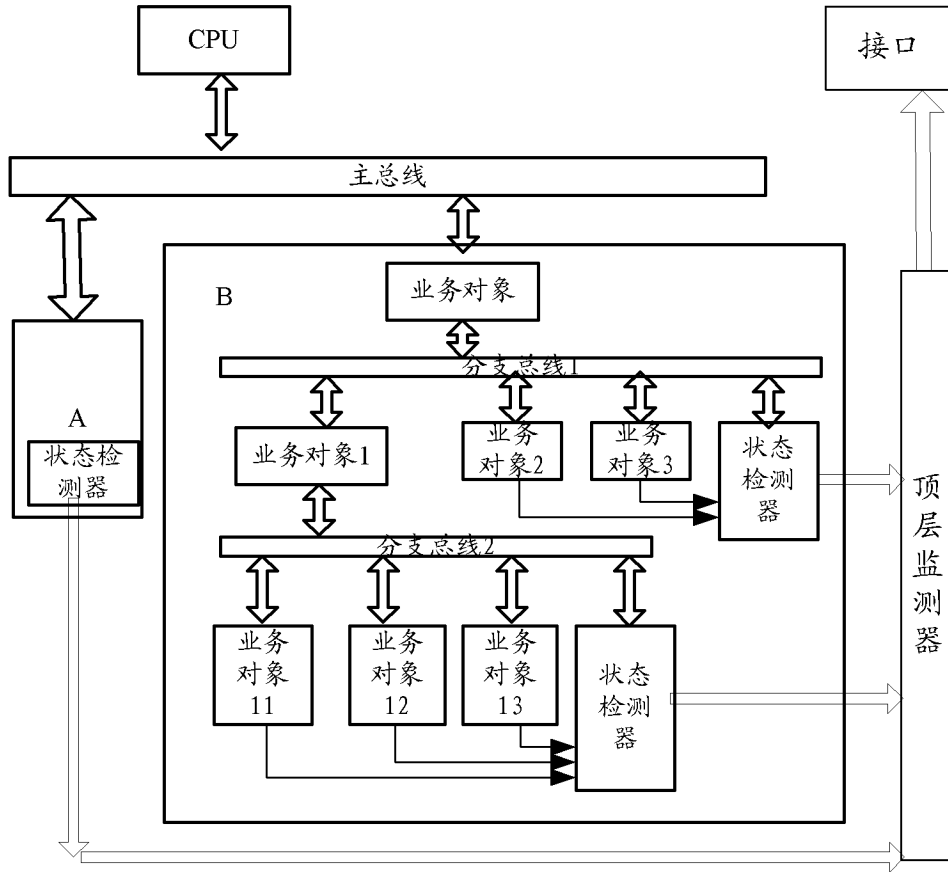


图 3

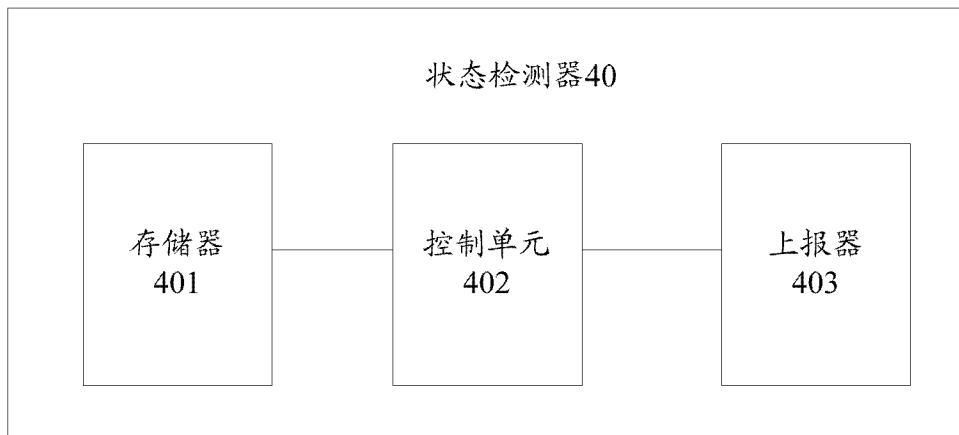


图 4

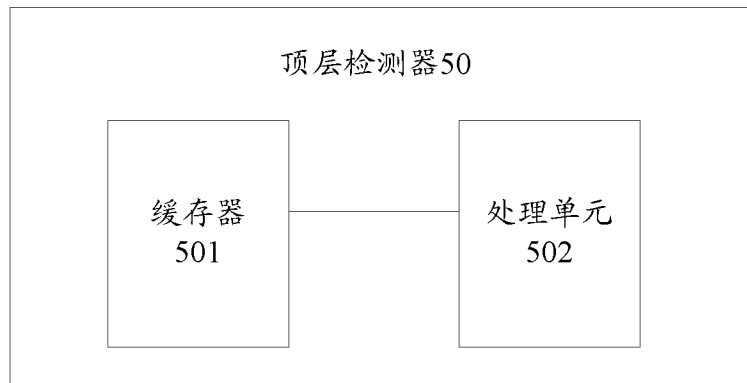


图5

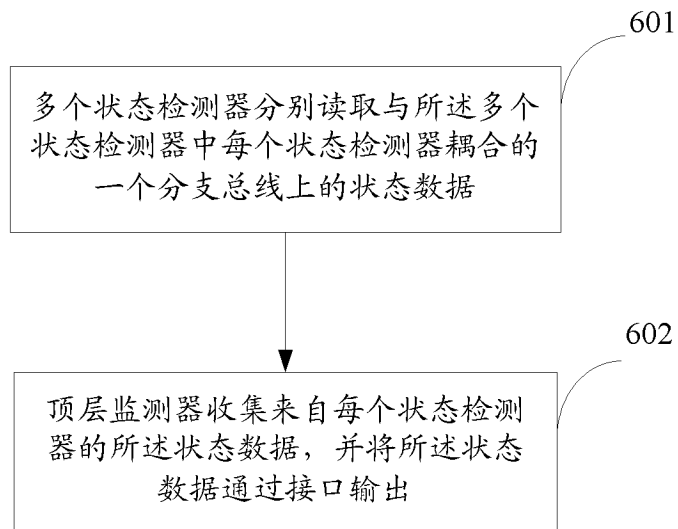


图6

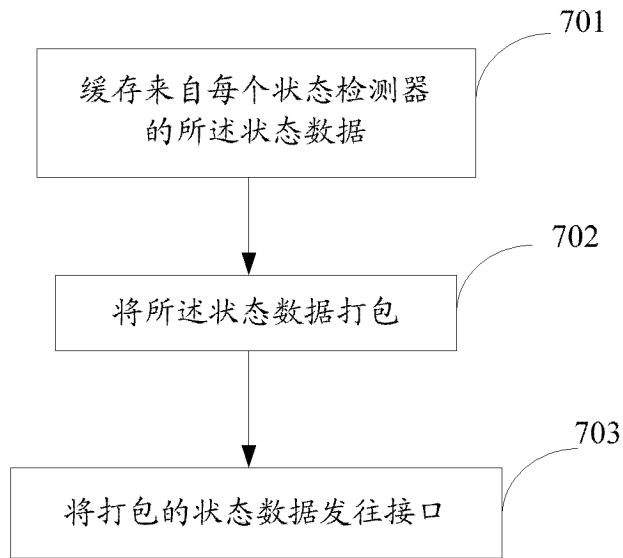


图 7

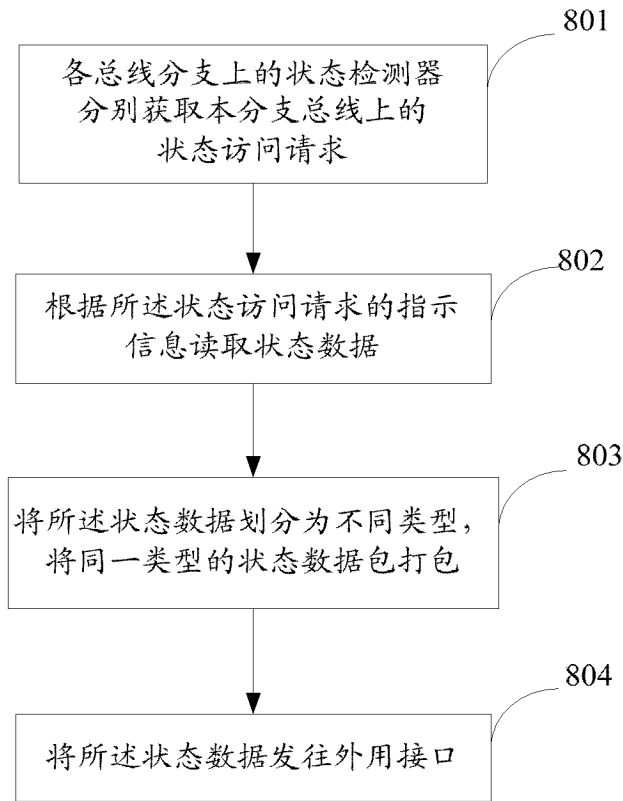


图 8

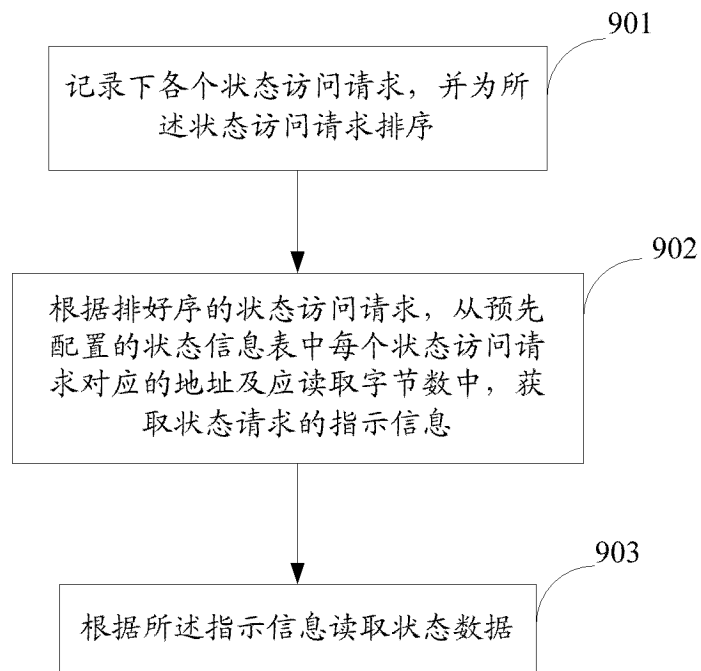


图 9