

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-25254
(P2005-25254A)

(43) 公開日 平成17年1月27日(2005.1.27)

(51) Int. Cl.⁷
G06T 15/00

F I
G06T 15/00 300

テーマコード(参考)
5B080

審査請求 未請求 請求項の数 8 O L (全 11 頁)

(21) 出願番号 特願2003-186776(P2003-186776)
(22) 出願日 平成15年6月30日(2003.6.30)

(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(74) 代理人 100075812
弁理士 吉武 賢次
(74) 代理人 100088889
弁理士 橘谷 英俊
(74) 代理人 100082991
弁理士 佐藤 泰和
(74) 代理人 100096921
弁理士 吉元 弘
(74) 代理人 100103263
弁理士 川崎 康

最終頁に続く

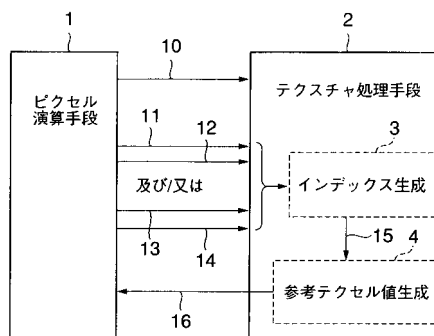
(54) 【発明の名称】 コンピュータグラフィックス描画装置

(57) 【要約】

【課題】 インデックスの生成を動的に切り替えることにより、ハードウェアを大きく増加させることなく、テクスチャキャッシュの効率を向上させる。

【解決手段】 コンピュータグラフィックス描画装置は、テクスチャ座標 10 を出力すると共にテクスチャ適応情報としてのフィルタリングモード 11 とミップマップレベル 12 の組合せおよびマルチテクスチャ数 13 とテクスチャ識別子 14 の組合せの少なくとも一方の組合せを出力するピクセル演算手段 1 と、フィルタリングモード 11 がミップマップレベル 12 を含むか否か、および、マルチテクスチャ数 13 が 1 であるか 2 以上であるか、の少なくとも何れかの条件を判断して、現在のコンテキスト数に基づいてコンテキスト間のエントリの数を最小限とするようなインデックス生成関数を用いてキャッシュエントリを指示するインデックス 15 を生成し、このインデックス 15 により参照テクセル値 16 を生成してピクセル演算手段 1 に出力するテクスチャ処理手段 2 と、を備える。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

テクスチャマッピング機能を有するコンピュータグラフィックス描画装置であって、テクスチャ座標を出力すると共に、テクスチャ適応情報としてのフィルタリングモードとミップマップレベルの組合せ、および、マルチテクスチャ数とテクスチャ識別子の組合せの少なくとも一方の組合せを出力するピクセル演算手段と、

前記フィルタリングモードがミップマップレベルを含むか否か、および、前記マルチテクスチャ数が 1 であるか 2 以上であるか、の少なくとも何れかの条件を判断して、現在のコンテキスト数に基づいてコンテキスト間のエントリの数を最小限とするようなインデックス生成関数を用いてキャッシュエントリを指示するインデックスを生成し、該インデックスを用いて参照テクセル値を生成して前記ピクセル演算手段に出力するテクスチャ処理手段と、を備えることを特徴とするコンピュータグラフィックス描画装置。

10

【請求項 2】

テクスチャマッピング機能を有するコンピュータグラフィックス描画装置であって、描画するピクセルに対応する座標であるテクスチャ座標と、画像データの補間を行なうテクスチャマッピング用のデータであるミップマップレベルと、テクスチャに適応する情報であるフィルタリングモードと、を出力するピクセル演算手段と、

前記ピクセル演算手段から出力された前記テクスチャ座標、前記ミップマップレベル、前記フィルタリングモードを受け取り、

前記フィルタリングモードが前記ミップマップレベルを使用しないモードである場合には、前記テクスチャ座標を入力とする任意の関数によりインデックスを生成し、

20

前記フィルタリングモードが前記ミップマップレベルを使用するモードである場合には、前記テクスチャ座標と前記ミップマップレベルを入力とする任意の関数を用いて前記インデックスを生成することにより、

テクスチャキャッシュ内の参照するテクセルに対応するキャッシュエントリを指示する前記インデックスを生成するインデックス生成手段と、を備えることを特徴とする請求項 1 に記載のコンピュータグラフィックス描画装置。

【請求項 3】

前記ピクセル演算手段は、前記テクスチャ座標、前記フィルタリングモード、前記ミップマップレベルを、前記インデックス生成手段としてのインデックス生成回路に出力するピクセル演算ユニットより構成され、

30

前記インデックス生成回路は、データをフェッチするデータフェッチ回路と共にテクスチャキャッシュユニットを構成し、前記データフェッチ回路は、前記インデックス生成回路が出力する前記インデックスと、前記ピクセル演算ユニットより出力される前記テクスチャ座標、前記ミップマップレベル、テクスチャ識別子を用いて参照テクセル値を前記ピクセル演算ユニットに対して出力することを特徴とする請求項 2 に記載のコンピュータグラフィックス描画装置。

【請求項 4】

前記ピクセル演算手段は、テクスチャ識別子と、マルチテクスチャ数と、をさらに出力すると共に、

40

前記インデックス生成手段は、前記ピクセル演算手段から出力された前記テクスチャ座標、前記ミップマップレベル、前記フィルタリングモード、前記テクスチャ識別子、前記マルチテクスチャ数を受け取り、

前記フィルタリングモードが前記ミップマップレベルを使用しないモードで、かつ、前記マルチテクスチャ数が 1 であった場合には、前記テクスチャ座標を入力とする任意の関数を用いて前記インデックスを生成し、

前記フィルタリングモードが前記ミップマップレベルを使用しないモードで、かつ、前記マルチテクスチャ数が 2 以上であった場合には、前記テクスチャ座標と前記テクスチャ識別子を入力とする任意の関数を用いて前記インデックスを生成し、

前記フィルタリングモードが前記ミップマップレベルを使用するモードであって、かつ、

50

前記マルチテクスチャ数が1であった場合には、前記テクスチャ座標と前記ミップマップレベルを入力とする任意の関数を用いて前記インデックスを生成し、
前記フィルタリングモードが前記ミップマップレベルを使用するモードであって、かつ、前記マルチテクスチャ数が2以上であった場合には、前記テクスチャ座標、前記ミップマップレベル、前記テクスチャ識別子を入力とする任意の関数を用いて前記インデックスを生成することにより、
前記テクスチャキャッシュ内の参照するテクセルに対応するキャッシュエントリを指示する前記インデックスを生成する、ことを特徴とする請求項2に記載のコンピュータグラフィックス描画装置。

【請求項5】

前記ピクセル演算手段は、前記テクスチャ座標、前記フィルタリングモード、前記ミップマップレベル、前記マルチテクスチャ数、前記テクスチャ識別子を、前記インデックス生成手段としてのインデックス生成回路に出力するピクセル演算ユニットより構成され、
前記インデックス生成回路は、データをフェッチするデータフェッチ回路と共にテクスチャキャッシュユニットを構成し、前記データフェッチ回路は、前記インデックス生成回路が出力する前記インデックスと、前記ピクセル演算ユニットより出力される前記テクスチャ座標、前記ミップマップレベル、テクスチャ識別子を用いて参照テクセル値を前記ピクセル演算ユニットに対して出力することを特徴とする請求項4に記載のコンピュータグラフィックス描画装置。

【請求項6】

テクスチャマッピング機能を有するコンピュータグラフィックス描画装置であって、
描画するピクセルに対応する座標であるテクスチャ座標と、テクスチャ識別子と、マルチテクスチャ数と、をそれぞれ出力するピクセル演算手段と、
前記ピクセル演算手段から出力された前記テクスチャ座標、前記テクスチャ識別子、前記マルチテクスチャ数を受け取り、
前記マルチテクスチャ数が1であった場合には、前記テクスチャ座標を入力とする任意の関数によりインデックスを生成し、
前記マルチテクスチャ数が2以上であった場合には、前記テクスチャ座標と前記テクスチャ識別子を入力とする任意の関数を用いて前記インデックスを生成することにより、
テクスチャキャッシュ内の参照するテクセルに対応するキャッシュエントリを指示する前記インデックスを生成するインデックス生成手段と、を備えることを特徴とする請求項1に記載のコンピュータグラフィックス描画装置。

【請求項7】

前記ピクセル演算手段は、前記テクスチャ座標、前記マルチテクスチャ数、前記テクスチャ識別子を、前記インデックス生成手段としてのインデックス生成回路に出力するピクセル演算ユニットより構成され、
前記インデックス生成回路は、データをフェッチするデータフェッチ回路と共にテクスチャキャッシュユニットを構成し、前記データフェッチ回路は、前記インデックス生成回路が出力する前記インデックスと、前記ピクセル演算ユニットより出力される前記テクスチャ座標、前記ミップマップレベル、テクスチャ識別子を用いて参照テクセル値を前記ピクセル演算ユニットに対して出力することを特徴とする請求項6に記載のコンピュータグラフィックス描画装置。

【請求項8】

テクスチャマッピング機能を有するコンピュータグラフィックス描画装置であって、
描画するピクセルに対応する座標であるテクスチャ座標と、画像データの補間を行なうテクスチャマッピング用のデータであるミップマップレベルと、テクスチャに適應する情報であるフィルタリングモードと、テクスチャ識別子と、マルチテクスチャ数と、を出力するピクセル演算手段と、
前記ピクセル演算手段から出力された前記テクスチャ座標、前記ミップマップレベル、前記フィルタリングモード、テクスチャ識別子、マルチテクスチャ数、を受け取り、

10

20

30

40

50

前記フィルタリングモードが前記ミップマップレベルを使用しないモードであって、かつ、前記マルチテクスチャ数が1であった場合には、前記テクスチャ座標を入力とする任意の関数を用いて前記インデックスを生成し、

前記フィルタリングモードが前記ミップマップレベルを使用しないモードであって、かつ、前記マルチテクスチャ数が2以上であった場合には、前記テクスチャ座標と前記テクスチャ識別子を入力とする任意の関数を用いて前記インデックスを生成し、

前記フィルタリングモードが前記ミップマップレベルを使用するモードであって、かつ、前記マルチテクスチャ数が1であった場合には、前記テクスチャ座標と前記ミップマップレベルを入力とする任意の関数を用いて前記インデックスを生成し、

前記フィルタリングモードが前記ミップマップレベルを使用するモードであって、かつ、前記マルチテクスチャ数が2以上であった場合には、前記テクスチャ座標、前記ミップマップレベル、前記テクスチャ識別子を入力とする任意の関数を用いて前記インデックスを生成することにより、

前記テクスチャキャッシュ内の参照するテクセルに対応するキャッシュエントリを指示する前記インデックスを生成するインデックス生成手段と、を備えることを特徴とする請求項1に記載のコンピュータグラフィックス描画装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、コンピュータグラフィックス描画装置に係り、特にテクスチャキャッシュ機能を備えるコンピュータグラフィックス描画装置に関する。

【0002】

【従来技術】

一般に、コンピュータグラフィックス装置は、3次元座標を3角形などのポリゴン (polygon 多角形) に分解し、そのポリゴンを描画することにより画像全体の描画が行なわれている。この場合、3次元画像はポリゴンの組合せにより定義されている。ところで、描画対象としての物体の表面は、複雑な模様の繰り返しパターンを有することが多く、模様やパターンが複雑で細くなるほど、各模様やパターンを三角形などによりモデリングすることが困難となる。そこで、これを解決すると共に描画画像の表現力を飛躍的に向上させるためにテクスチャマッピング手法を用いている。

【0003】

このテクスチャマッピングは、スキャナ等により取り込んだイメージデータを物体の表面に張り付けることにより、少ない頂点数でもリアルティの高い画像を実現しており、オブジェクト (object) 座標系からテクスチャ (texture) 座標系への写像を定義してウィンドウ (window) 座標系における各ピクセル (pixel : picture cell element) に対応するテクセル (texel : texture cell element) を求めている。

【0004】

テクスチャに利用される画像データは、テクスチャメモリに格納されており、このテクスチャメモリを動画像データを用いて随時に更新処理することにより、動画像に対するテクスチャマッピング処理が可能となる。ところで、テクスチャマッピング処理は、上述したように、描画対象である物体の表面にテクスチャを張り付けることにより行なわれており、この処理に当たって、画素に原画よりも拡大されたテクスチャを張り付ける場合と、縮小されたテクスチャを張り付ける場合とがある。

【0005】

原画よりも拡大されたテクスチャを張り付ける場合、例えば、4近傍補間等の原画フィルタリング処理を施すことにより、リアルタイムに対処することができる。これに対して、原画よりも縮小されてテクスチャが張り付けられる場合には1つの画素に多くのテクセルが対応することになり、画像に対するエイリアシング (aliasing) 妨害が目立つようになる。そこで、ポリゴンの大きさに対応した複数の大きさのテクスチャを有するテ

クスチャパターンを予め生成しておいて、必要に応じて適切な大きさのテクスチャをポリゴンにマッピングするミップマップ (M I P M A P / m u l t u m i n p a r v o m a p p i n g 小型で内容が豊富なマッピング) テクスチャマッピング法 (以下、ミップマップ法という) が知られている (特許文献 1) 。

【 0 0 0 6 】

このミップマップ法においては、ミップマップフィルタリングを用いてテクスチャマッピングを行ない高画質を得るようにしている。このミップマップフィルタリングは、テクスチャが縮小して張り付けられた場合には、情報の欠落によって生ずるエイリアシングを避けるために、縮小率に応じて予めフィルタリング済みのテクスチャを複数用意しておき、各画素の縮小率に応じて選択して使用するものである。用意されるテクスチャの縮小率は、元画像に対して、1 / 2 画像、1 / 4 画像、1 / 8 画像などである。このように、縮小率の相違する複数の画像を予め用意しておくのは、画像のフィルタリングに要する負担を軽減させるためである。

10

【 0 0 0 7 】

上述した従来 of テクスチャマッピング法においては、テクスチャキャッシュ装置が用いられているが、この従来 of テクスチャキャッシュ装置は、キャッシュのエントリを指し示すインデックスを生成するのに、テクスチャ座標 (U , V) を入力とする任意の関数を使用していた。

【 0 0 0 8 】

【 特許文献 1 】

20

特開 2 0 0 2 - 3 5 8 5 3 7 号公報

【 特許文献 2 】

特開 2 0 0 0 - 1 5 5 8 5 1 号公報

【 特許文献 3 】

特開平 9 - 2 1 2 6 8 0 号公報

【 0 0 0 9 】

【 発明が解決しようとする課題 】

高品位なテクスチャマッピング処理においては、1つのピクセルを生成するために複数のテクスチャ画像を参照する。例えば、トライリニアフィルタリングを行なう場合には、ロー (L o w) レベルとハイ (H i g h) レベルの2つのミップマップレベルのテクスチャ画像を参照する。

30

【 0 0 1 0 】

また、パーピクセルライティング (p e r p i x e l w r i t i n g) 等より高度なマルチテクスチャ処理では、ベーステクスチャに加えて法線テクスチャや環境テクスチャなど、複数の異なるテクスチャを使用する。

【 0 0 1 1 】

一般に、互いに関連性のない複数のコンテキストが同一のキャッシュメモリに入り乱れてアクセスすると、スラッシングが発生しシステムの効率が低下する。テクスチャキャッシュも同様で、複数のテクスチャ画像の参照が入り乱れて発生すると、システムのパフォーマンスが著しく低下する。

40

【 0 0 1 2 】

以上を解決するためには、キャッシュのウェイ (W A Y) 数を増やすか、コンテキスト毎に専用のエントリを設けたり、もしくはキャッシュ装置そのものを設けたりすることが考えられるが、これらの解決策によればハードウェアコストが増大したり、柔軟性が低くなったりして、効率的に動作するコンテキストの数が限られるという問題があった。

【 0 0 1 3 】

本発明は、描画モードに応じてテクスチャキャッシュのエントリを指示するインデックスの生成を動的に切り替えることにより、コンテキスト間のエントリの共有を最小限にできると共に、ハードウェアを大きく増加させることなく、テクスチャキャッシュの効率を向上させることができるテクスチャマッピング機能を有するコンピュータグラフィックス描

50

画装置を提供することを目的とする。

【0014】

【課題を解決するための手段】

上記目的を達成するため、本発明の基本構成は、テクスチャマッピング機能を有するコンピュータグラフィックス描画装置であって、テクスチャ座標を出力すると共に、テクスチャ適応情報としてのフィルタリングモードとミップマップレベルの組合せ、および、マルチテクスチャ数とテクスチャ識別子の組合せの少なくとも一方の組合せを出力するピクセル演算手段と、前記フィルタリングモードがミップマップレベルを含むか否か、および、前記マルチテクスチャ数が1であるか2以上であるか、の少なくとも何れかの条件を判断して、現在のコンテキスト数に基づいてコンテキスト間のエントリの数を最小限とするようなインデックス生成関数を用いてキャッシュエントリを指示するインデックスを生成し、該インデックスにより参照テクセル値を生成して前記ピクセル演算手段に出力するテクスチャ処理手段と、を備えることを特徴としている。

10

【0015】

以上のように、本発明の基本構成に係るコンピュータグラフィックス描画装置においては、テクスチャキャッシュのエントリを指し示すインデックスを生成する関数の入力として、テクスチャ座標(U, V)を入力するだけでなく、フィルタリングモードやマルチテクスチャ数等の描画モードに応じ、動的にテクスチャ識別子(TID)およびミップマップレベル(L)を加えられるようにする。

【0016】

フィルタリングモードおよびマルチテクスチャ数から、現在のコンテキスト数がわかるので、エントリをコンテキスト毎にある程度分割することができる。テクスチャ識別子およびミップマップレベルが異なるアクセスに対しては、なるべく異なるインデックスを生成するようにインデックス生成関数をとれば、コンテキスト間のエントリの共有を最小限にでき、大きなハードウェアコストの増大無しに、どのような描画モードにおいてもテクスチャキャッシュの効率を最大限に保つことができる。

20

【0017】

【発明の実施の形態】

以下、本発明に係るコンピュータグラフィックス描画装置の実施形態について添付図面を参照しながら詳細に説明する。最初に、本発明の基本構成に対応する第1実施形態に係るコンピュータグラフィックス描画装置について、図1を参照しながら説明する。

30

【0018】

図1において、第1実施形態に係るコンピュータグラフィックス描画装置は、ピクセル演算手段1と、テクスチャ処理手段2とを備えている。ピクセル演算手段1は、テクスチャ座標10を出力すると共に、テクスチャ適応情報としてのフィルタリングモード11とミップマップレベル12の組合せ、および、マルチテクスチャ数13とテクスチャ識別子14の組合せの少なくとも一方の組合せを出力しており、また、テクスチャ処理手段2は、フィルタリングモード11がミップマップレベル12を含むか否か、および、マルチテクスチャ数13が1であるか2以上であるか、の少なくとも何れかの条件を判断して、現在のコンテキスト数に基づいてコンテキスト間のエントリの数を最小限とするようなインデックス生成関数を用いてキャッシュエントリを指示するインデックス15を生成(3)し、このインデックス15により参照テクセル値16を生成(4)してピクセル演算手段1に出力している。

40

【0019】

以上が最も基本的なコンピュータグラフィックス描画装置の構成であるが、より詳細な構成として、第2ないし第4実施形態に係るコンピュータグラフィックス描画装置について、図2ないし図4を参照しながら詳細に説明する。図2ないし図4において、図1と同一符号を付した構成要素は、名称が異なったとしても図1と同一もしくは相当する構成要素を示している。

【0020】

50

第2実施形態を示す図2において、ピクセル演算手段は、テクスチャ座標10、フィルタリングモード11、ミップマップレベル12を、テクスチャ処理手段としてのテクスチャキャッシュユニット2を構成するインデックス生成回路3に出力するピクセル演算ユニット1より構成されている。インデックス生成回路3はデータをフェッチするデータフェッチ回路4と共にテクスチャキャッシュユニット2を構成しており、データフェッチ回路4はインデックス生成回路3が出力するインデックス15と、ピクセル演算ユニット2より出力されるテクスチャ座標10、ミップマップレベル12、テクスチャ識別子14に基づいて、参照テクセル値16をピクセル演算ユニット2に対して出力している。

【0021】

図2においては、インデックス生成回路3の入力が、テクスチャ座標10(U, V)、フィルタリングモード11、ミップマップレベル12(L)である場合である。フィルタリングモード11がミップマップを使用するモード(トライリニアフィルタリング等)でない場合は、インデックス15の生成にU, Vのみを使用する。例えば、U, Vそれぞれの下位数ビットを取り出してビット連結した値をインデックス15とする。フィルタリングモード11がミップマップを使用するモードであった場合は、インデックス15を生成するために、U, VおよびLを使用する。例えば、U, V, Lそれぞれの下位数ビットを取り出してビット連結した値をインデックス15とする。

10

【0022】

次に、図3を用いて第3実施形態に係るコンピュータグラフィックス描画装置の構成について説明する。第3実施形態の描画像値は、ピクセル演算手段が、テクスチャ座標10、マルチテクスチャ数13、テクスチャ識別子14を、テクスチャ処理手段としてのテクスチャキャッシュユニット2を構成するインデックス生成回路3に出力するピクセル演算ユニット1により構成されている。インデックス生成回路3は、データをフェッチするデータフェッチ回路4と共にテクスチャキャッシュユニット2を構成しており、データフェッチ回路4は、インデックス生成回路3が出力するインデックス15と、ピクセル演算ユニット1より出力されるテクスチャ座標10、ミップマップレベル12、テクスチャ識別子14により参照テクセル値16をピクセル演算ユニット1に対して出力している。

20

【0023】

図3においては、インデックス生成回路3の入力が、テクスチャ座標10(U, V)、マルチテクスチャ数13(TN)、テクスチャ識別子14(TID)である場合である。マルチテクスチャ数13が1の場合は、インデックス15の生成にU, Vのみを使用する。例えば、U, Vそれぞれの下位数ビットを取り出してビット連結した値をインデックス15とする。マルチテクスチャ数が2以上の場合は、インデックス15の生成にU, VおよびTIDを使用する。例えば、U, V, TIDそれぞれの下位数ビットをビット連結した値をインデックス15としている。

30

【0024】

次に、図4を参照しながら第4実施形態に係るコンピュータグラフィックス描画装置について説明する。第4実施形態の描画装置は、ピクセル演算手段が、テクスチャ座標10、フィルタリングモード11、ミップマップレベル12、マルチテクスチャ数13、テクスチャ識別子14を、テクスチャ処理手段としてのテクスチャキャッシュユニット2を構成するインデックス生成回路3に出力するピクセル演算ユニット1により構成されている。インデックス生成回路3は、データをフェッチするデータフェッチ回路4と共にテクスチャキャッシュユニット2を構成しており、データフェッチ回路4は、インデックス生成回路3が出力するインデックス15と、ピクセル演算ユニット1より出力されるテクスチャ座標10、ミップマップレベル12、テクスチャ識別子14により参照テクセル値16を生成してピクセル演算ユニット1に対して出力している。

40

【0025】

図4においては、インデックス生成回路3の入力が、テクスチャ座標10(U, V)、フィルタリングモード11、ミップマップレベル12(L)、マルチテクスチャ数13(TN)、テクスチャ識別子14(TID)である場合である。フィルタリングモード11が

50

ミップマップを使用するモードでなく、かつ、マルチテクスチャ数13が1の場合は、インデックス15の生成にU, Vのみを使用している。例えば、U, Vそれぞれの下位数ビットを取り出してビット連結した値をインデックス15とする。フィルタリングモード11がミップマップを使用するモードであり、かつ、マルチテクスチャ数13が1の場合は、インデックス15の生成にU, VおよびLを使用する。例えば、U, V, Lそれぞれの下位数ビットを取り出してビット連結した値をインデックス15とする。フィルタリングモード11がミップマップを使用するモードでなく、かつ、マルチテクスチャ数が2以上の場合は、インデックス15の生成にU, VおよびTIDを使用する。例えば、U, V, TIDそれぞれの下位数ビットをビット連結した値をインデックス15とする。フィルタリングモード11がミップマップを使用するモードであって、かつ、マルチテクスチャ数13が2以上の場合は、インデックス15の生成にU, V, LおよびTIDを使用する。例えば、U, V, L, TIDそれぞれの下位数ビットを取り出してビット連結した値をインデックス15としている。以上のようにして生成されたインデックス15を用いて、データフェッチ回路4により参照テクセル値16が生成されてピクセル演算ユニット1に出力されている。

10

【0026】

次に、インデックスの生成の詳細について説明する。インデックス関数の例として、キャッシュライン数を64、1ライン内のピクセル数を8×8ピクセルとした場合のインデックス生成関数の例を示すと、以下の式のようにになる。下記の式の表記はベリログXL (Verilog-XL) に準拠とする。つまり、{ ..., ..., ... } はビット連結を表し、[n : m] はビットの切り出しを表している。また、各変数の意味は、以下の通りである。

20

F : ミップマップありなしを表す信号

M : マルチテクスチャありなしを表す信号

L : ミップマップレベル番号

I : テクスチャID

U : テクスチャU座標

V : テクスチャV座標

【0027】

まず、フィルタのみの実装の場合には、下記の式の関数により行なう：

$$\text{index} = (F == 1 ? \{U[5:3], V[4:3], L[0]\} : \{U[5:3], V[5:3]\}) ;$$

30

次に、マルチテクスチャのみの実装は、下記の式の関数により行なう：

$$\text{index} = (M == 1 ? \{U[5:3], V[4:3], I[0]\} : \{U[5:3], V[5:3]\}) ;$$

フィルタとマルチテクスチャの両方がある実装は、下記の式の関数により行なう：

$$\begin{aligned} \text{index} = & (F == 1 \ \&\& \ M == 1 ? \{U[4:3], V[4:3], L[0], I[0]\} : \\ & (F == 1 \ \&\& \ M == 0 ? \{U[5:3], V[4:3], L[0]\} : \\ & (F == 0 \ \&\& \ M == 1 ? \{U[5:3], V[4:3], I[0]\} : \\ & \{U[5:3], V[5:3]\}))) . \end{aligned}$$

40

【0028】

次に、描画モードが変化したときの動作について説明する。描画モードが変化した時の動作の実装として、以下の2方式が考えられる。

【0029】

第1は、全エントリを無効 (invalid) するタイプである。描画モード (FやM) が変化したら、全キャッシュラインを無効 (invalid) にする。キャッシュ内は常にすべて同じ描画モードのデータとなる。したがって、描画モードによってTAG (タグ) のフォーマットが変わってもよいので、必要最小限のタグビット (TAG bit U, V, L, Iの上位bit) にすることができる。

50

【 0 0 3 0 】

第2は、エントリを無効 (i n v a l i d) にせず、連続的に処理するタイプである。描画モードが変化しても、キャッシュラインを無効 (i n v a l i d) にせず、そのまま処理する。キャッシュ内には、複数の描画モードのデータがあることになる。したがって、描画モードによってタグ (T A G) のフォーマットが変わってはいけない。上記の例だと、

U [u _ m s b , 5] , V [v _ m s b , 5] , I [i _ m s b , 0] , L [l _ m s b , 0]

によりタグ (T A G) を構成する。このとき、描画モードによっては、

U [5] , V [5] , I [0] , L [0]

は冗長な情報となる。

【 0 0 3 1 】

以上のようにして、インデックス生成関数が用意されてインデックス15が生成されている。

【 0 0 3 2 】

【 発明の効果 】

以上詳細に説明したように、本発明に係るコンピュータグラフィックス描画装置により、どのようなフィルタリングモード、どのようなマルチテクスチャ数においても、テクスチャ識別子およびミップマップレベルが異なるアクセスに対しては、異なるインデックスを生成することが可能となり、コンテキスト間のエントリの共有を最小限にすることもでき、大きなハードウェアコストを増大させることもなく、テクスチャキャッシュの処理効率を向上させることができる。

【 図面の簡単な説明 】

【 図 1 】 本発明の基本概念としての第1実施形態に係るコンピュータグラフィックス描画装置の実施の構成を示すブロック図である。

【 図 2 】 本発明の第2実施形態に係る描画装置の構成を示すブロック図である。

【 図 3 】 本発明の第3実施形態に係る描画装置の構成を示すブロック図である。

【 図 4 】 本発明の第4実施形態に係る描画装置の構成を示すブロック図である。

【 符号の説明 】

- 1 ピクセル演算手段 (ユニット)
- 2 テクスチャ処理手段 (テクスチャキャッシュユニット)
- 3 インデックス生成回路
- 4 データフェッチ回路
- 10 テクスチャ座標 (U , V)
- 11 フィルタリングモード
- 12 ミップマップレベル (L)
- 13 マルチテクスチャ数 (T N)
- 14 テクスチャ識別子 (T I D)
- 15 インデックス
- 16 参照テクセル値

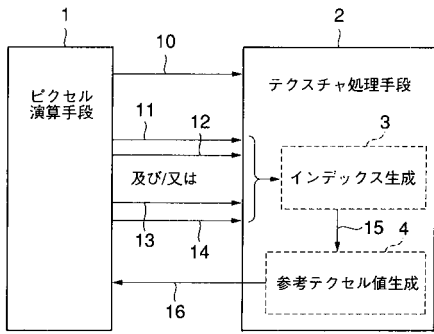
10

20

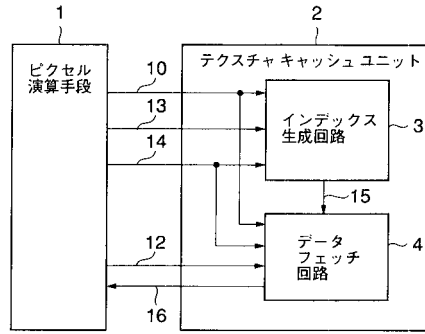
30

40

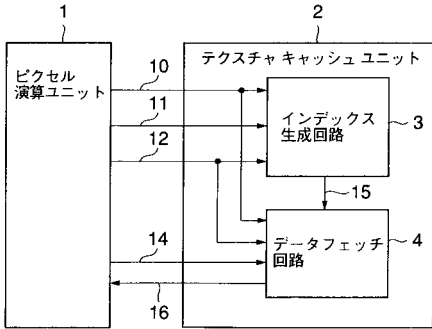
【図 1】



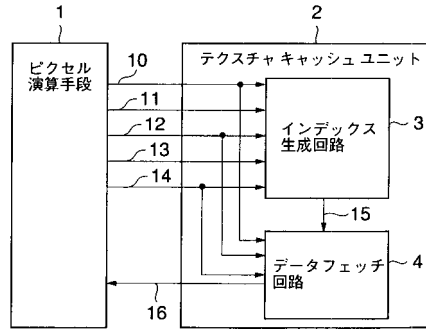
【図 3】



【図 2】



【図 4】



フロントページの続き

(72)発明者 竹 本 卓

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
Fターム(参考) 5B080 AA13 CA01 DA06 GA22