



(12) 发明专利

(10) 授权公告号 CN 102339858 B

(45) 授权公告日 2013. 09. 04

(21) 申请号 201010233549. 7

(22) 申请日 2010. 07. 16

(73) 专利权人 中国科学院微电子研究所
地址 100029 北京市朝阳区北土城西路 3 号

(72) 发明人 许高博 徐秋霞

(74) 专利代理机构 北京市立方律师事务所
11330

代理人 马佑平

Al-diffusion-induced positive flatband voltage shift on the electrical characteristics of Al-incorporated high-k metal-oxide-semiconductor field-effective transistor. 《Journal of Applied Physics》. 2009, 第 105 卷“II. EXPERIMENTAL”和“III. RESULTS AND DISCUSSION”.

审查员 祁恒

(51) Int. Cl.

H01L 29/78(2006. 01)

H01L 29/49(2006. 01)

H01L 21/336(2006. 01)

H01L 21/28(2006. 01)

(56) 对比文件

US 2008/0128822 A1, 2008. 06. 05, 说明书附图 30-31.

US 6495474 B1, 2002. 12. 17, 说明书第 1 栏第 12-36 行, 附图 1.

Wenwu Wang et al. Effect of

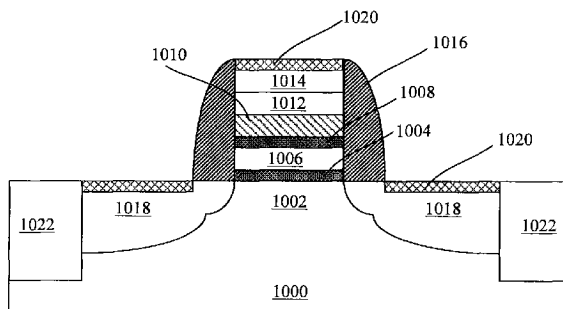
权利要求书2页 说明书6页 附图4页

(54) 发明名称

p 型半导体器件及其制造方法

(57) 摘要

本申请公开了一种 p 型半导体器件及其制造方法。该器件的结构包括: 半导体衬底; 沟道区, 位于所述半导体衬底上; 栅堆叠, 位于所述沟道区上, 所述栅堆叠包括栅介质层和栅电极, 所述栅介质层位于所述沟道区上, 所述栅电极位于栅介质层上; 源/漏区, 位于所述沟道区两侧且嵌入所述半导体衬底中; 其中, 在所述栅介质层的上表面、下表面、以及所述栅电极的下表面中至少一个表面分布有 Al 元素。本发明的实施例适用于 MOSFET 的制造。



1. 一种 p 型半导体器件,包括:
半导体衬底;
沟道区,位于所述半导体衬底上;
栅堆叠,位于所述沟道区上,所述栅堆叠包括栅介质层和栅电极层,所述栅介质层位于所述沟道区上,所述栅电极层位于栅介质层上;
源 / 漏区,位于所述沟道区两侧且嵌入所述半导体衬底中;
其中,在所述栅介质层的上表面、下表面、和所述栅电极层的下表面中的至少一个表面分布有 Al 元素,所述 Al 元素以 Al-O 电偶极子的形式分布在任一个表面。
2. 根据权利要求 1 所述的半导体器件,其中,所述栅介质层包括含 Al 的高 k 栅介质层。
3. 根据权利要求 1 所述的半导体器件,其中,所述栅介质层包括第一介质层和第二介质层;
其中,第一介质层为高 k 栅介质层,所述第二介质层为含 Al 的氧化物或氮化物层,且位于所述第一介质层的上面或下面中的至少一处。
4. 根据权利要求 3 所述的半导体器件,其中,所述第二介质层的厚度为 2-15Å。
5. 根据权利要求 2 或 3 所述的半导体器件,其中,所述高 k 栅介质层包括:HfAlON、HfSiAlON、HfTaAlON、HfTiAlON、HfON、HfSiON、HfTaON、HfTiON 中的任一种或多种的组合。
6. 根据权利要求 1 所述的半导体器件,所述栅电极层包括第一金属层,所述第一金属层为含 Al 的金属氮化物层。
7. 根据权利要求 6 所述的半导体器件,其中,所述第一金属层包括:TaAlN、TiAlN、MoAlN、AlN 中的任一种或多种的组合。
8. 根据权利要求 6 所述的半导体器件,所述栅电极层进一步包括位于所述第一金属层上的第二金属层。
9. 根据权利要求 8 所述的半导体器件,其中,所述第二金属层包括金属氮化物。
10. 根据权利要求 9 所述的半导体器件,其中,所述金属氮化物包括 TaN、TiN、MoN 中的任一种或多种的组合。
11. 根据权利要求 8 所述的半导体器件,其中,所述第二金属层包括 Mo、W 或其组合。
12. 根据权利要求 1 至 4、6 至 11 中任一项所述的半导体器件,其中,在所述栅介质层与半导体衬底之间进一步包括氧化物层。
13. 一种 p 型半导体器件的制造方法,包括:
提供半导体衬底;
在所述半导体衬底上形成栅堆叠,所述栅堆叠包括栅介质层和栅电极层,所述栅介质层形成于沟道区上,所述栅电极层形成于栅介质层上;
在所述栅堆叠的两侧形成侧墙;
在所述栅堆叠的两侧嵌入所述半导体衬底形成源 / 漏区;
其中,在所述栅介质层的上表面、下表面、以及所述栅电极的下表面中的至少一个表面分布有 Al 元素,所述 Al 元素以 Al-O 电偶极子的形式分布在任一个表面。
14. 根据权利要求 13 所述的方法,其中,所述在半导体衬底上形成栅堆叠的步骤包括:
在所述半导体衬底上形成栅介质层;
在所述栅介质层上形成栅电极层;

对所述栅电极层和栅介质层进行图案化刻蚀,以形成栅堆叠。

15. 根据权利要求 14 所述的方法,其中,在所述半导体衬底上形成栅介质层的步骤包括:

在所述半导体衬底上形成包括第一介质层和第二介质层的栅介质层;

对所述栅介质层在含氧气的氮气中进行热退火处理以使所述栅介质层中的 Al 形成 Al-O 电偶极子;

其中,第一介质层为高 k 栅介质层,所述第二介质层为含 Al 的氧化物或氮化物层,且位于所述第一介质层的上面或下面中的至少一处。

16. 根据权利要求 15 所述的方法,其中,所述氮气中氧气的含量为 1%-10%。

17. 根据权利要求 14 所述的方法,其中,所述在所述栅介质层上形成栅电极层的步骤包括:

在所述栅介质层上形成第一金属层,所述第一金属层为含 Al 的金属氮化物层;

在所述第一金属层上形成第二金属层。

18. 根据权利要求 17 所述的方法,其中,所述第二金属层包括金属氮化物。

19. 根据权利要求 17 所述的方法,其中,所述第二金属层包括 Mo、W 或其组合。

20. 根据权利要求 13 所述的方法,其中,在形成栅堆叠之前,所述方法进一步包括:在所述半导体衬底上形成氧化层。

21. 根据权利要求 13 至 20 中任一项所述的方法,其中,在形成源/漏区后,所述方法进一步包括:对所述栅电极层进行热退火处理以使所述栅堆叠中的 Al 形成 Al-O 电偶极子。

p 型半导体器件及其制造方法

技术领域

[0001] 本发明涉及一种半导体器件及其制造方法,尤其涉及一种高 k 栅介质 / 金属栅半导体器件和制造方法,其通过在高 k 栅介质的上、下界面和金属栅电极下表面引入铝元素,有助于 p 型金属栅功函数的调节。

背景技术

[0002] 40 多年来,集成电路技术按摩尔定律持续发展,特征尺寸不断缩小,集成度不断提高,功能越来越强。目前,金属氧化物半导体场效应晶体管 (MOSFET) 的特征尺寸已进入亚 50nm。伴随器件特征尺寸的不断减小,如果仍采用传统的氧化硅栅介质 / 多晶硅形成的栅堆叠,栅介质漏电会成指数规律急剧增加,多晶硅耗尽效应越来越严重,多晶硅电阻也会随之增大。为了克服以上困难,工业界开始采用高 k 栅介质和金属栅电极形成新型栅堆叠结构代替传统的栅堆叠。高 k 栅介质在保持具有相同的等效氧化层厚度的前提下,具有更高的物理厚度,从而有效减小了栅介质漏电,并且金属栅电极可以从根本上消除多晶硅耗尽效应。

[0003] 为了获得合适的阈值电压,通常要求 pMOSFET 金属栅材料的功函数在 5.2eV 附近,然而具有如此高功函数的金属材料化学稳定性高,难于刻蚀,且非常昂贵,例如铂和金等。因此采用这种金属材料来调节 p 型器件的功函数很不现实。

[0004] 因此有必要引进一种新型的 p 型半导体器件及其制造方法,以便有效调节 pMOSFET 的功函数,改善器件的性能。

发明内容

[0005] 为了解决上述技术问题,本发明提出了一种新型的 p 型半导体器件及其制造方法,能够有效调节 pMOSFET 的功函数,改善器件的性能。

[0006] 根据本发明的一个方面,提供了一种半导体器件,包括:半导体衬底;沟道区,位于半导体衬底上;栅堆叠,位于沟道区上,栅堆叠包括栅介质层和栅电极层,其中,栅介质层位于沟道区上,栅电极层位于栅介质层上;源 / 漏区,位于沟道区两侧且嵌入半导体衬底中;其中,在栅介质层的上表面、下表面、以及栅电极层的下表面中的至少一个表面分布有 Al 元素。

[0007] 优选地,Al 元素与 O 结合形成 Al-O 电偶极子。

[0008] 可选地,所述栅介质层包括含 Al 的高 k 栅介质层;或者栅介质层可以包括第一介质层和第二介质层,其中,第一介质层为高 k 栅介质层,第二介质层为含 Al 的氧化物或氮化物层,厚度为 2-15Å,并且位于第一介质层的上面和下面中的至少一处。

[0009] 在上述方案中,所述高 k 栅介质层包括:HfAlON、HfSiAlON、HfTaAlON、HfTiAlON、HfON、HfSiON、HfTaON、HfTiON 中的任一种或多种的组合。

[0010] 可选地,所述栅电极层包括含第一金属层,所述第一金属层为含 Al 的金属氮化物层,例如可以包括:TaAlN、TiAlN、MoAlN、AlN 中的任一种或多种的组合。

[0011] 可选地,所述栅电极层进一步包括位于所述第一金属层上的第二金属层,所述第二金属层可以包括金属氮化物,例如 TaN、TiN、MoN 中的任一种或多种的组合,或者,所述第二金属层也可以包括 Mo、W 或其组合。

[0012] 优选地,在栅介质层与半导体衬底之间进一步包括氧化物层,该氧化物层有利于在栅介质层的下表面形成 Al-O 电偶极子。

[0013] 根据本发明的另一个方面,提供了一种半导体器件的制备方法,包括:提供半导体衬底;在半导体衬底上形成栅堆叠,栅堆叠包括栅介质层和栅电极层,栅介质层形成于沟道区上,栅电极层形成于栅介质层上;在栅堆叠的两侧形成侧墙;在栅堆叠的两侧嵌入半导体衬底形成源/漏区;其中,在栅介质层的上表面、下表面以及栅电极层的下表面中的至少一个表面分布有 Al 元素。

[0014] 优选地,所述在半导体衬底上形成栅堆叠的步骤包括:在所述半导体衬底上形成栅介质层;在所述栅介质层上形成栅电极层;对所述栅电极层和栅介质层进行图案化刻蚀,以形成栅堆叠。

[0015] 其中,在所述半导体衬底上形成栅介质层的步骤可以包括:在所述半导体衬底上依次形成包括第一介质层和第二介质层的栅介质层;对所述栅介质层在含氧气的氮气中进行热退火处理,氮气中氧气的含量为 1% -10%;其中,第一介质层为高 k 栅介质层,第二介质层为含 Al 的氧化物或氮化物层,并且位于第一介质层的上面或下面中的至少一处。热退火后,栅介质层中的 Al 与 O 结合形成 Al-O 电偶极子。

[0016] 优选地,在栅介质层上形成栅电极层的步骤包括:在栅介质层上形成第一金属层,第一金属层为含 Al 的金属氮化物层;在第一金属层上形成第二金属层。

[0017] 其中,第二金属层可以包括金属氮化物,或者还可以包括 Mo、W 或其组合。

[0018] 优选地,在形成栅堆叠之前,该方法进一步包括:在半导体衬底上形成氧化层。

[0019] 优选地,在形成源/漏区后,该方法进一步包括:对所述栅电极层进行热退火处理以使所述栅堆叠中的 Al 元素形成 Al-O 电偶极子。

[0020] 本发明提供的这种半导体结构及其制备方法,由于 Al 元素的引入,经高温退火在栅介质层与栅电极的界面处、以及栅介质层与半导体衬底之间的界面处形成电偶极子,导致界面处能级的变化,使金属栅的平带电压向正向移动,有利于 PMOS 金属栅功函数的调节。

附图说明

[0021] 通过以下参照附图对本发明实施例的描述,本发明的上述以及其他目的、特征和优点将更为清楚,在附图中:

[0022] 图 1-4 示出了根据本发明实施例得到的半导体器件的结构示意图;

[0023] 图 5-9 示出了根据本发明实施例制造半导体器件的流程中各步骤对应的器件结构的截面图。

[0024] 附图标记说明:

[0025] 1000, 半导体衬底;1002, 沟道区;1004, 第二介质层;1006, 第一栅介质层;1008, 第二介质层;1010, 第一金属层;1012, 第二金属层;1014, 多晶硅;1016, 侧墙;1018, 源/漏区;1020, 金属硅化物;1022, 浅沟槽隔离;102, 栅介质层;104, 栅电极层。

具体实施方式

[0026] 以下,通过附图中示出的具体实施例来描述本发明。但是应该理解,这些描述只是示例性的,而并非要限制本发明的范围。此外,在以下说明中,省略了对公知结构和技术的描述,以避免不必要地混淆本发明的概念。

[0027] 在附图中示出了根据本发明实施例的层结构示意图。这些图并非是按比例绘制的,其中为了清楚的目的,放大了某些细节,并且可能省略了某些细节。图中所示出的各种区域、层的形状以及它们之间的相对大小、位置关系仅是示例性的,实际中可能由于制造公差或技术限制而有所偏差,并且本领域技术人员根据实际所需可以另外设计具有不同形状、大小、相对位置的区域/层。

[0028] 图 1 示出了根据本发明的一个实施例得到的半导体器件。其中,该半导体器件包括:半导体衬底 1000;沟道区 1002,位于半导体衬底 1000 上;栅堆叠,位于沟道区 1002 上,栅堆叠包括栅介质层 102 和栅电极层 104,栅介质层 102 位于沟道区 1002 上,栅电极 104 位于栅介质层 102 上;源/漏区 1018,位于沟道区 1002 两侧且嵌入半导体衬底中;其中,在栅介质层 102 的上表面、下表面、以及栅电极层 104 的下表面中的至少一个表面分布有 Al 元素。

[0029] 优选地,在栅电极层 104 和源/漏区 1018 的上表面还包括金属硅化物 1020。其中,器件的两侧还包括有隔离结构 1022,例如可以是浅沟槽隔离或其他隔离结构。

[0030] 优选地,栅介质层 102 为 Hf 基高 k 介质材料,例如可以包括 HfAlON、HfSiAlON、HfTaAlON、HfTiAlON、HfON、HfSiON、HfTaON、HfTiON 中的任一种或几种;栅电极层 104 中包括含 Al 的金属氮化物层,并优选为金属氮化物/多晶硅的叠层结构;在栅介质层 102 的上表面、下表面以及栅电极层 104 的下表面中的至少一个表面分布有 Al 元素。

[0031] 参照图 2,可以看到 Al 元素分布的放大示意图。即,在本发明的优选实施例中,在上表面、下表面、以及栅电极层 104 的下表面都分布有 Al 元素,并且形成了 Al-O 电偶极子。

[0032] 如图 3 所示为根据本发明另一实施例得到的半导体器件。与上一实施例第一个不同点是,其中栅介质层 102 包括了第二介质层 1004、第一介质层 1006 和第二介质层 1008。第二介质层 1004 与第二介质层 1008 的材料相同,优选为含 Al 的氧化物或氮化物层,例如可以是 AlO_x 或 AlN_x 等,厚度为 2-15Å;第一介质层 1006 为 Hf 基高 k 栅介质层。参考图 4,其中 Al 元素分布在第二介质层 1004 的下表面和第二介质层 1008 的上表面。

[0033] 进一步优选地,本实施例中,栅电极层 104 包括了第一金属层 1010、第二金属层 1012 和多晶硅层 1014。其中,第一金属层 1010 优选为含 Al 的金属氮化物层,包括 TaAlN、TiAlN、MoAlN、AlN 中的任一种或多种的组合,第二金属层 1012 优选为金属氮化物,可以包括 TaN、TiN、MoN 中的任一种或多种的组合,可选地,第二金属层 1012 还可以是 Mo 或 W 或其组合。

[0034] 参考图 4,Al 元素还分布在第一金属层 1010 的下表面。

[0035] 在本发明实施例中的半导体器件为 p 型 MOSFET。

[0036] 对于本发明的其他实施例,第二介质层 1004 和第二介质层 1008 中可以只包括一个,同样能够实现本发明。如果栅电极层包含了 Al 元素,那么对于本发明实施例也可以完全不包括第二介质层 1004 和第二介质层 1008。

[0037] 在本发明的实施例中,位于栅电极层和栅介质层界面的Al和O元素之间能够形成化合价,由于其电负性不同,从而在界面处形成Al-O电偶极子,导致界面处能级的变化,其表现是金属栅的费米能级向价带方向移动,栅功函数增大,从而有助于p型金属氧化物半导体器件金属栅功函数的调整。

[0038] 在本发明的一个实施例中,栅介质层102或第二介质层1004与沟道区1002之间进一步包括薄氧化层(图中未示出),有助于Al-O电偶极子的形成,同时能够改善界面性能。

[0039] 图5~9详细示出了根据本发明实施例制造半导体器件流程中各步骤的截面图。以下,将参照这些附图来对根据本发明实施例的各个步骤予以详细说明。

[0040] 首先,如图5所示,提供半导体衬底1000。衬底1000可以包括任何适合的半导体衬底材料,具体可以是但不限于硅、锗、锗化硅、SOI(绝缘体上半导体)、碳化硅、砷化镓或者任何III/V族化合物半导体等。此外,半导体衬底1000可以可选地包括外延层,可以被应力改变以增强性能。对于本发明的实施例,优选采用掺杂了n型杂质的Si衬底。

[0041] 接着,在半导体衬底1000上形成隔离结构,优选采用浅沟槽隔离(Shallow Trench Isolation, STI)。在本发明的实施例中也可以采用其他隔离结构,隔离结构与本发明的主旨无关,这里不再赘述。

[0042] 可选地,可以在半导体衬底1000上形成氧化物层(图5中未示出),能够改善界面性能。具体地,可以在含有微量氧气的氮气中,并在600-800°C温度下对半导体衬底进行快速热氧化30-120S,生成5-8Å的氧化物层。

[0043] 然后,在氧化物层上形成栅介质层(如果未形成氧化物层,则在半导体衬底上形成栅介质层)。具体地,首先形成第二介质层1004,优选为含Al的氧化物或氮化物层,例如可以是AlO_x或AlN_x等;然后在第二介质层1004上形成第一介质层1006,第一介质层1006为Hf基高k栅介质层,例如可以包括HfAlON、HfSiAlON、HfTaAlON、HfTiAlON、HfON、HfSiON、HfTaON、HfTiON中的任一种或几种;接着,在第一介质层1006上形成第二介质层1008,第二介质层1008的材料与第二介质层1004的材料相同。然后,对栅介质层在含有微量氧气的氮气中进行退火处理,从而形成含Al的高k栅介质层,如图4所示,Al元素分布于栅介质层的上表面和下表面,具体为第二介质层1004的下表面和第二介质层1008的上表面。

[0044] 以下具体描述根据本发明的一个优选实施例的栅介质层的形成。首先在半导体衬底1000上形成氧化物层,然后在氧化物层上形成栅介质层,栅介质层可以为包括AlN_x/HfSiON/AlN_x的叠层,其中,AlN_x作为第二介质层,可以采用磁控反应溅射工艺进行制备,溅射气氛为氩气和氮气的混合气体,溅射功率为200-500W,通过调节氮气流量可以调节AlN_x薄膜中的N的含量;HfSiON高k薄膜作为第一介质层,可以采用磁控溅射工艺或原子层淀积工艺形成。接着对AlN_x/HfSiON/AlN_x叠层栅介质在含有微量氧气的氮气中进行快速热退火处理,优选的氧气含量是1-10%,优选的退火温度是700-1000°C,时间可以是10-50S,从而形成了HfSiAlON高k栅介质薄膜作为栅介质层,Al元素位于栅介质层的上表面和下表面处,如图4所示。其中,第二介质层1004中的Al与氧化层中的O结合形成Al-O电偶极子;第二介质层1008中的Al与周围气氛中的O结合形成Al-O电偶极子。

[0045] 需要说明的是,如果第二介质层1004采用AlN_x,则优选在半导体衬底上先形成氧化层,更有利于后面的电偶极子的形成;当然如果不形成氧化层,则后续形成叠层栅介质后

在含氧的氮气中退火也能够形成 Al-O 电偶极子。

[0046] 接着,如图 6 所示,在栅介质层上继续形成栅电极层。具体地,首先在第二介质层 1008 上形成第一金属层 1010 和第二金属层 1012。其中,第一金属层 1010 优选为含 Al 的金属氮化物层,包括 TaAlN、TiAlN、MoAlN、AlN_x 中的任一种或多种的组合,第二金属层 1012 优选为金属氮化物,可以包括 TaN、TiN、MoN 中的任一种或多种的组合,可选地,第二金属层还可以是 Mo 或 W 或其组合。然后,本发明实施例还优选在第二金属层上再形成多晶硅 (Poly) 层 1014。

[0047] 在本发明的优选实施例中,形成 AlN_x/TaN/Poly 的叠层栅电极结构,其中 AlN_x 作为第一金属层,TaN 作为第二金属层。具体的形成方法为,AlN_x/TaN 结构采用磁控反应溅射工艺进行制备,溅射气氛为氩气和氮气的混合气体,溅射功率为 200-1000W,工作压强为 $(2-8) \times 10^{-3}$ Torr,首先溅射铝靶,其次溅射钽靶,则淀积形成 AlN_x/TaN 叠层结构;最后,进一步采用低压气相淀积 (LPCVD) 工艺在第二金属层 1012 上淀积 1000-2000Å 的多晶硅薄膜 1014。

[0048] 然后,可以进行图案化刻蚀以形成栅堆叠结构。具体地,在多晶硅层 1014 上旋涂光刻胶,根据要形成的栅堆叠的图案对光刻胶进行图案化,然后以图案化后的光刻胶为掩模刻蚀形成如图 7 所示的栅堆叠结构。

[0049] 以下将按照常规工艺完成器件的源 / 漏区。

[0050] 首先,对整个半导体器件结构进行源 / 漏延伸区注入。因为需要形成 pMOSFET,可以注入 B 或 In 离子。可选地,进一步进行晕环 (Halo) 注入,例如可以注入 As 或 P,从而在栅堆叠下方对应的沟道区 1002 或沟道区 1002 下方的衬底 1000 中形成晕环注入区 (图中未示出)。然后如图 8 所示,环绕栅堆叠形成侧墙。具体地,可以采用 PECVD (Plasma-Enhanced Chemical Vapor Deposition, 等离子增强化学气相淀积) 方式形成 Si₃N₄ 层,厚度可以为 500-900Å,然后采用干法刻蚀工艺,例如是 RIE (Reactive-Ion Etching, 反应离子刻蚀) 反刻形成 Si₃N₄ 侧墙。

[0051] 如图 9 所示,进行源 / 漏注入,例如注入 B 或 In,形成源 / 漏区 1018。

[0052] 与常规技术不同的是,为了能够形成 Al-O 电偶极子,在形成源 / 漏区后,需要进行退火,退火温度可以为 800-1200°C,退火时间可以为 3-10S。这时,如图 4 所示,第一金属层 1010 的下表面集中大量的 Al,Al 与栅介质层中的 O 原子结合形成 Al-O 电偶极子。

[0053] 如图 9,按照常规器件的形成方法,在源 / 漏区 1018 和多晶硅层 1014 的上表面形成金属硅化物 1020。形成金属硅化物 1020 的步骤也可以在上面的退火步骤之前。

[0054] 最后,按照常规的器件形成方法,在整个半导体器件结构上形成层间介质层,并在层间介质层中形成与栅极和源 / 漏的接触。

[0055] 本发明的实施例,通过在栅介质层和栅电极中引入铝元素,源 / 漏激活退火工艺后,位于栅电极和高 k 栅介质界面的 Al 元素会与栅介质中的 O 元素形成化合价,由于其电负性不同,从而在界面处形成 Al-O 电偶极子,导致界面处能级的变化,使金属栅的平带电压向正向移动,其表现是金属栅费米能级向价带方向移动,栅功函数增大,从而有助于 P 型金属氧化物半导体器件金属栅功函数的调整。同时,通过增加界面处含 Al 的氧化物或氮化物薄膜的厚度,可以增加界面处 Al 元素的含量,形成更多的电偶极子,增大功函数调节能力。

[0056] 实验结果表明,第二介质层 (AlN_x) 1004、1008 的厚度为2.5 Å时,能够将 pMOSFET 的功函数调高 0.52ev,第二介质层 1004 的厚度为5Å时,能够将 pMOSFET 的功函数调高 0.81ev;第一金属层 (AlN_x) 1010 的厚度为5 Å时,能够将 pMOSFET 的功函数调高 0.36ev,第一金属层 1010 的厚度为12Å时,能够将 pMOSFET 的功函数调高 0.52ev。

[0057] 此外,高 k 栅介质的采用在保持较小的等效氧化层厚度的同时具有较高的物理厚度,有利于减小栅介质泄露电流;金属栅的采用,可以解决随着小尺寸器件特征尺寸的减小而带来的多晶硅耗尽效应和栅电阻严重增大的问题。

[0058] 在以上的描述中,对于各层的构图、刻蚀等技术细节并没有做出详细的说明。但是本领域技术人员应当理解,可以通过现有技术中的各种手段,来形成所需形状的层、区域等。另外,为了形成同一结构,本领域技术人员还可以设计出与以上描述的方法并不完全相同的方法。

[0059] 以上参照本发明的实施例对本发明予以了说明。但是,这些实施例仅仅是为了说明的目的,而并非为了限制本发明的范围。本发明的范围由所附权利要求及其等价物限定。不脱离本发明的范围,本领域技术人员可以做出多种替换和修改,这些替换和修改都应落在本发明的范围之内。

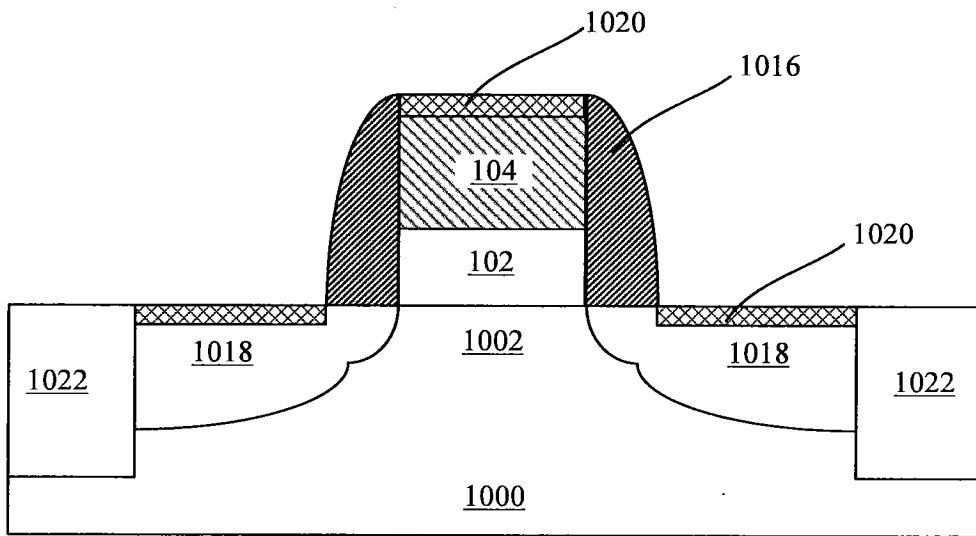


图 1

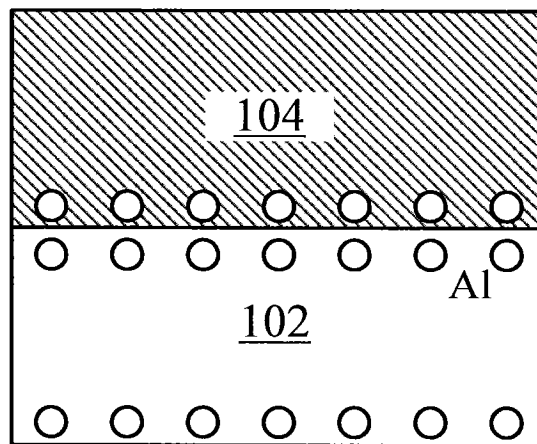


图 2

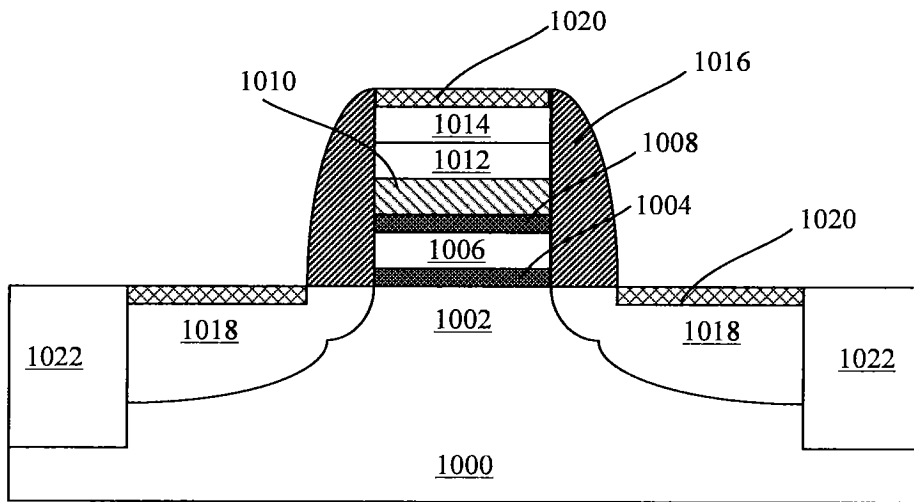


图 3

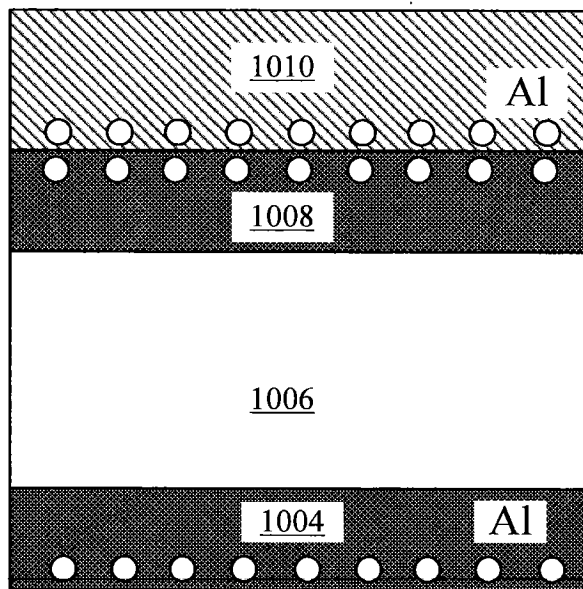


图 4

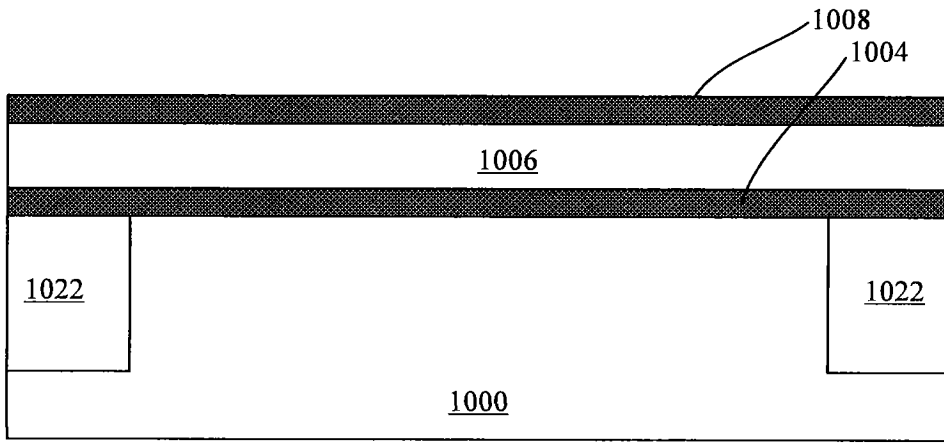


图 5

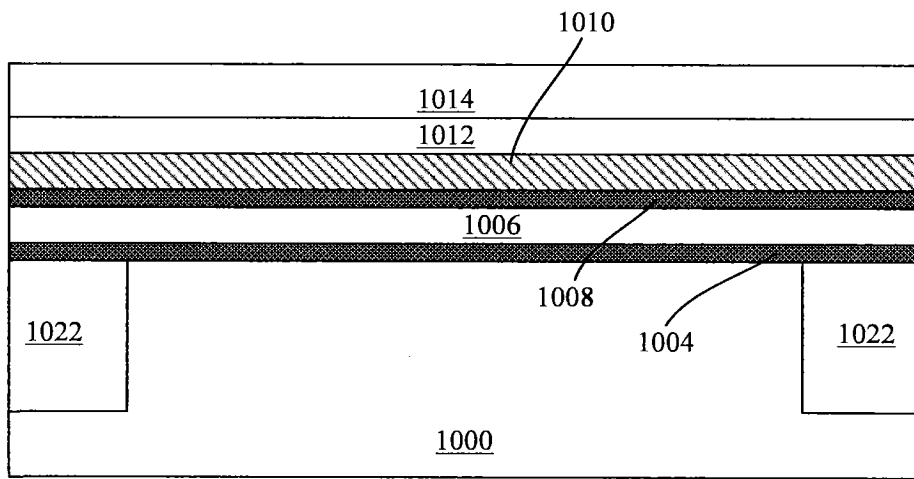


图 6

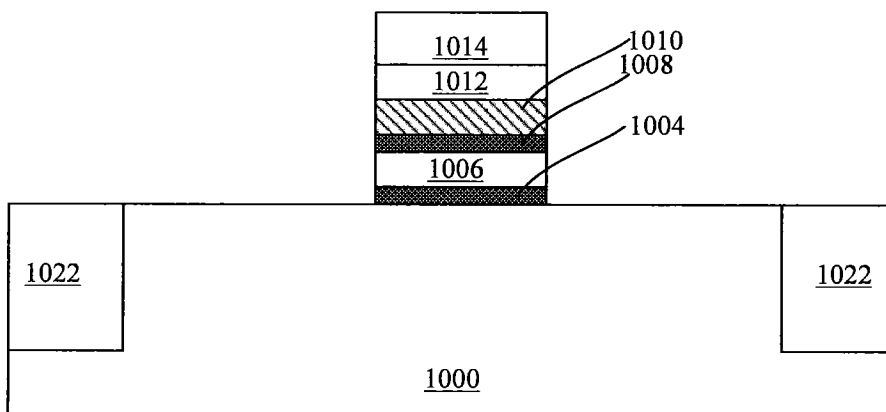


图 7

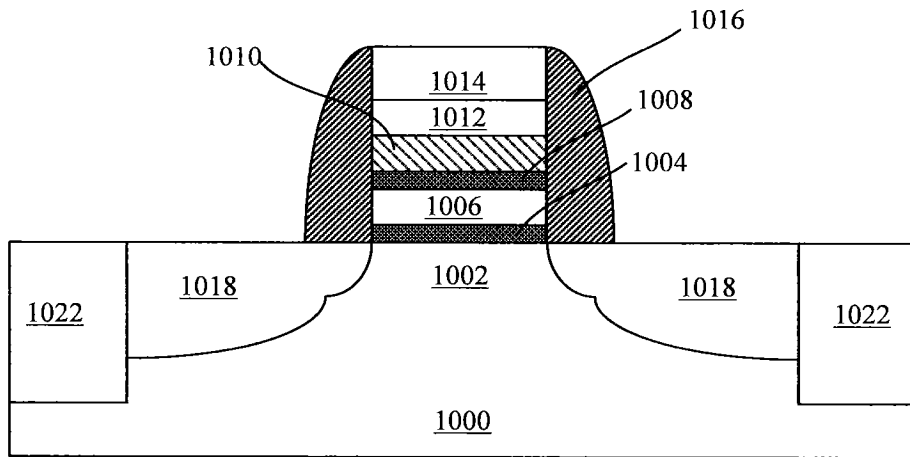


图 8

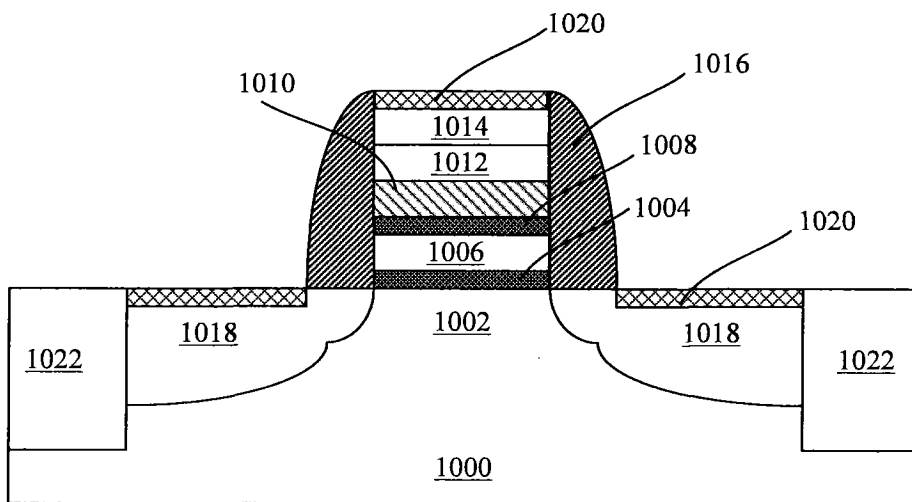


图 9