



(12) 发明专利申请

(10) 申请公布号 CN 103984144 A

(43) 申请公布日 2014. 08. 13

(21) 申请号 201410200272. 6

(22) 申请日 2014. 05. 13

(71) 申请人 京东方科技集团股份有限公司  
地址 100015 北京市朝阳区酒仙桥路 10 号

(72) 发明人 张锋 曹占锋 姚琪 齐永莲

(74) 专利代理机构 北京中博世达专利商标代理  
有限公司 11274

代理人 申健

(51) Int. Cl.

G02F 1/1333 (2006. 01)

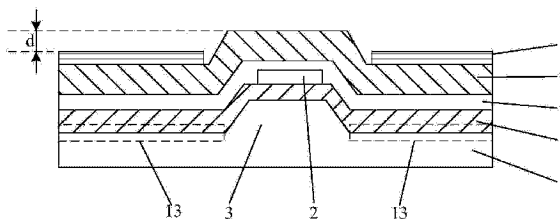
权利要求书1页 说明书6页 附图7页

(54) 发明名称

一种阵列基板及其制作方法、显示装置

(57) 摘要

本发明实施例公开了一种阵列基板及其制作方法、显示装置,涉及显示技术领域,能够防止高分辨率的LCD中的相邻像素电极形成相互干扰的电场,保证LCD的显示效果。该阵列基板,包括:衬底基板和设置于所述衬底基板上的信号线,所述信号线两侧设置有像素电极,所述衬底基板形成有与全部或部分所述信号线位置对应的突起。



1. 一种阵列基板,其特征在于,包括:衬底基板和设置于所述衬底基板上的信号线,所述信号线两侧设置有像素电极,所述衬底基板形成有与全部或部分所述信号线位置对应的突起。

2. 根据权利要求1所述的阵列基板,其特征在于:所述突起与所有奇数行或所有偶数行的信号线位置对应。

3. 根据权利要求1或2所述的阵列基板,其特征在于,所述信号线包括数据线和/或栅线。

4. 根据权利要求3所述的阵列基板,其特征在于,所述突起的高度为1~2微米,所述突起的宽度大于或等于所述信号线的宽度。

5. 根据权利要求4所述的阵列基板,其特征在于,所述突起的宽度为3~6微米。

6. 一种显示装置,其特征在于,包括权利要求1-5任一项所述的阵列基板。

7. 一种阵列基板的制造方法,其特征在于,包括:

对衬底基板进行处理,使得所述衬底基板与全部或部分信号线位置对应的突起;  
在所述衬底基板上形成所述信号线和位于所述信号线两侧的像素电极。

8. 根据权利要求7所述的制造方法,其特征在于,所述对衬底基板进行处理,使得所述衬底基板与全部或部分信号线位置对应的突起包括:

对所述衬底基板进行刻蚀,使得所述衬底基板与全部或部分信号线位置对应的突起。

9. 根据权利要求7或8所述的制造方法,其特征在于,所述突起与所有奇数行或所有偶数行的信号线位置对应。

10. 根据权利要求9所述的制造方法,其特征在于,所述突起的高度为1~2微米,所述突起的宽度为3~6微米。

## 一种阵列基板及其制作方法、显示装置

### 技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种阵列基板及其制作方法、显示装置。

### 背景技术

[0002] 随着薄膜晶体管液晶显示 (TFT-LCD Display) 技术的发展和进步,液晶显示器装置已经取代了阴极射线管显示装置成为了日常显示领域的主流显示装置。

[0003] 目前,为了不断提高液晶显示装置显示图像的质量,其分辨率在不断地提高,力求为消费者提供更为清晰逼真的显示画面。分辨率定义为液晶显示装置中每英寸面积内的像素的数量,这样一来,分辨率越高则液晶显示装置中像素区域的尺寸就越小,相应地,如图 1 所示,相邻的两个像素单元区域中的像素电极 4 之间的间距也越来越小,当给像素电极 4 通入一定的工作电压时,将导致相邻的两个像素电极 4 之间的电场发生干扰(如图中箭头所示),从而影响显示画面的质量。

[0004] 例如,如图 2 所示,当仅要求某一像素单元区域(标记为 a)对应的液晶分子 12 偏转而与该像素单元区域相邻的另一个像素单元区域(标记为 b)对应液晶分子 12 不发生偏转时,由于像素单元区域 a 与像素单元区域 b 之间的间隔很小,使得相邻的两个像素电极 4 之间的电场发生干扰,导致相邻的像素单元区域 a 与像素单元区域 b 之间的液晶分子 12、以及像素单元区域 b 靠近像素单元区域 a 的边缘处对应的液晶分子 12 发生偏转,从而如图 3 所示,使液晶显示装置中相邻的像素单元区域产生混色、漏光等现象,影响了液晶显示装置的显示的效果。

### 发明内容

[0005] 本发明所要解决的技术问题在于提供一种阵列基板及其制作方法、显示装置,当该阵列基板应用于显示装置时,可减少相邻的两个像素电极之间电场的干扰,降低相邻的两个像素单元区域之间的混色、漏光现象,提高显示装置的显示效果。

[0006] 为解决上述技术问题,本发明采用如下技术方案:

[0007] 本发明的第一方面提供了一种阵列基板,包括:衬底基板、设置于所述衬底基板上的信号线,所述信号线两侧设置有像素电极,所述衬底基板形成有与全部或部分所述信号线位置对应的突起。

[0008] 所述突起与所有奇数行或所有偶数行的信号线位置对应。

[0009] 所述信号线包括数据线和/或栅线。

[0010] 所述突起的高度为 1~2 微米,所述突起的宽度大于或等于所述信号线的宽度。

[0011] 所述突起的宽度为 3~6 微米。

[0012] 在本发明实施例的技术方案中,由于所述衬底基板形成有与全部或部分所述信号线位置对应的突起,并且所述信号线两侧设置有像素电极,显然,突起导致两像素电极之间的高度较大,大于像素电极的高度,使得像素电极不易形成电场,该突起可以减少相邻的两个像素电极之间电场的干扰,降低相邻的两个像素单元区域之间的混色、漏光现象,提高显

示装置的显示效果。

[0013] 本发明的第二方面提供了一种显示装置,包括上述的阵列基板,还包括与所述阵列基板配合的对盒基板。

[0014] 本发明的第三方面提供了一种阵列基板的制造方法,包括:

[0015] 对衬底基板进行刻蚀,形成与全部或部分信号线位置对应的突起;

[0016] 在所述衬底基板上形成所述信号线和位于所述信号线两侧的像素电极。

[0017] 所述突起与所有奇数行或所有偶数行的信号线位置对应。

[0018] 所述突起的高度为 1 ~ 2 微米,所述突起的宽度为 3 ~ 6 微米。

## 附图说明

[0019] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0020] 图 1 为现有技术中的阵列基板的结构示意图;

[0021] 图 2 为现有技术中的阵列基板驱动液晶分子的偏转示意图;

[0022] 图 3 为现有技术中的阵列基板漏光性测试结果示意图;

[0023] 图 4 为本发明实施例中的阵列基板的结构示意图一;

[0024] 图 5 为本发明实施例中的阵列基板驱动液晶分子的偏转示意图;

[0025] 图 6 为本发明实施例中的阵列基板漏光性测试结果示意图;

[0026] 图 7 为本发明实施例中的阵列基板的平面示意图一;

[0027] 图 8 为本发明实施例中的阵列基板的平面示意图二;

[0028] 图 9 为本发明实施例中的阵列基板的平面示意图三;

[0029] 图 10 为本发明实施例中的阵列基板的平面示意图四;

[0030] 图 11 为本发明实施例中的阵列基板的平面示意图五;

[0031] 图 12 为本发明实施例中的阵列基板的平面示意图六;

[0032] 图 13 为本发明实施例中的阵列基板的平面示意图七;

[0033] 图 14 为本发明实施例中的阵列基板的结构示意图二;

[0034] 图 15 为本发明实施例中的阵列基板的结构示意图三;

[0035] 图 16 为本发明实施例中的阵列基板的结构示意图四;

[0036] 图 17 为本发明实施例中的阵列基板的制作方法的流程示意图。

[0037] 附图标记说明:

[0038] 1—衬底基板; 2—信号线; 3—突起;

[0039] 4—像素电极; 5—第一绝缘层; 6—第二绝缘层;

[0040] 7—第三绝缘层; 8—公共电极; 9—第四绝缘层;

[0041] 10—黑矩阵; 11—彩膜; 12—液晶分子;

[0042] 13—预设区域。

## 具体实施方式

[0043] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0044] 实施例一

[0045] 本发明实施例提供一种阵列基板,如图 4 所示,该阵列基板包括:

[0046] 衬底基板 1 和设置于所述衬底基板 1 上的信号线 2,所述信号线 2 两侧设置有像素电极 4,所述衬底基板 1 形成有与全部或部分所述信号线 2 位置对应的突起 3。

[0047] 在本发明实施例的技术方案中,由于所述衬底基板形成有与全部或部分所述信号线位置对应的突起,并且所述信号线两侧设置有像素电极,显然,突起导致两像素电极之间的高度较大,大于像素电极的高度,使得像素电极不易形成电场,该突起可以减少相邻的两个像素电极之间电场的干扰,降低相邻的两个像素单元区域之间的混色、漏光现象,提高显示装置的显示效果。

[0048] 进一步的,如图 5 所示,在所述阵列基板应用于显示装置并工作时,当像素单元区域 a 内的像素电极 4 对应的液晶分子 12 发生偏转时,由于上述的所述突起 3 的隔离作用,可以减小该像素电极 4 对与其相邻的像素单元区域 b 内的另一个像素电极 4 的电场干扰,从而避免了相邻两个像素电极 4 之间的液晶分子 12 以及像素单元区域 b 靠近像素单元区域 a 的边缘处对应的液晶分子 12 发生偏转,如图 6 所示,当所述阵列基板应用于显示装置时,宏观上表现为减少了显示装置中的相邻的两个像素单元区域之间的混色、漏光现象,提高了显示效果。

[0049] 其中,如图 4 所示,若衬底基板 1 为玻璃制成,可利用氟化氢 (HF) 等玻璃腐蚀液对衬底基板 1 上的预设区域 13 进行腐蚀处理,形成对应全部或部分所述信号线 2 设置的突起 3,显然,该预设区域 13 恰好是阵列基板上的像素单元区域的对应区域。

[0050] 显然,由于衬底基板 1 上形成有突起 3,该突起 3 的存在导致阵列基板制成后,突起 3 的对应区域的表面会高于其他区域的表面,如图 4 所示,突起 3 的存在使得突起 3 所对应的阵列基板的表面高于其他区域的表面,例如像素电极 4 的表面,所述突起 3 所对应的阵列基板的表面和像素电极 4 的表面之间的高度差较大时,突起 3 所起到的隔离相邻两个像素电极 4 之间的电场干扰作用更为明显,优选的,所述突起 3 所对应的阵列基板的表面和像素电极 4 之间的高度差  $d$  至少为  $1\mu\text{m}$ 。

[0051] 由现有技术可知,每一像素单元区域都为矩形,即像素单元区域包括长边和短边,并且由于显示装置在工作时,每一像素单元区域的像素电极 4 的电势不相等,因此,像素单元区域相互不接触,如图 6 所示,在像素单元区域排布于阵列基板上时,像素单元区域的长边和长边相邻,短边和短边相邻,长边和短边相垂直。由于像素电极 4 通常充满像素单元区域,即像素电极 4 的长边和长边相邻,短边和短边相邻,长边和短边相垂直,像素电极 4 之间有间隙,突起 3 可位于像素电极 4 之间的间隙处,因此,在本发明实施例中,突起 3 的设置可有如下三种:如图 7 所示,所述突起 3 可以仅设置在相邻的像素电极 4 的长边之间,即两列像素单元区域之间对应设置一个突起 3;或者,如图 8 所示,所述突起 3 可以仅设置在相邻的像素电极 4 的短边之间,即两行像素单元区域之间对应设置一个突起 3;或者,如图 9 所示,所述突起 3 可以既设置在相邻的像素电极 4 的长边之间,也设置在相邻的像素电极 4 的

短边之间,即两行或两列像素单元区域之间都对应设置有一个突起 3。

[0052] 进一步的,如图 7 所示,每一个突起 3 之间可以形成有空隙,也可以如图 10 所示,位于两列相邻的像素电极 4 的长边之间的突起 3 和突起 3 相连形成一整体。相应的,图 9 中的沿长边设置的突起可以与沿短边设置的突起相连,如图 11 所示,形成包围每一像素电极 4 的多个小格子。具体应根据实际情况进行设置,本发明实施例对此不进行限制。

[0053] 类似的,突起 3 还可以间隔数列像素电极 4 设置,例如,如图 12 所示,突起 3 间隔两列像素电极 4 设置,即每两列像素电极 4 之间形成有突起 3。相应的,突起 3 也可以间隔数行像素电极 4 设置,例如,如图 13 所示,突起 3 可间隔两行像素电极 4 设置,即每两行像素电极 4 之间形成有突起 3。

[0054] 综上所述,本发明实施例中的信号线 2 可包括数据线和 / 或栅线,即,所述突起 3 可对应数据线设置、可对应栅线设置、也可对应栅线和数据线设置,其中,应根据实际情况进行设置,本发明实施例对此不进行具体限制。

[0055] 进一步的,位于两列像素电极的长边之间的突起即为对应数据线设置的突起,考虑到当所述突起 3 与相互靠近的所述相邻的两个像素电极 4 之间的距离较小时,对实现上述的电场干扰的隔离效果更为有效,因此,参考图 3 所示,所述突起 3 的宽度大于等于所述数据线的宽度,为 3 ~ 6 微米。

[0056] 类似的,位于两行像素电极 4 的短边之间的突起 3 即为对应栅线设置的突起,优选的,所述突起 3 的宽度大于等于所述栅线的宽度,为 3 ~ 6 微米。

[0057] 显然,如图 3 所示,在本发明实施例的第一具体实施例中,该阵列基板可为扭曲向列型 (Twisted Nematic,简称 TN) 模式的阵列基板,此时,该阵列基板的衬底基板 1 之上至少还形成有位于所述信号线 2 之下的第一绝缘层 5、信号线 2 之上的第二绝缘层 6 和第三绝缘层 7,像素电极 4 具体位于第三绝缘层 7 之上。

[0058] 在本发明实施例的第二具体实施例中,如图 14 所示,该阵列基板也可为高级超维场转换 (Advanced Super Dimension Switch,简称 ADS) 模式的阵列基板,即在图 3 的基础上,在像素电极 4 之上形成狭缝状的公共电极 8 和位于像素电极 4 和公共电极 8 之间的第四绝缘层 9,显然,第四绝缘层 9 将公共电极 8 和像素电极 4 绝缘,保证阵列基板的正常工作。

[0059] 所谓高级超维场转换技术 (Advanced Super Dimension Switch),简称 ADS,其核心技术特性描述为:通过同一平面内狭缝电极边缘所产生的电场以及狭缝电极层与板状电极层间产生的电场形成多维电场,使液晶盒内狭缝电极间、电极正上方所有取向液晶分子都能够产生旋转,从而提高了液晶工作效率并增大了透光效率。高级超维场转换技术可以提高 TFT-LCD 产品的画面品质,具有高分辨率、高透过率、低功耗、宽视角、高开口率、低色差、无挤压水波纹 (push Mura) 等优点。针对不同应用,ADS 技术的改进技术有高透过率 I-ADS 技术、高开口率 H-ADS 和高分辨率 S-ADS 技术等。

[0060] 本领域技术人员应该可以理解,上述实施例的公共电极 8 可以为板状或者狭缝状,像素电极 4 也是如此;当然,像素电极 4 和公共电极 8 的上下顺序可颠倒,如图 15 所示,而且像素电极 4 和公共电极 8 均可以为狭缝状电极。

[0061] 另外,为了减少制作成本、简化工艺流程,图 3、图 14 和图 15 中的第二绝缘层 6 可以略去不制作。

[0062] 由于近年来人们对于显示装置的透光率、分辨率、功耗等的要求越来越高,显示装置都在向着高透过率、高分辨率、低功耗等方向发展。其中,分辨率越高,使得每一个像素单元的尺寸越小,当像素单元的边长由几十微米变为十几微米时,显然,像素单元的尺寸得到了大幅度的减小,此时,若黑矩阵的宽度仍然保持不变,相对于像素单元而言,黑矩阵将变得明显,将会影响显示装置的显示效果。因此,黑矩阵的宽度应相应的减小以保证显示装置的显示效果。

[0063] 但是,黑矩阵的宽度减小有可能导致阵列基板和彩膜基板之间的对盒出现偏差,导致漏光等不良现象的产生,因此位于彩膜基板上的黑矩阵的宽度不能任意减小。人们为了克服黑矩阵减小带来的漏光等不良现象,将黑矩阵和彩色滤色层设置在阵列基板上。具体的,在形成数据线、栅线、像素单元等惯常技术中的阵列基板所具有的结构后,在栅线、数据线和像素单元的薄膜晶体管 4 上方的对应位置形成黑矩阵,之后,在黑矩阵圈出来的对应像素单元的显示区域上方形成滤色部分,其中,每一个滤色部分对应一个像素单元。

[0064] 由于此时黑矩阵位于阵列基板上,在适当减小黑矩阵的宽度时,也能保证黑矩阵能够充分遮挡栅线、数据线和薄膜晶体管等需遮光的结构,同时,减少漏光现象发生的可能性,在提高分辨率、透过率的同时又保证了显示装置的显示效果。这种技术又叫做 COA(Color Filter on Array) 技术。

[0065] 因此,在本发明实施例的第三具体实施例中,如图 16 所示,相对于图 3 而言,图 16 中第二绝缘层 6 之上形成有黑矩阵 10 和彩膜 11,之后,依次在彩膜 11 之上形成第三绝缘层 7、公共电极 8、第四绝缘层 9 和像素电极 4,此处的像素电极 4 为狭缝状。

[0066] 其中,需要说明的是,由于一般黑矩阵 10 两侧的彩膜 11 的颜色不同,即黑矩阵 10 为两种颜色的彩膜 11 的交界处,因此,在图 16 中,黑矩阵 10 对应的彩膜 11 处画上一条线来表示线左右的彩膜 11 的颜色不同。

[0067] 显然,第三具体实施例中的公共电极 8 可以为板状或者狭缝状,像素电极 4 也是如此;当然,像素电极 4 和公共电极 8 的上下顺序可颠倒,而且像素电极 4 和公共电极 8 均可以为狭缝状电极,在此不再赘述。

[0068] 进一步的,在本发明实施例中,为了保证像素电极 4 之间互不干扰,所述衬底基板 1 的突起 3 的高度可为 1~2 微米,同时,为了便于信号线 2 的制作,所述突起 3 的宽度大于或等于所述信号线 2 的宽度,一般的,所述突起 3 的宽度可为 3~6 微米。

[0069] 本发明实施例还提供了一种显示装置,包括上述的阵列基板,具体的,该显示装置可以为:液晶面板、液晶电视、液晶显示器、数码相框、手机、平板电脑等具有任何显示功能的产品或部件。

[0070] 实施例二

[0071] 本发明实施例提供了一种阵列基板的制造方法,如图 17 所示,包括:

[0072] 步骤 S101、对衬底基板进行处理,使得所述衬底基板形成与全部或部分信号线位置对应的突起。

[0073] 步骤 S102、在所述衬底基板上形成所述信号线和位于所述信号线两侧的像素电极。

[0074] 进一步的,若衬底基板 1 为玻璃制成,所述步骤 S101 可包括:

[0075] 对所述衬底基板 1 进行刻蚀,使得所述衬底基板 1 与全部或部分信号线 2 位置对

应的突起 3。

[0076] 其中,若衬底基板 1 为玻璃制成,可利用氟化氢 (HF) 等玻璃腐蚀液对衬底基板 1 上的预设区域进行腐蚀处理,形成对应全部或部分所述信号线 2 设置的突起 3。

[0077] 其中,突起 3 可对应全部信号线 2 设置,也可在保证像素电极 4 互不干扰的前提下,仅对应部分信号线 2 设置,例如,所述突起 3 与所有奇数行或所有偶数行的信号线 2 位置对应。

[0078] 显然,本发明实施例中的信号线 2 可包括数据线和 / 或栅线,即,所述突起 3 可对应数据线设置、可对应栅线设置、也可对应栅线和数据线设置,其中,突起 3 的位置应根据实际情况进行设置,本发明实施例对此不进行具体限制。

[0079] 进一步的,在本发明实施例中,为了保证像素电极 4 之间互不干扰,所述衬底基板 1 的突起 3 的高度可为 1 ~ 2 微米,同时,为了便于信号线 2 的制作,所述突起 3 的宽度大于或等于所述信号线 2 的宽度,一般的,所述突起 3 的宽度可为 3 ~ 6 微米。

[0080] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。



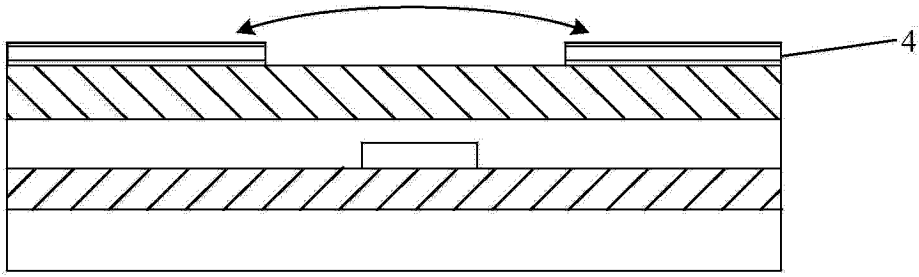


图 1

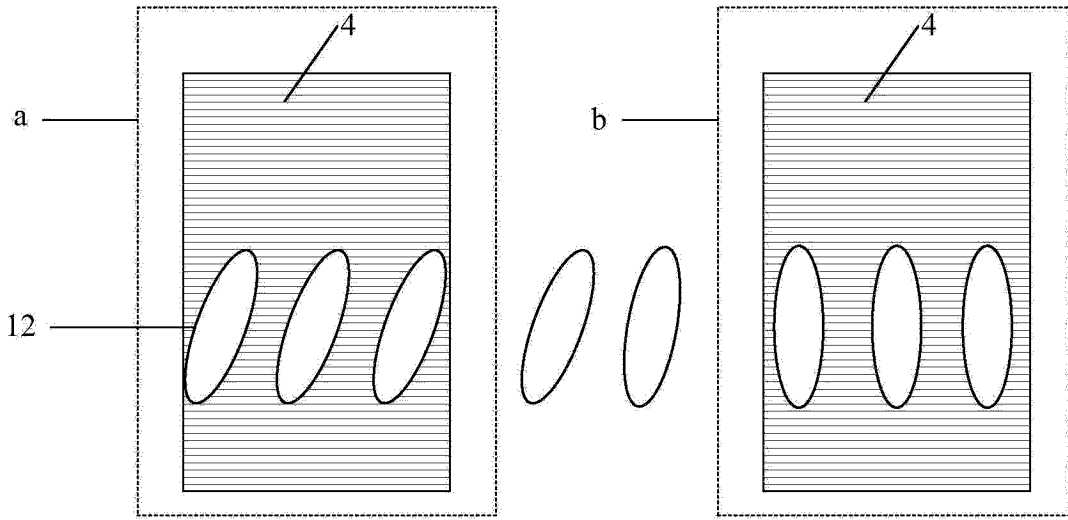


图 2

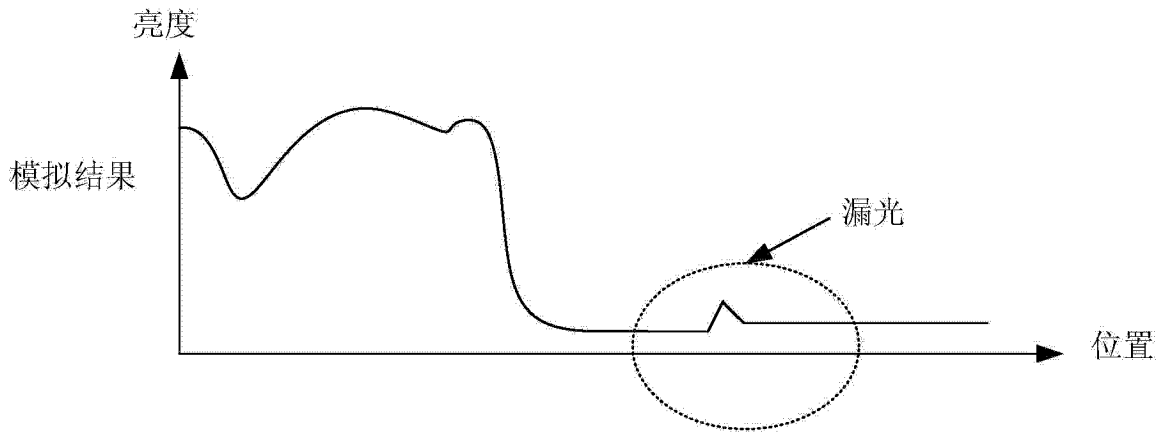


图 3

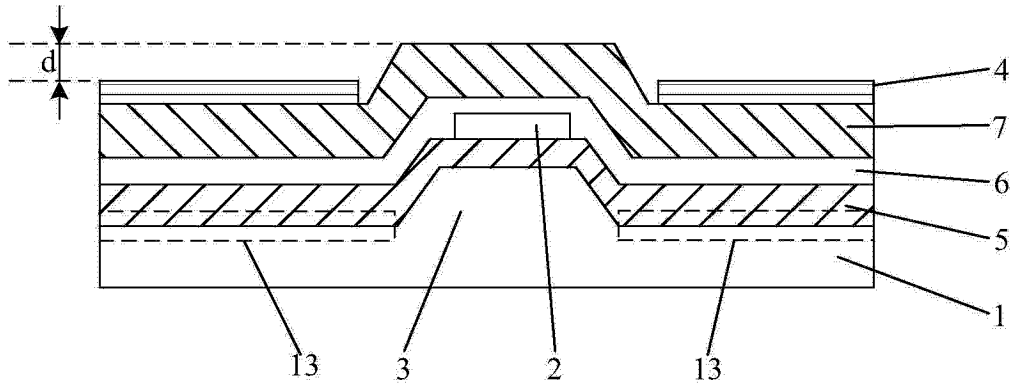


图 4

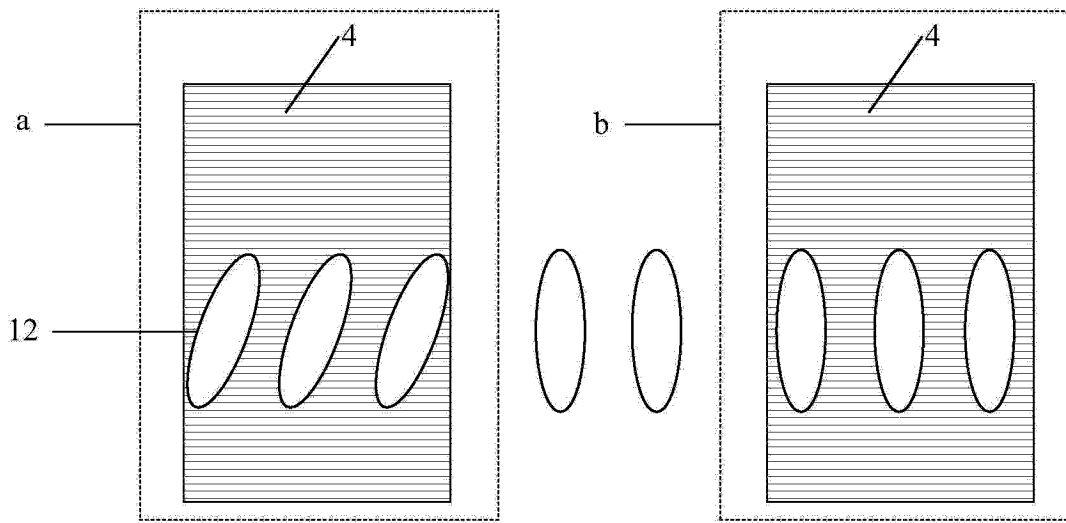


图 5

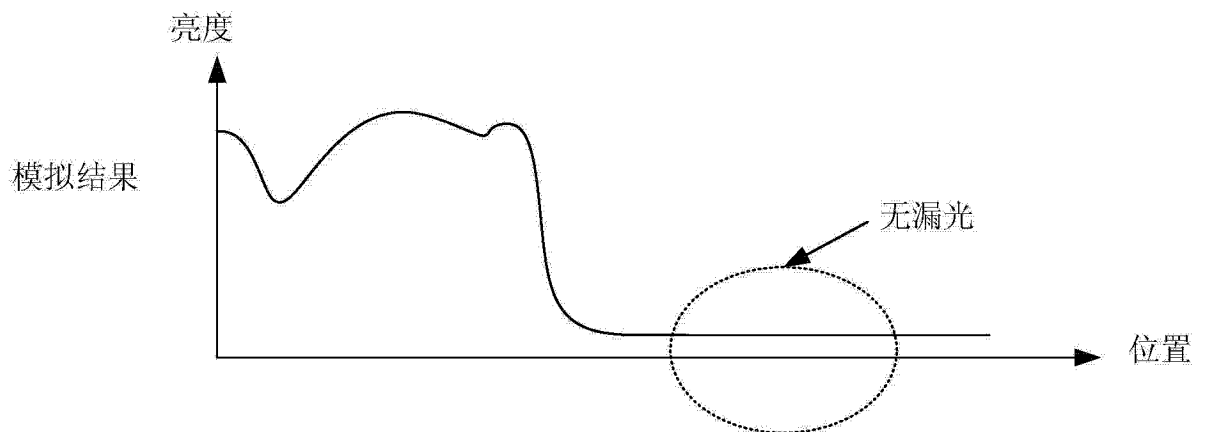


图 6

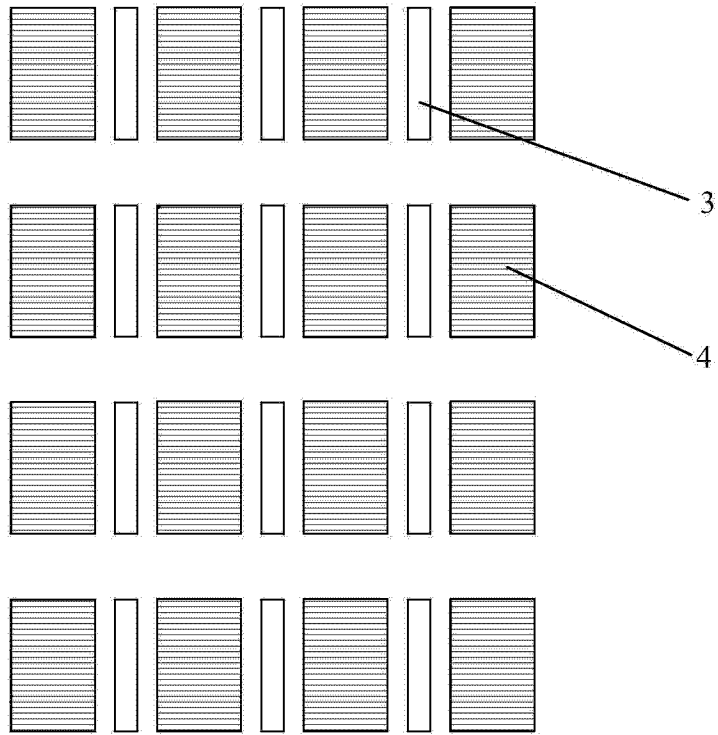


图 7

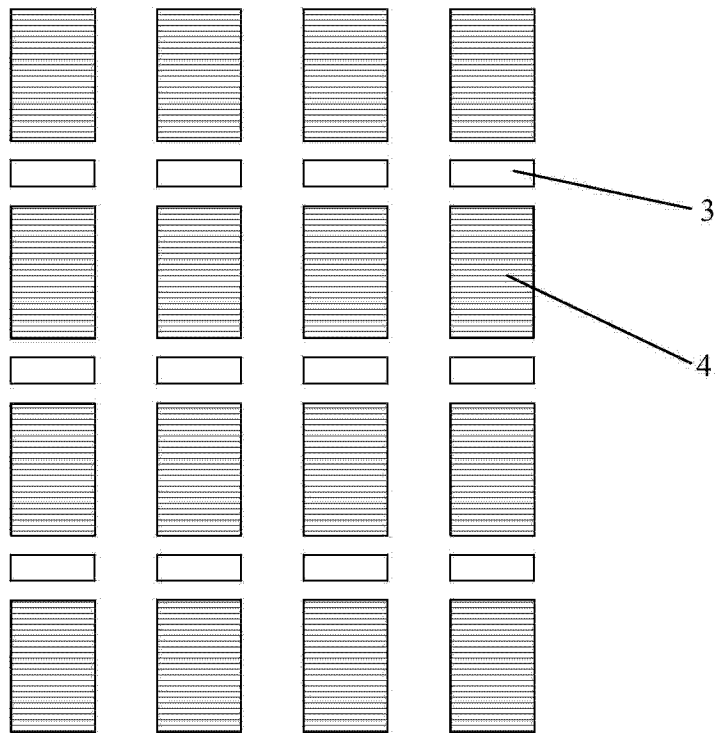


图 8

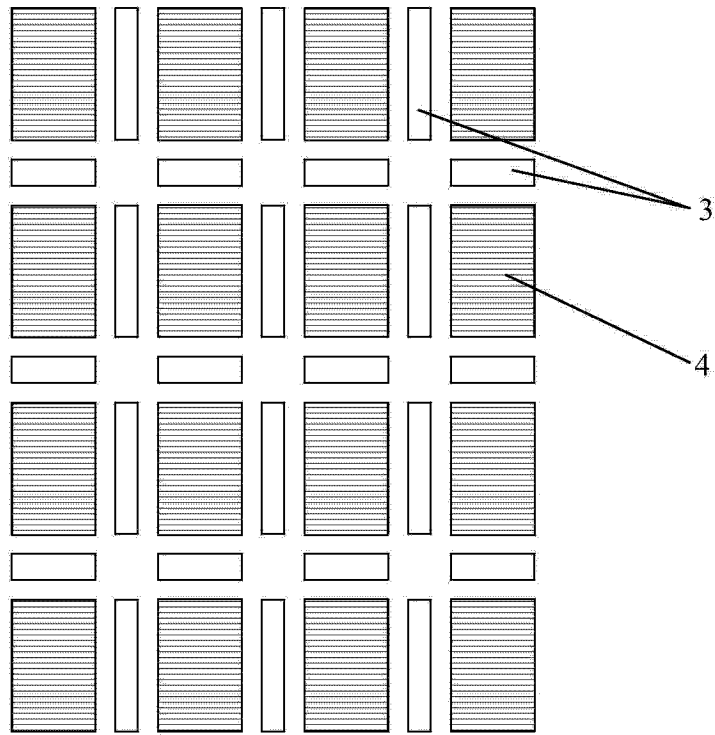


图 9

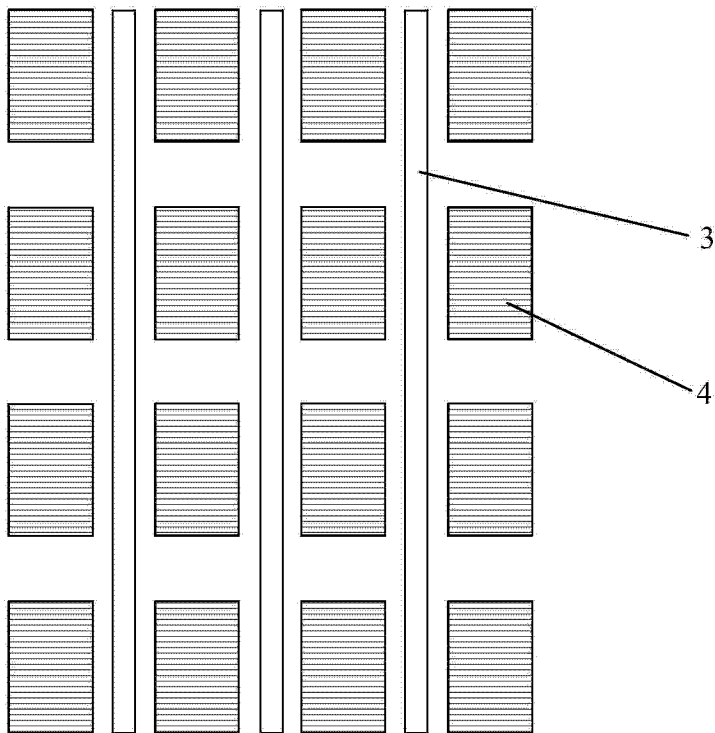


图 10

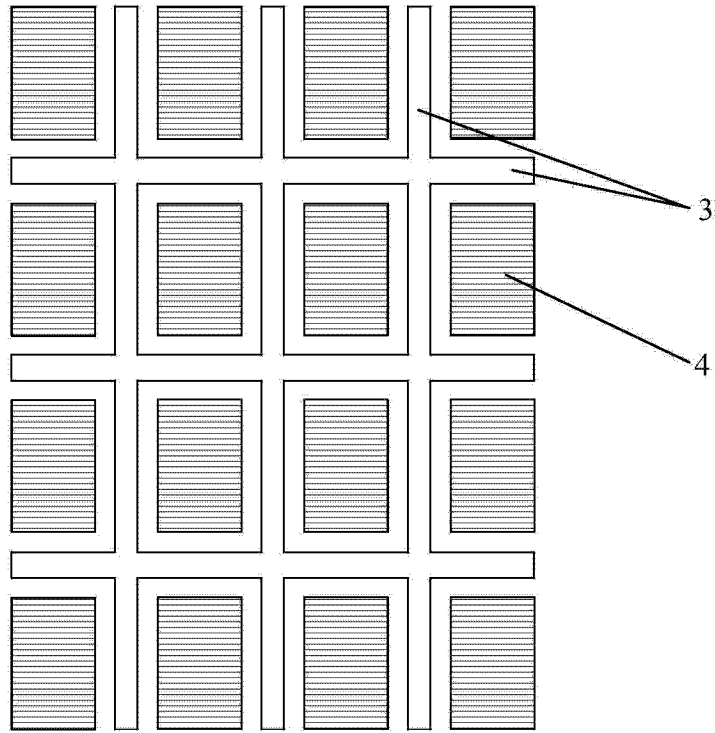


图 11

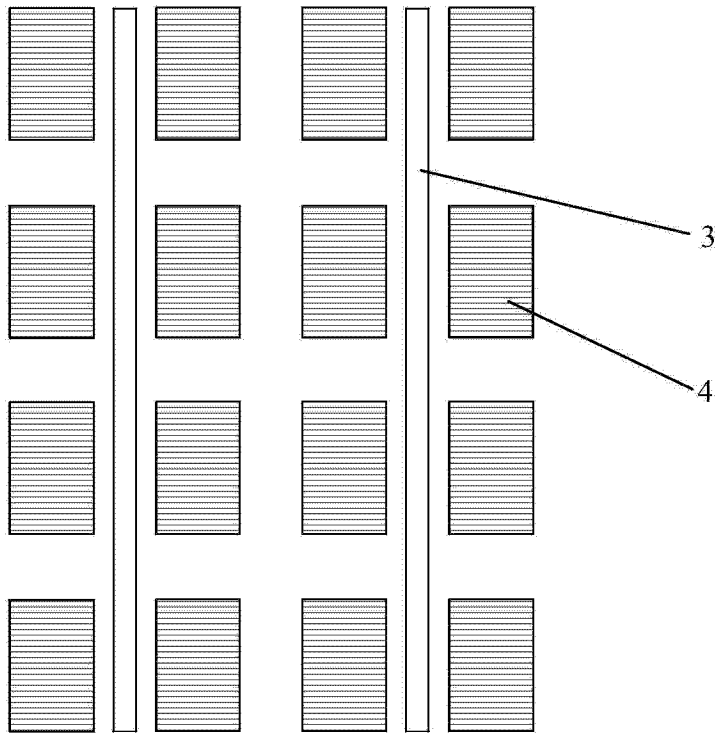


图 12

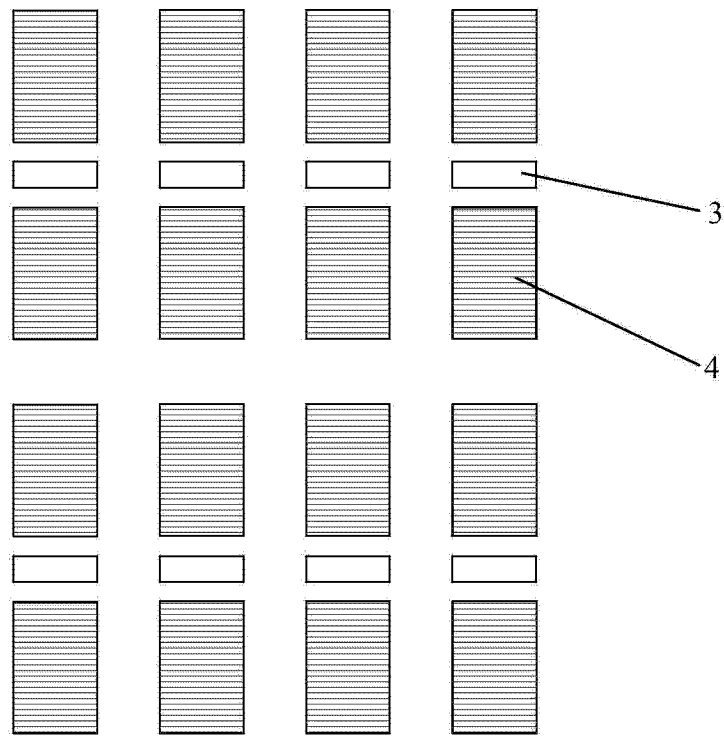


图 13

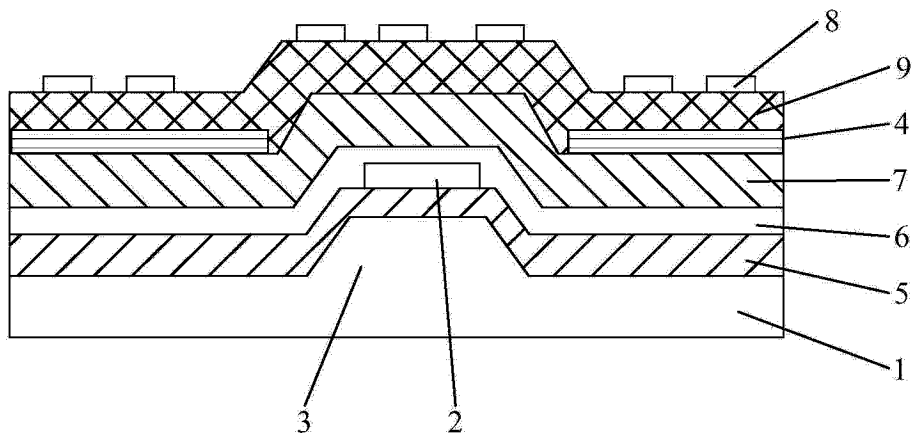


图 14

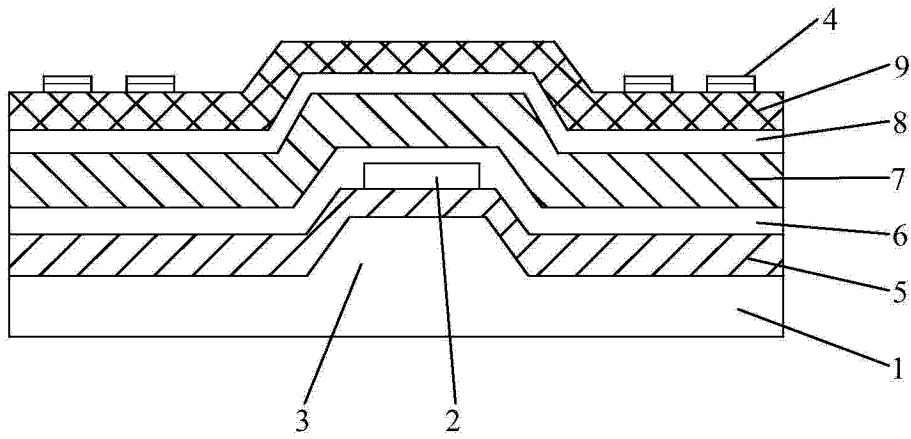


图 15

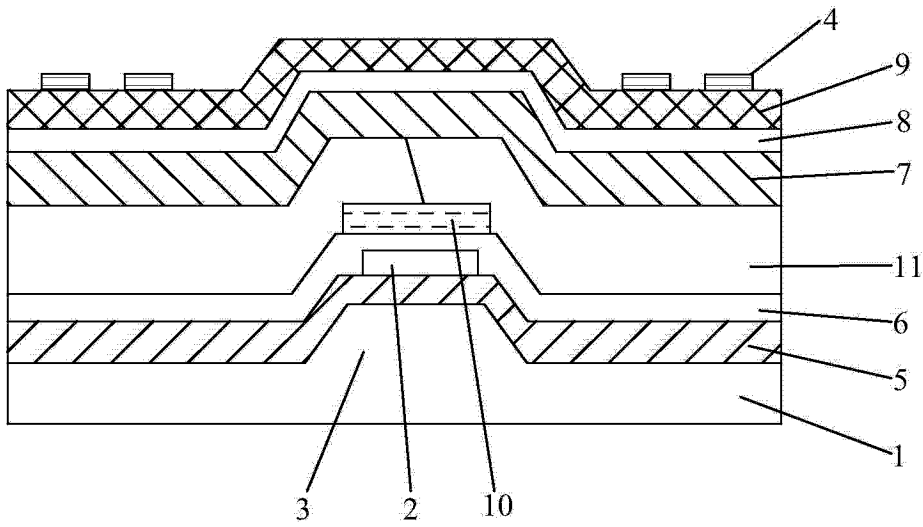


图 16

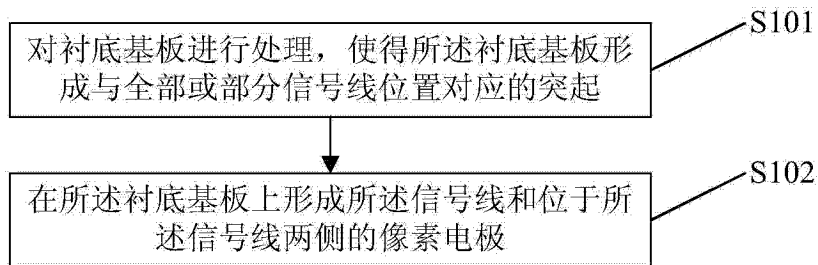


图 17