



(12) 发明专利申请

(10) 申请公布号 CN 111883481 A

(43) 申请公布日 2020. 11. 03

(21) 申请号 202010740046.2

H01L 21/56 (2006.01)

(22) 申请日 2015.11.09

H01L 23/31 (2006.01)

(30) 优先权数据

H01L 23/538 (2006.01)

14/755,798 2015.06.30 US

H01L 25/065 (2006.01)

(62) 分案原申请数据

201510756143.X 2015.11.09

(71) 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹

(72) 发明人 陈孟泽 刘重希 林志伟 黄晖闵

郭炫廷 郑明达

(74) 专利代理机构 北京德恒律治知识产权代理

有限公司 11409

代理人 章社杲 李伟

(51) Int. Cl.

H01L 21/768 (2006.01)

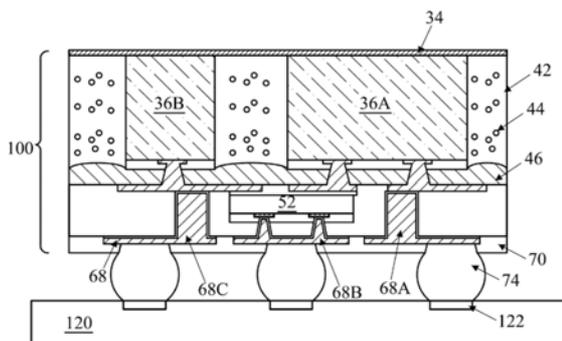
权利要求书2页 说明书10页 附图17页

(54) 发明名称

3D封装件结构及其形成方法

(57) 摘要

本发明提供一种方法,包括:在载体衬底上方形成第一管芯封装件,第一管芯封装件包括第一管芯,第一再分布层形成在第一管芯上方并耦接至第一管芯,第一再分布层包括设置在一层或多层介电层中的一层或多层金属层,第二管芯附着于再分布层上方,在第二管芯和第一再分布层上方层压第一介电材料,形成穿过第一介电材料至第二管芯的第一通孔,并且形成穿过第一介电材料至第一再分布层的第二通孔,以及在第一介电材料上方以及在第一通孔和第二通孔上方形成第二再分布层,并且第二再分布层耦接至第一通孔和第二通孔。本发明还提供一种结构。



1. 一种形成封装件的方法,包括:
 - 在载体衬底上方形成第一管芯封装件,所述第一管芯封装件包括第一管芯;
 - 利用密封剂来至少密封所述第一管芯的横向边缘;
 - 在所述第一管芯上方形成第一再分布层,并且所述第一再分布层耦接至所述第一管芯,所述第一再分布层包括设置在一层或多层介电层中的一层或多层金属层;
 - 将第二管芯附着于在所述第一再分布层上方;
 - 在所述第二管芯和所述第一再分布层上方层压第一介电材料;
 - 形成穿过所述第一介电材料至所述第二管芯的第一通孔,并且形成穿过所述第一介电材料至所述第一再分布层的第二通孔,其中,所述第二通孔设置在所述第一管芯正上方的区域内,而不设置在所述密封剂正上方的区域内;以及
 - 在所述第一介电材料上方以及所述第一通孔和所述第二通孔上方形成第二再分布层,并且所述第二再分布层耦接至所述第一通孔和所述第二通孔。
2. 根据权利要求1所述的方法,还包括:
 - 在所述第二再分布层上方形成第一组导电连接件,并且所述第一组导电连接件耦接至所述第二再分布层。
3. 根据权利要求2所述的方法,还包括:
 - 去除所述载体衬底;以及
 - 将衬底耦接至所述第一组导电连接件。
4. 根据权利要求1所述的方法,其中,形成所述第一管芯封装件还包括:
 - 在所述第一管芯和所述密封剂上方层压第二介电材料,使用穿过所述第二介电材料的第三通孔将所述第一再分布层耦接至所述第一管芯。
5. 根据权利要求4所述的方法,其中,利用所述密封剂来至少密封所述第一管芯的横向边缘还包括:执行利用成型材料的压缩成型工艺。
6. 根据权利要求5所述的方法,其中,所述成型材料包括氧化硅填充材料。
7. 根据权利要求4所述的方法,其中,利用所述密封剂来至少密封所述第一管芯的横向边缘还包括:在所述第一管芯和所述载体衬底上方层压第三介电材料。
8. 根据权利要求1所述的方法,其中,形成所述第一通孔和形成所述第二再分布层还包括:
 - 形成穿过所述第一介电材料至所述第二管芯的第一开口;
 - 形成穿过所述第一介电材料至所述第一再分布层的第二开口;
 - 在所述第一介电材料的顶面上方以及所述第一开口和所述第二开口中形成晶种层;
 - 在所述晶种层上形成导电材料并且填充所述第一开口和所述第二开口,以分别形成所述第一通孔和所述第二通孔;
 - 平坦化所述导电材料;以及
 - 图案化所述导电材料,以形成第二再分布层。
9. 一种形成封装件的方法,包括:
 - 将第一管芯和第二管芯的背面附着于载体衬底,所述第一管芯和所述第二管芯具有与所述背面相对的有源面,所述有源面包括导电衬垫;
 - 利用密封剂来至少密封所述第一管芯的横向边缘和所述第二管芯的横向边缘;

在所述第一管芯和所述第二管芯的有源面以及所述密封剂上方层压第一介电层；

在所述第一介电层上方形成第一再分布层，并且所述第一再分布层耦接至所述第一管芯和所述第二管芯的导电衬垫；

将第三管芯的背面附着于所述第一介电层，所述第三管芯具有与背面相对的有源面，所述有源面包括导电衬垫；

在所述第二管芯和所述第一再分布层上方层压第二介电层；以及

在所述第二介电层上方形成第二再分布层，并且所述第二再分布层耦接至所述第三管芯的导电衬垫和所述第一再分布层，其中，所述第二再分布层的贯通孔部分延伸穿过所述第二介电层至所述第一再分布层，并且所述贯通孔部分设置在所述第一管芯和所述第二管芯正上方的区域内，而不设置在所述密封剂正上方的区域内。

10. 一种封装结构，包括：

第一管芯层，包括：

第一管芯和第二管芯，所述第一管芯和所述第二管芯至少被密封剂横向密封，所述第一管芯和所述第二管芯具有背面和与所述背面相对的有源面，所述有源面包括导电衬垫；

第一介电层，位于所述第一管芯和所述第二管芯的有源面上方以及位于所述密封剂上方；

第一再分布层，沿着所述第一介电层的顶面延伸并且延伸穿过所述第一介电层，以接触所述第一管芯和所述第二管芯的导电衬垫；

第二管芯层，包括：

第三管芯，位于所述第一介电层和所述第一再分布层上方，所述第三管芯至少被第二介电层横向密封，所述第三管芯具有背面和与所述背面相对的有源面，所述有源面包括导电衬垫；以及

第二再分布层，沿着所述第二介电层的顶面延伸并且延伸穿过所述第二介电层，以接触所述第三管芯的导电衬垫和所述第一再分布层，其中，所述第二再分布层的贯通孔部分延伸穿过所述第二介电层至所述第一再分布层，并且所述贯通孔部分设置在所述第一管芯和所述第二管芯正上方的区域内，而不设置在所述密封剂正上方的区域内。

3D封装件结构及其形成方法

[0001] 本申请是于2015年11月09日提交的申请号为201510756143.X的名称为“3D封装件结构及其形成方法”的发明专利申请的分案申请。

技术领域

[0002] 本发明涉及半导体领域,更具体地,涉及3D封装件结构及其形成方法。

背景技术

[0003] 半导体器件用于各种电子应用,例如,诸如个人电脑、手机、数码相机和其他电子设备。通常通过以下步骤来制造半导体器件:在半导体衬底上方相继沉积绝缘或介电层、导电层和半导体材料层;以及使用光刻来图案化该多个材料层,以在该多个材料层上形成电路组件和元件。通常,在单个半导体晶圆上制造数十或数百个集成电路。通过沿着划线锯切集成电路来分割单独的管芯。然后,例如以多芯片模块或以其他类型的封装来分别封装单独的管芯。

[0004] 通过不断减小最小部件尺寸,半导体工业不断提高各种电子组件(例如,晶体管、二极管、电阻器、电容器等)的集成度,这允许更多组件集成到给定面积中。在一些应用中,诸如集成电路管芯的这些较小的电子组件也可能需要比过去的封装件利用更小面积的较小的封装件。

发明内容

[0005] 本发明提供一种方法,包括:在载体衬底上方形成第一管芯封装件,所述第一管芯封装件包括第一管芯;在所述第一管芯上方形成第一再分布层,并且所述第一再分布层耦接至所述第一管芯,所述第一再分布层包括设置在一层或多层介电层中的一层或多层金属层;将第二管芯附着于在所述第一再分布层上方;在所述第二管芯和所述第一再分布层上方层压第一介电材料;形成穿过所述第一介电材料至所述第二管芯的第一通孔,并且形成穿过所述第一介电材料至所述第一再分布层的第二通孔;以及在所述第一介电材料上方以及所述第一通孔和所述第二通孔上方形成第二再分布层,并且所述第二再分布层耦接至所述第一通孔和所述第二通孔。

[0006] 优选地,方法还包括:在所述第二再分布层上方形成第一组导电连接件,并且所述第一组导电连接件耦接至所述第二再分布层。

[0007] 优选地,方法还包括:去除所述载体衬底;以及将衬底耦接至所述第一组导电连接件。

[0008] 优选地,形成所述第一管芯封装件还包括:利用密封剂来至少密封所述第一管芯的横向边缘;以及在所述第一管芯和所述密封剂上方层压第二介电材料,使用穿过所述第二介电材料的第三通孔将所述第一再分布层耦接至所述第一管芯。

[0009] 优选地,利用所述密封剂来至少密封所述第一管芯的横向边缘还包括:执行利用成型材料的压缩成型工艺。

[0010] 优选地,所述成型材料包括氧化硅填充材料。

[0011] 优选地,利用所述密封剂来至少密封所述第一管芯的横向边缘还包括:在所述第一管芯和所述载体衬底上方层压第三介电材料。

[0012] 优选地,形成所述第一通孔和形成所述第二再分布层还包括:形成穿过所述第一介电材料至所述第二管芯的第一开口;形成穿过所述第一介电材料至所述第一再分布层的第二开口;在所述第一介电材料的顶面上方以及所述第一开口和所述第二开口中形成晶种层;在所述晶种层上形成导电材料并且填充所述第一开口和所述第二开口,以分别形成所述第一通孔和所述第二通孔;平坦化所述导电材料;以及图案化所述导电材料,以形成第二再分布层。

[0013] 优选地,形成所述第二通孔还包括:层压所述第一介电材料之前,在所述第一管芯封装件和所述第一再分布层上方形成第一掩模;图案化所述第一掩模,以形成穿过所述第一掩模至所述第一再分布层的第三开口;利用导电材料填充所述第三开口,以形成耦接至所述第一再分布层的第二通孔;和去除所述第一掩模。形成所述第一通孔和形成所述第二再分布层还包括:层压所述第一介电材料之后,平坦化所述第一介电材料以暴露所述第二通孔的一部分;形成穿过所述第一介电材料至所述第二管芯的第四开口;在所述第一介电材料的顶面上方和所述第四开口中形成晶种层;在所述晶种层上形成导电材料并且填充所述第四开口以形成所述第一通孔;平坦化所述导电材料;以及图案化所述导电材料,以形成所述第二再分布层。

[0014] 本发明还提供一种方法,包括:将第一管芯和第二管芯的背面附着于载体衬底,所述第一管芯和所述第二管芯具有与所述背面相对的有源面,所述有源面包括导电衬垫;利用密封剂来至少密封所述第一管芯的横向边缘和所述第二管芯的横向边缘;在所述第一管芯和所述第二管芯的有源面以及所述密封剂上方层压第一介电层;在所述第一介电层上方形成第一再分布层,并且所述第一再分布层耦接至所述第一管芯和所述第二管芯的导电衬垫;将第三管芯的背面附着于所述第一介电层,所述第三管芯具有与背面相对的有源面,所述有源面包括导电衬垫;在所述第二管芯和所述第一再分布层上方层压第二介电层;以及在所述第二介电层上方形成第二再分布层,并且所述第二再分布层耦接至所述第三管芯的导电衬垫和所述第一再分布层。

[0015] 优选地,利用所述密封剂来至少密封所述第一管芯和所述第二管芯的横向边缘还包括:执行利用成型材料的压缩成型工艺,所述成型材料包括氧化硅填充材料。

[0016] 优选地,利用所述密封剂来至少密封所述第一管芯和所述第二管芯的横向边缘还包括:在所述第一管芯、所述第二管芯和所述载体衬底上方层压第三介电材料。

[0017] 优选地,方法还包括:在所述第二再分布层上方形成第一组导电连接件,并且所述第一组导电连接件耦接至所述第二再分布层。

[0018] 优选地,所述第一组导电连接件包括焊料凸块、金属柱、可控塌陷芯片连接(C4)凸块、微凸块、化学镀镍钯浸金技术(ENEPIG)形成的凸块。

[0019] 优选地,形成所述第二再分布层还包括:形成穿过所述第二介电层的第一组开口,以暴露所述第一再分布层的至少一部分;形成穿过所述第二介电层的第二组开口,以暴露所述第三管芯的导电衬垫的至少一部分;在所述第二介电层的顶面上方形成导电材料并且填充所述第一组开口和所述第二组开口;以及图案化所述导电材料,以形成所述第二再分

布层。

[0020] 本发明还提供一种结构,包括第一管芯层和第二管芯层。第一管芯层包括:第一管芯和第二管芯,所述第一管芯和所述第二管芯至少被密封剂横向密封,所述第一管芯和所述第二管芯具有背面和与所述背面相对的有源面,所述有源面包括导电衬垫;第一介电层,位于所述第一管芯和所述第二管芯的有源面上方以及位于所述密封剂上方;第一再分布层,沿着所述第一介电层的顶面延伸并且延伸穿过所述第一介电层,以接触所述第一管芯和所述第二管芯的导电衬垫。第二管芯层,包括:第三管芯,位于所述第一介电层和所述第一再分布层上方,所述第三管芯至少被第二介电层横向密封,所述第三管芯具有背面和与所述背面相对的有源面,所述有源面包括导电衬垫;以及第二再分布层,沿着所述第二介电层的顶面延伸并且延伸穿过所述第二介电层,以接触所述第三管芯的导电衬垫和所述第一再分布层。

[0021] 优选地,所述第二再分布层的贯通孔部分延伸穿过所述第二介电层至所述第一再分布层,所述贯通孔部分横向邻接所述第三管芯。

[0022] 优选地,所述第二介电层和所述密封剂具有相同的组成材料。

[0023] 优选地,所述第二介电层和所述密封剂具有不同的组成材料。

[0024] 优选地,所述密封剂包括填充材料,并且所述第二介电层不包括所述填充材料。

附图说明

[0025] 当结合附图进行阅读时,根据下面详细的描述可以更好地理解本发明的各个方面。应该注意,根据工业中的标准实践,各种部件没有被按比例绘制。实际上,为了清楚的讨论,各种部件的尺寸可以被任意增加或减少。

[0026] 图1至图18是根据一些实施例的形成封装件结构的各个中间结构。

[0027] 图19至图22是根据一些实施例的形成封装件结构的各个中间结构。

[0028] 图23至图33是根据一些实施例的形成封装件结构的各个中间结构。

[0029] 图34是根据一些实施例的封装件结构。

具体实施方式

[0030] 以下公开内容提供了许多用于实现本发明的不同特征的不同实施例或实例。下文中,将描述组件和布置的具体实例,以简化本发明。当然,这些仅仅是实例而不意欲限制。例如,在以下描述中,在第二部件上方或上形成第一部件可以包括第一部件和第二部件直接接触形成的实施例,也可以包括形成在第一部件和第二部件之间的附加部件使得第一部件和第二部件不直接接触的实施例。另外,本发明可以在各个实例中重复参考标号和字符。这种重复是为了简化和清楚的目的,并且其本身并不表示所论述的实施例和/或配置之间的关系。

[0031] 而且,为便于描述,本文可以使用诸如“在…下方”、“在…下面”、“下部”、“在…上面”、“上部”等的空间关系术语,以描述如图所示的一个元件或部件与另一元件或部件的关系。除了图中所示的方位之外,空间关系术语意欲包括使用或操作过程中的器件的不同方位。装置可以以其他方式定向(旋转90度或在其他方位上),而本文使用的空间关系描述符可以同样地作相应的解释。

[0032] 将关于具体背景下(即,三维(3D)集成扇出(InFO)封装件器件)的实施例来描述实施例。然而,其他的实施例也可以应用于其他电连接的组件,包括(但不限于):衬底处理中、封装装配中的叠层封装装配、管芯-管芯装配、晶圆-晶圆装配、管芯-衬底装配;插接件、衬底等;或者输入安装组件、板、管芯或其他组件;或用于封装或安装任何类型的集成电路或电子部件的组合的连接件。

[0033] 图1至图18是根据一些实施例的形成封装件结构的各个中间结构。图17示出了形成封装件结构的中间步骤,该封装件结构包括载体衬底30、载体衬底30上方的粘合层32和粘合层32上方的粘合层34。载体衬底30可以是载体衬底30上方的层提供(在制造工艺的中间操作期间)机械支撑的任何合适的衬底。载体衬底30可以是晶圆,包括玻璃、硅(例如,硅晶圆)、氧化硅、金属板、陶瓷材料等。

[0034] 粘合层32可以设置(例如,层压)在载体衬底30上。粘合层32可以由胶形成,诸如当暴露于UV光时会失去其粘合性的紫外线(UV)胶、加热时会失去其粘合性的光热转换(LTHC)材料等。粘合层32可以以液态进行分配并且被固化,可以是层压在载体衬底30上的层压膜,或者可以是类似物。粘合层32的顶面可以是水平的并且可以具有共面的高度。

[0035] 粘合层34可以设置(例如,层压)在粘合层32上。粘合层34可以是任何合适的粘合层,诸如:管芯贴装膜,诸如任何合适的粘合剂、环氧化物、UV胶等。

[0036] 图2示出了通过粘合层34将管芯36(36A和36B)附着于载体衬底30和粘合层32。管芯36包括位于管芯36的有源侧上的衬垫38(诸如电连接件衬垫)和钝化层40。例如,管芯36可以是逻辑集成电路、存储器管芯、模拟管芯、任何其它的管芯或它们的组合。管芯36可以包括诸如块状半导体衬底、绝缘体上半导体衬底等的半导体衬底,根据半导体工艺,在该半导体衬底上形成诸如晶体管的有源器件和/或诸如电容器、电感器等的无源器件。包括顶部金属化层的金属化层(未示出)可以位于半导体衬底上,并且可以包括互连结构,以将器件电耦接在一起和/或电耦接至衬垫38。通过钝化层40中的相应的开口暴露衬垫38。

[0037] 在实例中,可以作为晶圆的一部分来形成管芯36。诸如通过切割或锯切来分割晶圆,以形成单独的管芯36。例如,使用拾取-放置工具将管芯36放置在载体衬底30上。衬垫38和钝化层40与载体衬底30相对放置。

[0038] 图3示出了管芯36的密封。在一些实施例中,通过成型材料42来密封管芯36。在一些实施例中,成型材料包括遍布成型材料的填充材料44。例如,可以使用压缩成型使成型材料42在管芯36上成型。在一些实施例中,成型材料42由成型化合物、聚合物、环氧化物等或它们的组合制成。成型材料42中的填充材料44可以是氧化硅填充材料等。执行固化步骤以固化成型材料42,其中固化可以是热固化、UV固化等或它们的组合。

[0039] 在一些实施例中,如图3所示,管芯36掩埋在成型材料42中,并且在固化成型材料42之后,对成型材料42执行诸如研磨的平坦化步骤。平坦化步骤用于去除成型材料42的多余部分,多余部分位于管芯36的钝化层40的顶面上方。在一些实施例中,暴露钝化层40和衬垫38的表面,并且钝化层40的表面与成型材料42的表面齐平。成型材料42可以被描述为横向密封管芯36。

[0040] 图4示出了管芯36的有源侧上方(诸如在钝化层40上)的介电材料46的形成。介电材料46可以连续地覆盖管芯36和成型材料42以及可以覆盖衬垫38。介电材料46可以是聚合物,诸如聚苯并恶唑(PBO)、聚酰亚胺、苯并环丁烯(BCB)等。在其他的实施例中,介电材料46

由以下材料形成：氮化物，诸如氮化硅；氧化物，诸如氧化硅、磷硅酸盐玻璃 (PSG)、硼硅酸盐玻璃 (BSG)、掺杂硼的磷硅酸盐玻璃 (BPSG) 等；等。在一些实施例中，介电材料46是作为干膜以应用于层压工艺的部分固化的聚合物。在实施例中，当应用时，小于50%的介电材料46被固化，并且随后也可以固化。在一些实施例中，介电材料46的固化程度与介电材料46中的交联的数量直接相关。可以通过诸如旋涂、化学汽相沉积 (CVD)、层压等或它们的组合的任何可接受的沉积工艺形成介电材料46。

[0041] 在一些实施例中，介电材料46具有不平坦的顶面，并且对介电材料46执行诸如研磨的平坦化步骤。平坦化步骤用来为介电材料46提供平坦的顶面。

[0042] 图5示出了穿过介电材料46和钝化层40 (如果还未形成穿过钝化层40的开口) 的开口47的形成，以暴露衬垫38的一部分。开口47可以称为通孔开口。例如，可以通过蚀刻、铣削、激光技术等或它们的组合形成开口47。

[0043] 图6示出了介电材料46上方以及开口47中至衬垫38的导电图案48 (48A、48B和48C) 的形成。导电图案48包括各个迹线和/或通孔，诸如开口47中的通孔。导电图案48可以称为再分布层48。在实例中，导电图案48包括通过诸如化学镀、电镀等的镀敷工艺形成的诸如铜、钛等或它们的组合的金属。例如，晶种层 (未示出) 沉积在介电材料46上方以及开口47中。晶种层可以通过原子层沉积 (ALD)、溅射、其他物理汽相沉积 (PVD) 工艺等沉积的铜、钛等或者它们的组合。沉积光刻胶，并且诸如通过可接受的光刻技术来图案化光刻胶，以暴露用于所期望的导电图案48的图案。通过化学镀、电镀等将诸如铜、铝等或它们的组合的导电材料沉积在晶种层上。诸如通过适当的光刻胶剥离工艺去除光刻胶。诸如通过湿蚀刻或干蚀刻去除晶种层的剩余的暴露部分。

[0044] 在实施例中，虽然仅示出了一层通孔、一层介电材料46和一层导电图案48，但是在一些其他实施例中，可以有一层以上的通孔、介电材料46和导电图案层48，以形成再分布层48。例如，在一个实施例中，用于形成介电材料46、通孔和导电图案48的工艺可以重复两次以上，以形成具有三层导电材料和三层介电材料层的再分布层。

[0045] 图7示出了通过粘合层50将管芯52附着于介电材料46 (和可能是一层或多层的导电图案48)。管芯52包括位于管芯52的有源侧上的衬垫54 (诸如电连接件衬垫) 和钝化层56。例如，管芯52可以是逻辑集成电路、存储器管芯、模拟管芯、任何其它的管芯或它们的组合。管芯52可以包括诸如块状半导体衬底、绝缘体上半导体衬底等的半导体衬底，根据半导体工艺，在该半导体衬底上形成诸如晶体管的有源器件和/或诸如电容器、电感器等的无源器件。包括顶部金属化层的金属化层 (未示出) 可以位于半导体衬底上，并且可以包括互连结构，以将器件电耦接在一起和/或将器件电耦接至衬垫54。可以通过钝化层56中相应的开口暴露衬垫54。

[0046] 在实例中，可以作为晶圆的一部分来形成管芯52。诸如通过切割或锯切来分割晶圆，以形成单独的管芯52。例如，使用拾取-放置工具将管芯52放置在介电材料46 (和可能是一层或多层的导电图案48) 上。衬垫54和钝化层56与介电材料46相对放置。

[0047] 图8示出了导电图案48、介电材料46和管芯52上方的介电材料58的形成。介电材料58横向密封管芯52。如图所示，介电材料58从横向远离管芯52设置的区域连续延伸至设置在管芯52的正上方的区域。例如，管芯52的横向边缘 (如，不是位于管芯52的衬垫54的正上方) 附近没有具有不同介电材料的垂直界面 (如图所示，其中垂直是与管芯52的顶面垂直的

方向)。介电材料58可以是诸如PBO、聚酰亚胺、BCB等的聚合物。在其他的实施例中,介电材料58由以下材料形成:氮化物,诸如氮化硅;氧化物,诸如氧化硅、PSG、BSG、BPSG等;等。在一些实施例中,介电材料58是作为干膜应用于层压工艺的部分固化的聚合物。在实施例中,在当应用时,小于50%的介电材料58被固化,并且随后也可以固化。在一些实施例中,介电材料58的固化程度与介电材料58中的交联的数量直接相关。可以通过诸如旋涂、CVD、层压等或它们的组合的任何可接受的沉积工艺形成介电材料58。

[0048] 在一些实施例中,介电材料58具有不平坦的顶面,并且对介电材料58执行诸如研磨的平坦化步骤。平坦化步骤用来为介电材料58提供平坦的顶面。

[0049] 管芯36和成型材料42可以称为结构的第一层,并且管芯52和介电材料58可以称为第N层,或这种情况下的第二层。在实施例中,虽然仅示出了两层,但是在结构中可以有两层以上或以下的层。例如,在一个实施例中,第2层(示出为第N层)可以重复两次以上,以给出一共四层(即, $N=4$)。在另一个实例中,结构中可以仅有一层并且该层可以是与第N层结构类似的结构。

[0050] 图9示出了穿过介电材料58和钝化层56(如果还未形成穿过钝化层56的开口)的开口60的形成,以暴露衬垫54的一部分。开口60可以称为通孔开口60。例如,可以通过蚀刻、铣削、激光技术等或它们的组合形成开口60。

[0051] 图10示出了穿过介电层材料58的贯通开口62的形成,以暴露导电图案48的一部分。例如,可以通过蚀刻、铣削、激光技术等或它们的组合形成开口62。

[0052] 图11示出了介电材料58上方以及开口60和62中并且分别至衬垫54和导电图案48的晶种层64和导电材料66的形成。导电材料66包括分别位于开口62和60中的通孔部分66A和66B。在介电材料58上方以及开口60和62中沉积晶种层64。晶种层64可以通过ALD、溅射、其他PVD工艺等沉积的铜、钛等或它们的组合。在实例中,导电材料66包括通过诸如化学镀、电镀等的镀敷工艺形成的诸如铜、钛等或它们的组合的金属。通孔部分66A可以称为封装件贯通孔(TPV)和/或InFO贯通孔(TIV)并且将在下文中称为TIV 66A。

[0053] 在一些实施例中,如图12所示,导电材料66具有不平坦的顶面,并且对导电材料66执行诸如研磨的平坦化步骤。平坦化步骤用来为导电材料66提供平坦的顶面。

[0054] 图13示出了导电材料66的图案化以形成导电图案68(68A、68B和68C)、介电层70的形成以及穿过介电层70的开口72的形成。可以利用任何可接受的光刻技术图案化导电材料66。在一个实例中,沉积光刻胶并且诸如通过可接受的光刻技术图案化光刻胶,以暴露用于所期望的导电图案68的图案。然后,利用可接受的蚀刻工艺去除暴露的导电材料66,以形成分离的导电图案68。导电图案68可以称为再分布层68。诸如通过适当的光刻胶剥离工艺去除光刻胶。诸如通过湿蚀刻或干蚀刻去除晶种层的剩余的暴露部分。每个导电图案68A和68C都包括至少一个TIV 66A。

[0055] 介电层70覆盖导电图案68。介电层70可以是诸如PBO、聚酰亚胺、BCB等的聚合物。在其他的实施例中,介电层70由以下材料形成:氮化物,诸如氮化硅;氧化物,诸如氧化硅、PSG、BSG、BPSG等;等。可以通过诸如旋涂、CVD、层压等或它们的组合的任何可接受的沉积工艺形成介电层70。例如,可以通过蚀刻、铣削、激光技术等或它们的组合形成穿过介电层70的开口72,以暴露导电图案68的一部分。

[0056] 在实施例中,虽然仅示出了一层通孔66B、一层介电层70和一层导电图案68,但是

在一些其他的实施例中,可以有一层以上的通孔66B、介电层70和导电图案层68,以形成再分布层68。例如,在一个实施例中,用于形成介电层70、通孔66B和导电图案68的工艺可以重复两次以上,以形成具有三层导电材料和三层介电层的再分布层68。

[0057] 图14还示出了导电图案68上方的并且通过开口72电耦接至该导电图案的一组导电连接件74的形成。导电连接件74可以是焊料凸块、金属柱、可控坍塌芯片连接(C4)凸块、微凸块、化学镀镍钯浸金技术(ENEPIG)形成的凸块等。导电连接件74可以包括导电材料,诸如焊料、铜、铝、金、镍、银、钯、锡等或它们的组合。在导电连接件74是焊料凸块的实施例中,通过最初由诸如蒸发、电镀、印刷、焊料转移、植球等常用的方法形成焊料层来形成导电连接件74。一旦在结构上形成焊料层,就可以执行回流,以将材料成形为期望的凸块形状。在另一个实施例中,导电连接件74是通过溅射、印刷、电镀、化学镀、CVD等形成的金属柱(诸如铜柱)。金属柱可以不含焊料并且具有基本垂直的侧壁。在一些实施例中,在金属柱连接件74的顶部上形成金属覆盖层(未示出)。金属覆盖层可以包括镍、锡、锡-铅、金、银、钯、铟、镍-钯-金、镍-金等或它们组合并且可以通过镀敷工艺来形成。

[0058] 虽然没有示出,但是可以存在耦接至再分布层68和耦接至凸块下金属化层(UBM)的导电连接件74的UBM(未示出)。UBM可以延伸穿过介电层70中的开口72并且也可以沿着介电层70的表面延伸。UBM可以包括三层导电材料,诸如钛层、铜层和镍层。然而,本领域的普通技术人员将意识到,可以有材料和层的多种合适的布置,诸如铬/铬-铜合金/铜/金的布置、钛/钛钨/铜的布置或铜/镍/金的布置,这些都适用于UBM的形成。可用于UBM的任何合适的材料或材料层全部意欲包括在当前应用的范围内。

[0059] 图15示出了彼此横向邻接的若干区域100,该区域包括之前在图1至图14中描述的结构。包括其相应的结构的这些区域100可以形成在载体衬底30上。

[0060] 图16示出了将区域100分割为分离的结构的分割工艺。根据实施例,分割工艺之前,去除载体衬底30和粘合层32,以暴露粘合层34。在该实施例中,当去除载体衬底30和粘合层32时,以导电连接件74邻接框架80的方式将结构放置在框架80上。

[0061] 沿着区域100之间的划线区域,通过锯切82执行分割工艺。锯切82将区域100分为成分离的封装件100。图17示出了所得到的分割的封装件结构。分割导致了来自图16中的一个区域100的封装件100被分割。

[0062] 在图18中,封装件100附接于衬底120。外部导电连接件74电耦接并且机械耦接至衬底120上的衬垫122。例如,衬底120可以是印刷电路板(PCB)等。

[0063] 通过将管芯52密封在层压介电材料58中而不是密封在具有填充材料的成型材料中,介电材料58的顶面不存在可能由填充材料导致的凹陷和其他缺陷。例如,如果使用具有填充材料的成型材料,那么,在随后的成型材料的研磨工艺期间会形成凹陷和其他缺陷。然而,层压介电材料58不需要研磨工艺,并且即使使用研磨工艺,也不会导致凹陷和其他缺陷。另外,TIV 66A的形成与通孔66B和导电图案68的形成相结合,以减少步骤的数量并且增加工艺的产量。

[0064] 图19至图22是根据与先前在图1至图18中描述的实施例类似的一些实施例的形成封装件结构的各个中间结构,但是在图19至图22中,将结构的第一层中的成型材料42替换为介电材料130。关于该实施例的细节类似于先前描述的实施例的细节,本文不再赘述。

[0065] 首先进行如以上关于图1和图2所讨论的处理,以实现图19所示的结构。图20示出

了将管芯36密封在介电材料130中。介电材料130可以是诸如PBO、聚酰亚胺、BCB等的聚合物。在其他的实施例中，介电材料130由以下材料形成：氮化物，诸如氮化硅；氧化物，诸如氧化硅、PSG、BSG、BPSG等；等。在一些实施例中，介电材料130是作为干膜应用于层压工艺的部分固化的聚合物。在实施例中，当应用时，小于50%的介电材料130被固化，并且随后也可以固化。在一些实施例中，介电材料130的固化程度与介电材料130中的交联的数量直接相关。可以通过诸如旋涂、CVD、层压等或它们的组合的任何可接受的沉积工艺形成介电材料130。

[0066] 在一些实施例中，如图20所示，管芯36掩埋在介电材料130中，并且在固化介电材料130之后，对介电材料130执行诸如研磨的平坦化步骤。平坦化步骤用于去除介电材料130的多余部分，多余部分位于管芯36的钝化层40的顶面上方。在一些实施例中，暴露钝化层40和衬垫38的表面，并且钝化层40的表面与介电材料130的表面齐平。介电材料130可以被描述为横向密封管芯36。在一些实施例中，形成具有高度H1的介电材料130，该高度小于或等于200 μm ，诸如大约150 μm 。

[0067] 图21示出了管芯36的有源侧上方（诸如在钝化层40上）的介电材料46的形成。介电材料46可以连续覆盖管芯36和介电材料130以及可以覆盖衬垫38。

[0068] 继续与以上所讨论的图5至图17类似的处理，以实现与图18中的封装件100类似的图22所示的封装件100。在图22中，封装件100附着于衬底120。外部导电连接件74电耦接并且机械耦接至衬底120上的衬垫122。例如，衬底120可以是PCB等。

[0069] 通过分别将管芯36和管芯52两者密封在层压介电材料130和层压介电材料58中而不是密封在具有填充材料的成型材料中，介电材料的顶面不存在可能由填充材料导致的凹陷和其他缺陷。例如，如果使用具有填充材料的成型材料，那么，在随后的成型材料的研磨工艺期间会形成凹陷和其他缺陷。然而，层压介电材料可以不需要研磨工艺，并且即使使用研磨工艺，也不会导致凹陷和其他缺陷。

[0070] 图23至图33是根据与先前在图1至图18中描述的实施例类似的一些实施例的形成封装件结构的各个中间结构，但是在图23至图33中，在分离的工艺中形成TIV和通孔，其中首先形成TIV。关于该实施例的细节类似于先前描述的实施例的细节，本文不再赘述。

[0071] 首先进行如以上关于图1至图6所讨论的处理。在图23中，沉积诸如光刻胶的掩模150，并且诸如通过可接受的光刻技术来案化以形成开口152。开口152将用于形成穿过结构的第N层的TIV。

[0072] 图24示出了开口152中的并且耦接至导电图案48中的至少一个的TIV154的形成。在示出的实施例中，TIV 154中的一个耦接至导电图案48A以及一个耦接至导电图案48C。在实例中，TIV 154包括通过诸如化学镀、电镀等的镀敷工艺形成的诸如铜、钛等或它们的组合的金属。例如，晶种层（未示出）可以至少位于开口152的底部中并且可以在掩模150之前或之后形成。晶种层可以通过ALD、溅射、其他PVD工艺等沉积的铜、钛等或者它们的组合。通过化学镀、电镀等将诸如铜、铝等或它们的组合的导电材料沉积在晶种层（如果存在）上。诸如通过适当的工艺（诸如光刻胶剥离工艺）去除掩模150。诸如通过湿蚀刻或干蚀刻去除晶种层的剩余的暴露部分以保留TIV 154。

[0073] 图25示出了通过粘合层50将管芯52附着于介电材料46（和可能是一层或多层的导电图案48）。在示出的实施例中，管芯52附着于两个TIV 154之间。

[0074] 图26示出了导电图案48、TIV 154、介电材料46和管芯52上方的介电材料58的形

成。介电材料58横向密封管芯52和TIV 154。如图所示,介电材料58分别从横向远离管芯52和TIV 154设置的区域连续延伸至设置在管芯52和TIV 154的正上方的区域。例如,管芯52和TIV 154的横向边缘(如,不是位于管芯52的衬垫54和TIV 154的顶面的正上方)附近没有具有不同介电材料的垂直界面(如图所示,其中垂直是与管芯52和TIV 154的顶面垂直的方向)。

[0075] 在一些实施例中,如图27所示,TIV 154掩埋在介电材料58中,并且在固化介电材料58之后,对介电材料58执行诸如研磨的平坦化步骤。平坦化步骤用于去除介电材料58的多余部分,多余部分位于TIV 154的顶面上方。在一些实施例中,暴露TIV 154的表面,并且TIV 154的表面与介电材料58的表面齐平。介电材料58可以被描述为横向密封TIV 154。

[0076] 图28示出了穿过介电材料58和钝化层56(如果还未形成穿过钝化层56的开口)的开口60的形成,以暴露衬垫54的一部分。开口60可以称为通孔开口60。例如,可以通过蚀刻、铣削、激光技术等或它们的组合形成开口60。

[0077] 图29示出了介电材料58和TIV 154上方以及开口60中至衬垫54的晶种层64和导电材料66的形成。晶种层64可以沉积在介电材料58上方以及在开口60中。

[0078] 在一些实施例中,如图30所示,导电材料66具有不平坦的顶面,并且对导电材料66执行诸如研磨的平坦化步骤。平坦化步骤用于为导电材料66提供平坦的顶面。

[0079] 图31还示出了导电材料66的图案化,以形成导电图案156(156A、156B和156C)。可以利用任何可接受的光刻技术图案化导电材料66。在一个实例中,沉积光刻胶并且诸如通过可接受的光刻技术来图案化,以暴露用于所期望的导电图案156的图案。然后,利用可接受的蚀刻工艺去除暴露的导电材料66,以形成分离的导电图案156,该导电图案与以上描述的导电图案68类似,但是由于在分离的工艺中形成的TIV 154,所以导电图案156A和156C不包括通孔和TIV部分。导电图案156可以称为再分布层156。诸如通过适当的光刻胶剥离工艺去除光刻胶。诸如通过湿蚀刻或干蚀刻去除晶种层的剩余的暴露部分。

[0080] 图32示出了介电层70的形成和穿过介电层70的开口72的形成。例如,介电层70覆盖导电图案156,其中通过蚀刻、铣削、激光技术等或它们的组合使开口72暴露导电图案156的一部分。

[0081] 继续与以上所讨论的图14至图17类似的处理,以实现如图33所示的与图17中的封装件100类似的封装件160。在图33中,封装件160附接于衬底120。外部导电连接件74电耦接并且机械耦接至衬底120上的衬垫122。例如,衬底120可以是PCB等。

[0082] 图34是根据与先前在图23至图33中描述的实施例类似的实施例的封装件结构,但是在图34中,由与以上在图19至图22的实施例中描述的介电材料130类似的介电材料170来代替成型材料42。关于该实施例的细节类似于先前描述的实施例的细节,本文不再赘述。

[0083] 通过将一或多个管芯52和36密封在层压介电材料中而不是密封在具有填充材料的成型材料中,介电材料的顶面不存在可能由填充材料导致的凹陷和其他缺陷。例如,如果使用具有填充材料的成型材料,那么,在随后的成型材料的研磨工艺期间会形成凹陷和其他缺陷。然而,层压介电材料可以不需要研磨工艺,并且即使使用研磨工艺,也不会导致凹陷和其他缺陷。另外,TIV的形成可以与其他通孔和导电图案的形成相结合,以减少步骤的数量并且增加工艺的产量。

[0084] 实施例是一种方法,包括:在载体衬底上方形成第一管芯封装件,第一管芯封装件

包括第一管芯,第一再分布层形成在第一管芯上方并耦接至该第一管芯,第一再分布层包括在一层或多层介电层中设置的一层或多层金属层,第二管芯附着于再分布层上方,在第二管芯和第一再分布层上方层压第一介电材料,形成穿过第一介电材料至第二管芯的第一通孔,并且形成穿过第一介电材料至第一再分布层的第二通孔,以及在第一介电材料上方以及第一通孔和第二通孔上方形成第二再分布层,并第二再分布层耦接至第一通孔和第二通孔。

[0085] 另一个实施例是一种方法,包括:将第一管芯和第二管芯的背面附着于载体衬底,第一管芯和第二管芯具有与背面相对的有源面,有源面包括导电衬垫,利用密封剂来至少密封第一管芯和第二管芯的横向边缘,在第一管芯和第二管芯的有源面以及密封剂上方层压第一介电层,在第一介电层上方形成第一再分布层,并且第一再分布层耦接至第一管芯和第二管芯的导电衬垫,将第三管芯的背面附着于第一介电层,第三管芯具有与背面相对的有源面,有源面包括导电衬垫,在第二管芯和第一再分布层上方层压第二介电层,以及在第二介电层上方形成第二再分布层,并且第二再分布层耦接至第三管芯的导电衬垫和第一再分布层。

[0086] 又一个实施例是一种结构,包括:第一管芯层,包括被密封剂横向密封的第一管芯和第二管芯,第一管芯和第二管芯具有背面和与背面相对的有源面,有源面包括导电衬垫,第一介电层位于第一管芯和第二管芯的有源面上方并且位于密封剂上方,第一再分布层沿着第一介电层的顶面延伸并且延伸穿过第一介电层,以接触第一管芯和第二管芯的导电衬垫;第二管芯层,包括第一介电层和第一再分布层上方的第三管芯,第三管芯被第二介电层横向密封,第三管芯具有背面和与背面相对的有源面,有源面包括导电衬垫,以及第二再分布层沿着第二介电层的顶面延伸并且延伸穿过第二介电层,以接触第三管芯的导电衬垫和第一再分布层。

[0087] 以上论述了若干实施例的特征,使得本领域技术人员可以更好地理解本发明的各方面。本领域的技术人员应该理解,他们可以容易地使用本发明作为用于设计或修改用于执行与本发明相同或类似的目的和/或实现相同或类似优点的其它工艺和结构的基础。本领域技术人员也应该意识到,这种等同构造并不背离本发明的精神和范围,并且在不背离本发明的精神和范围的情况下,本文中他们可以做出多种变化、替换以及改变。

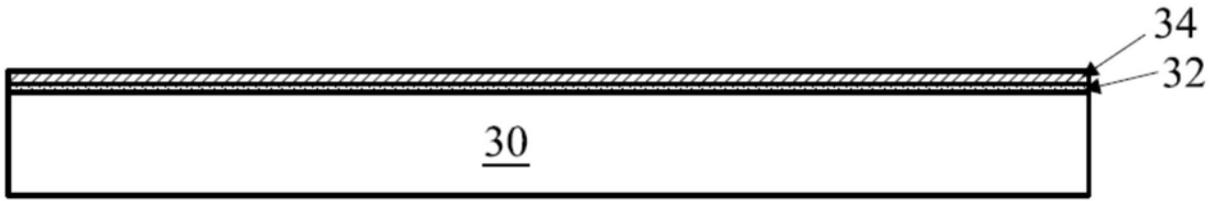


图1

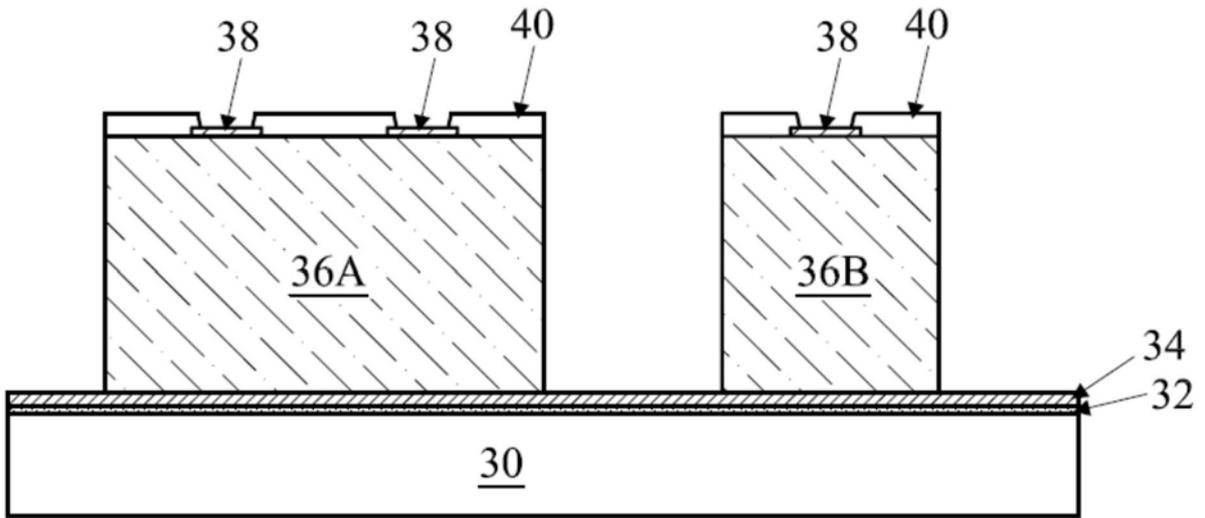


图2

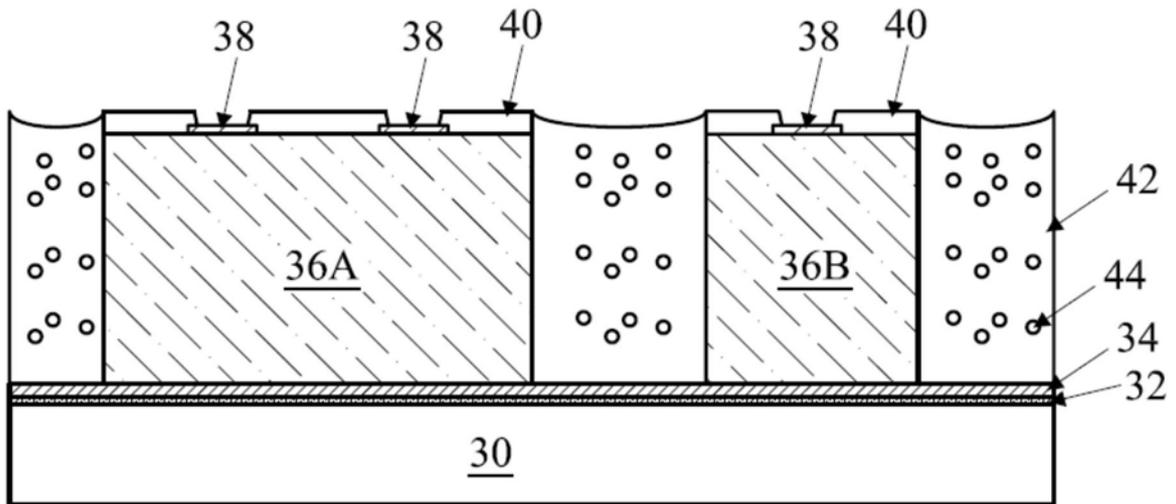


图3

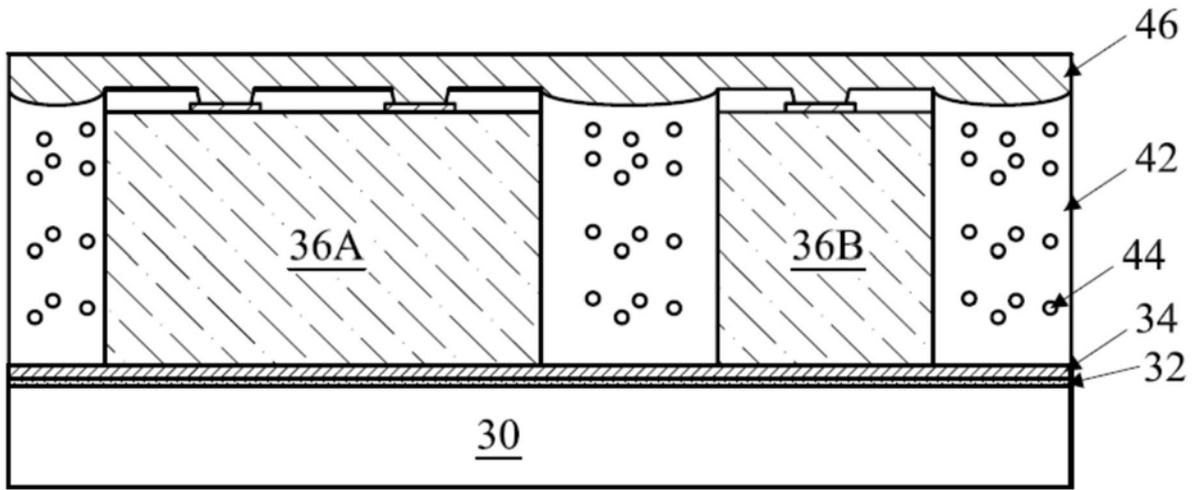


图4

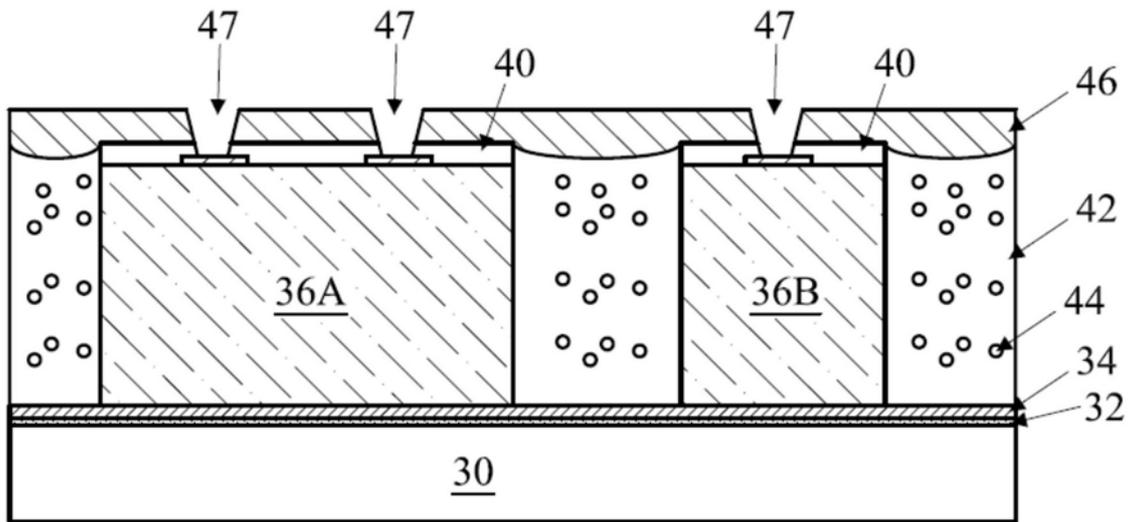


图5

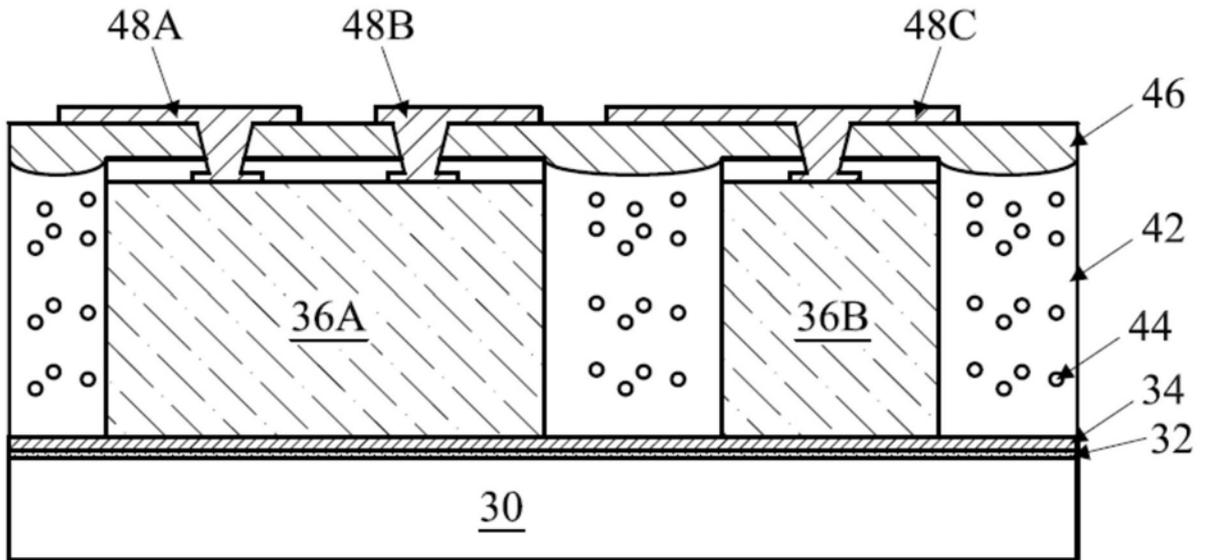


图6

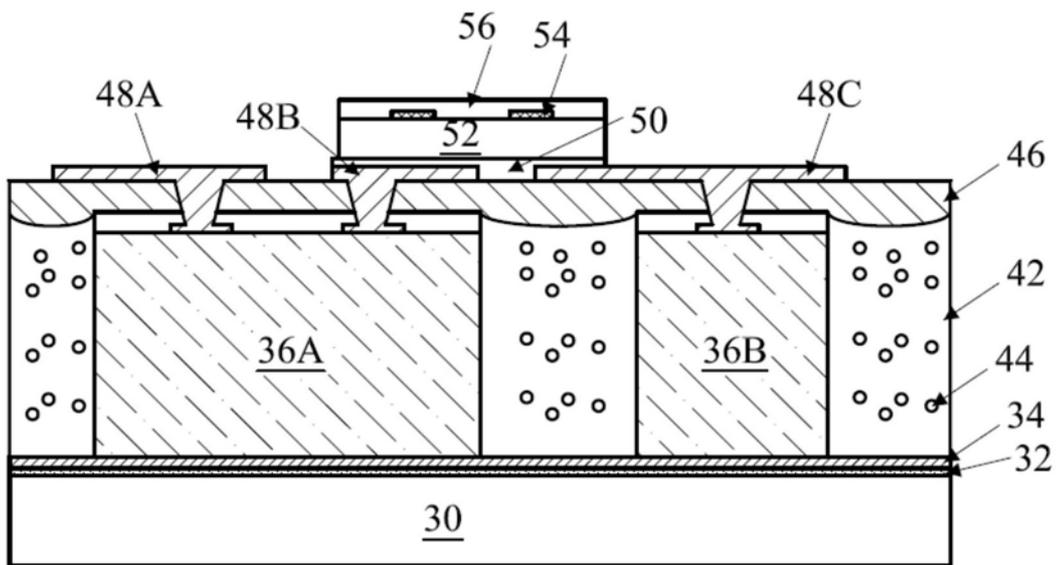


图7

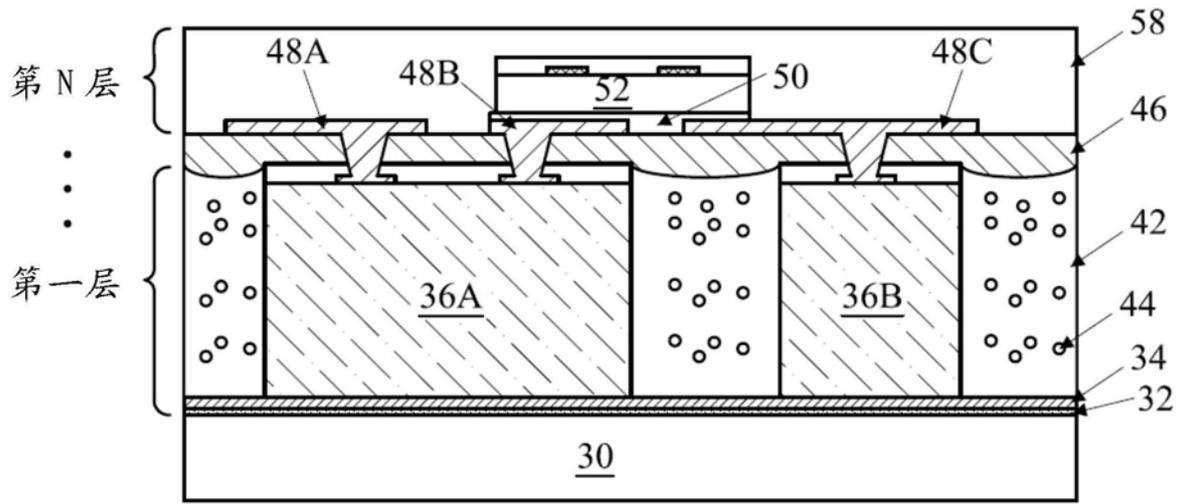


图8

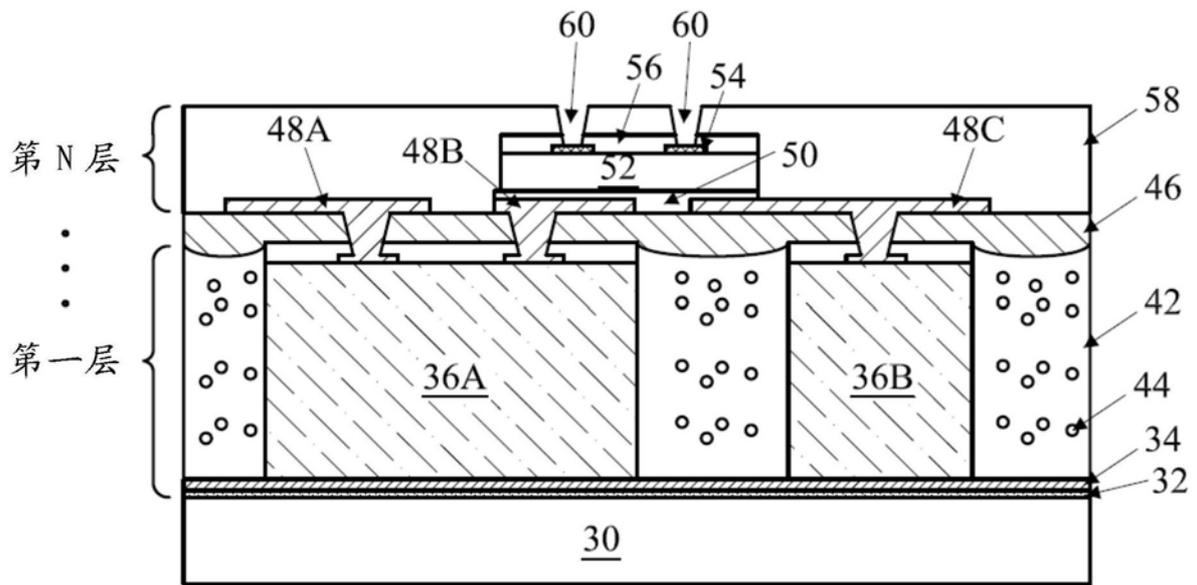


图9

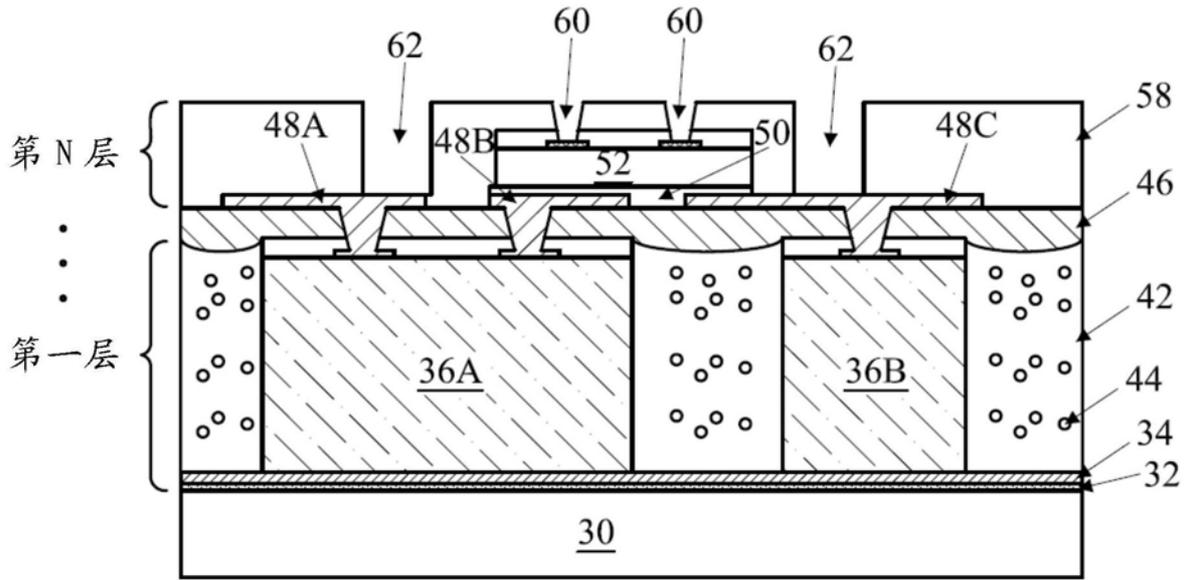


图10

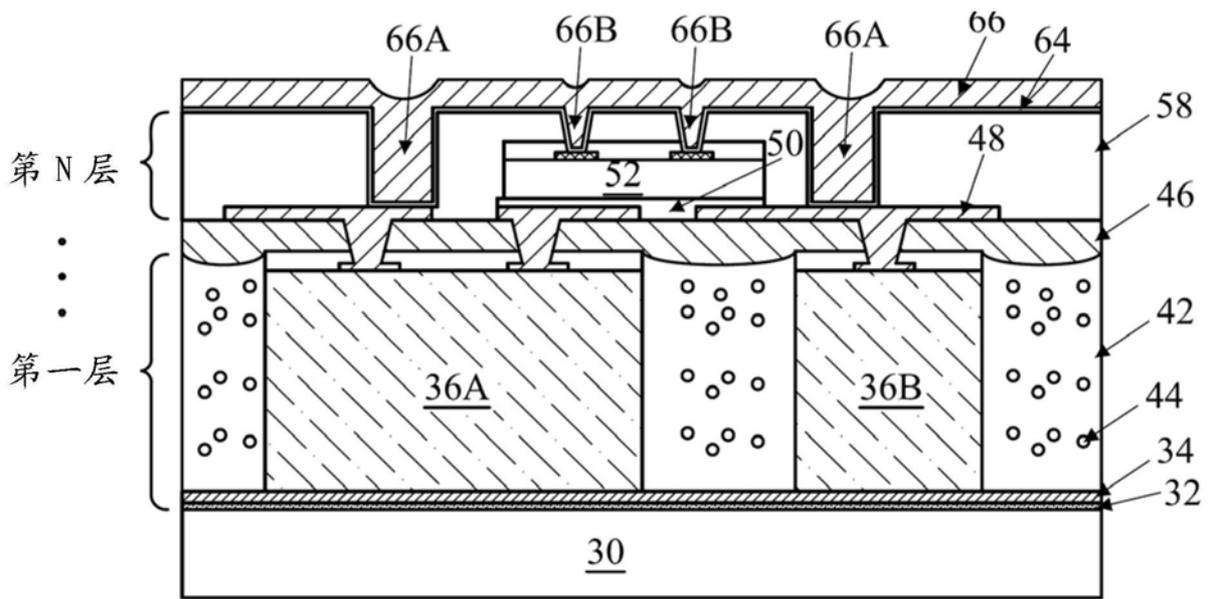


图11

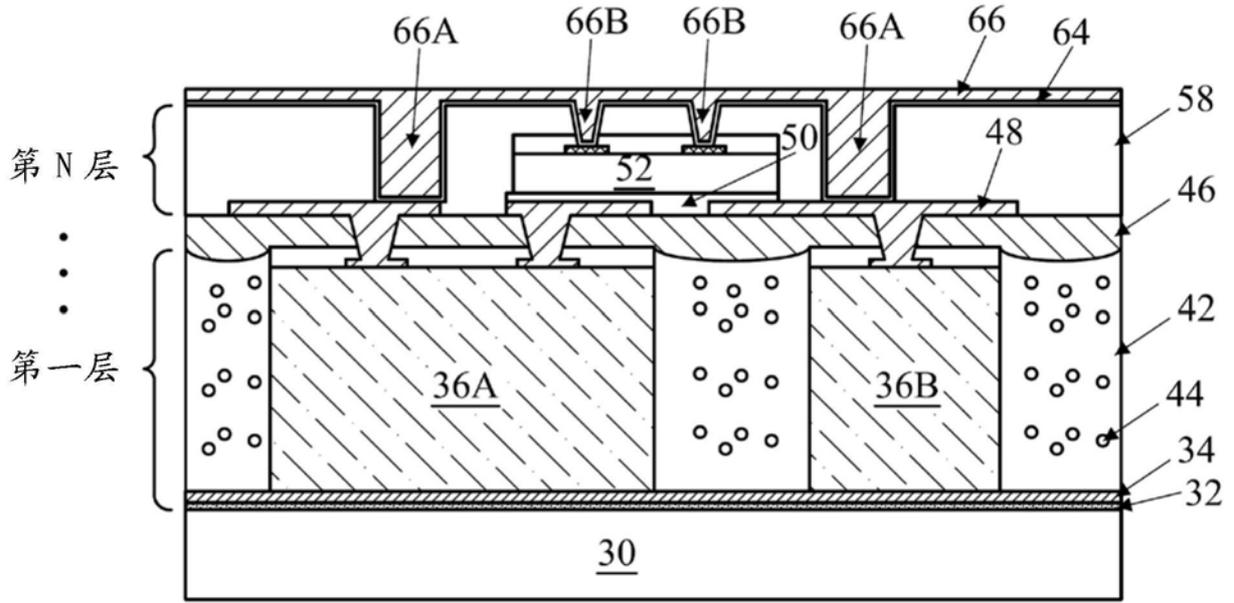


图12

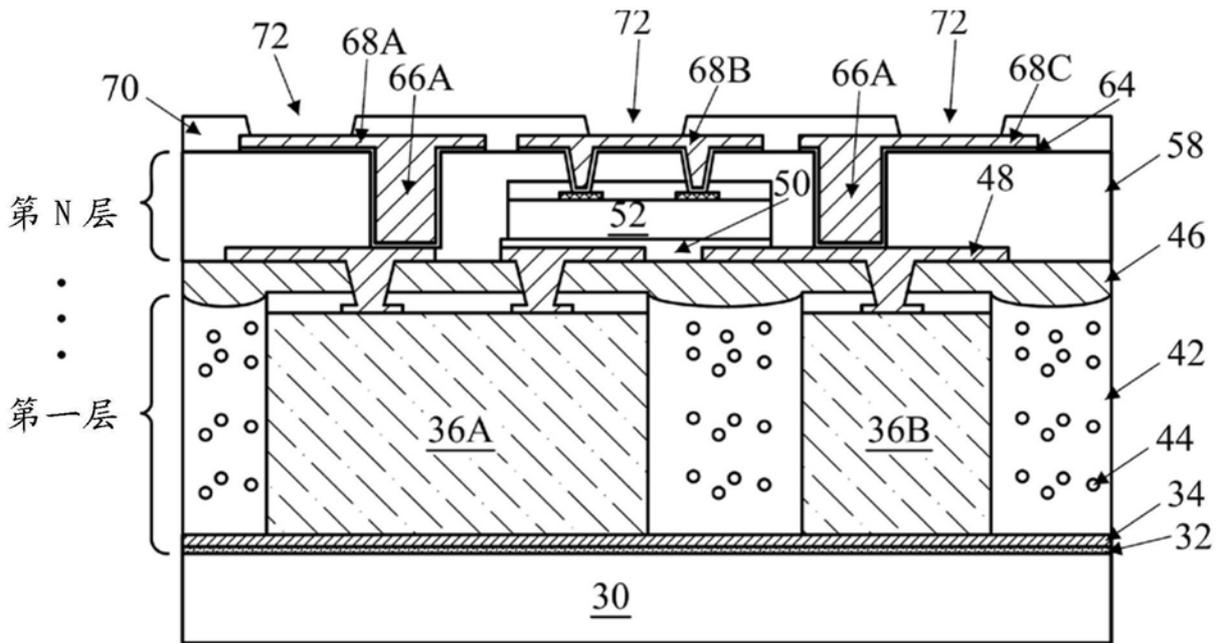


图13

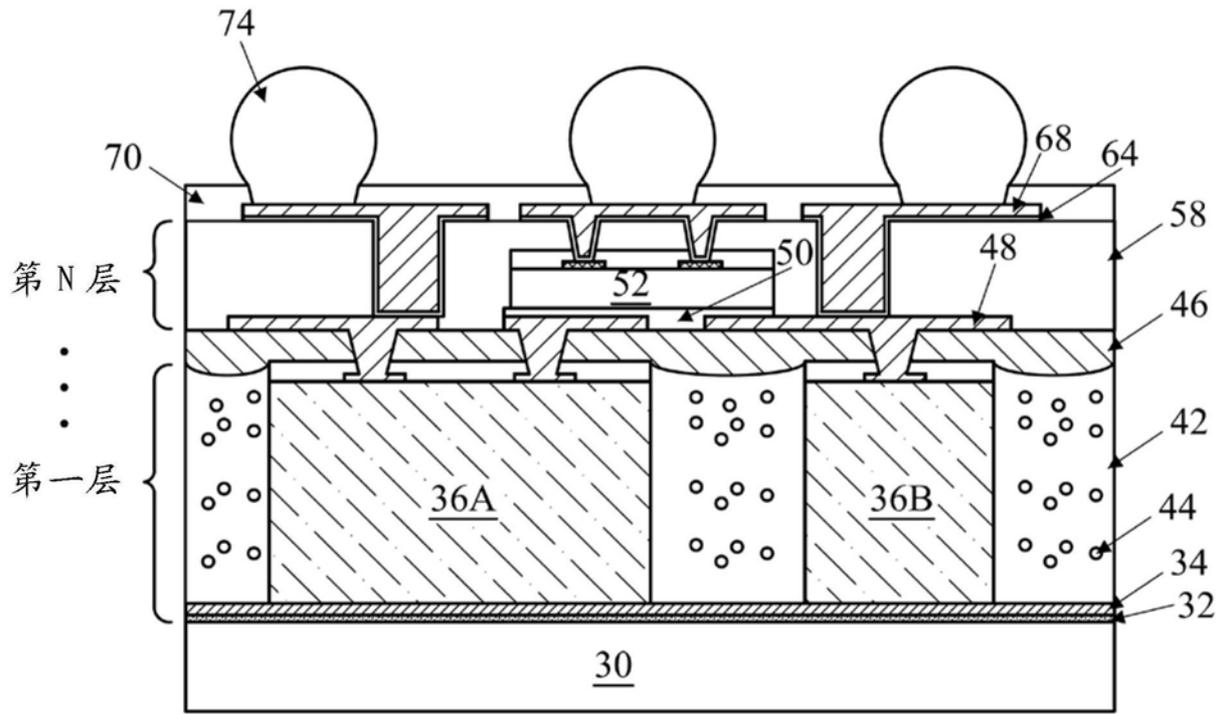


图14

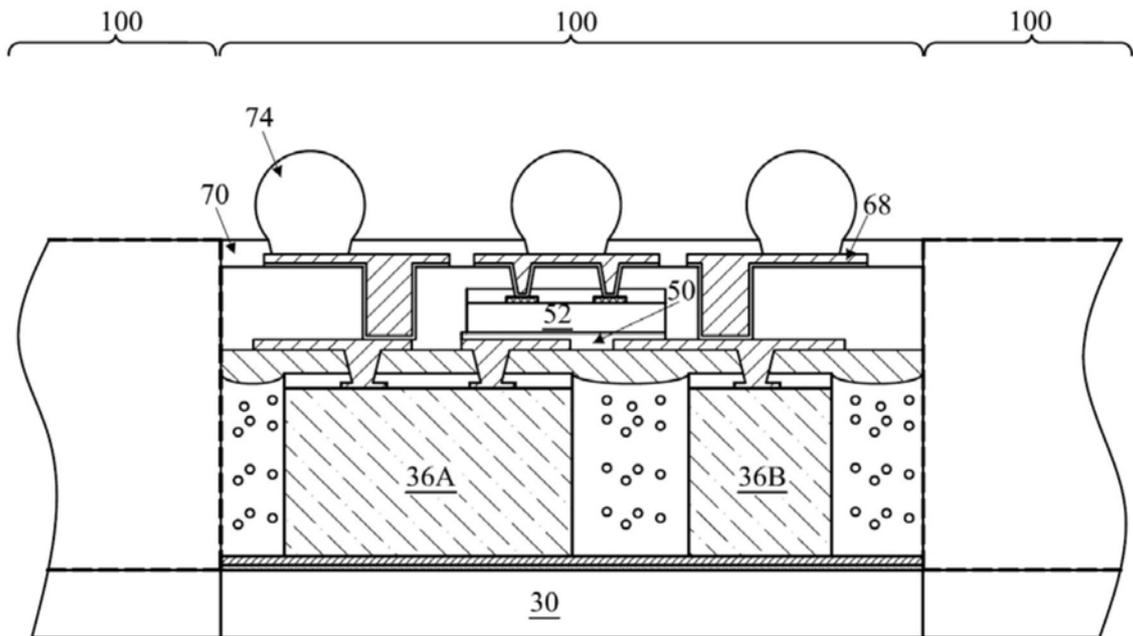


图15

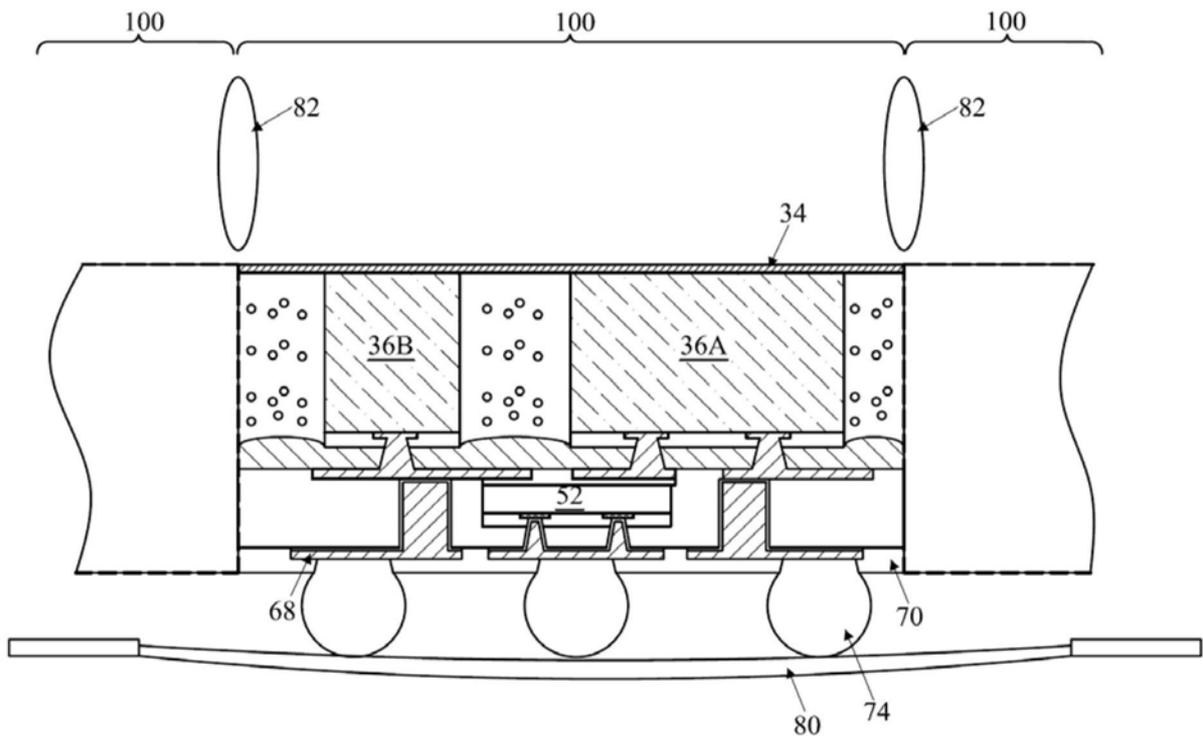


图16

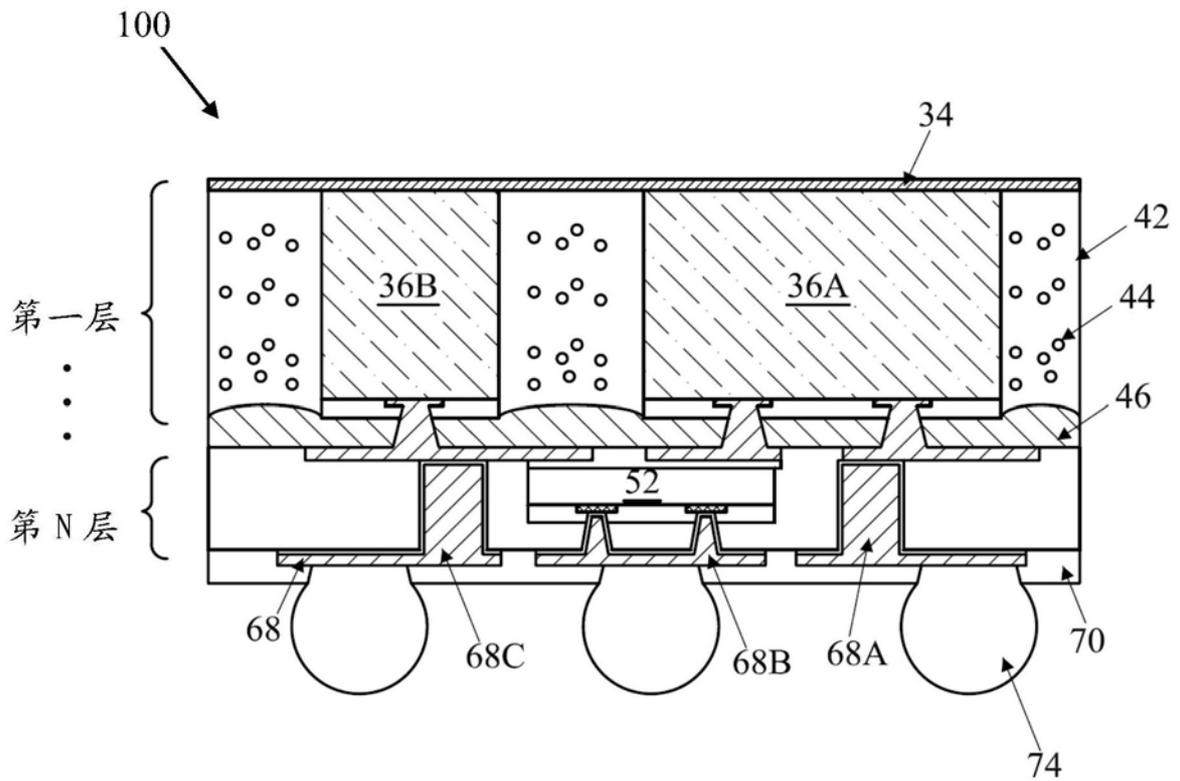


图17

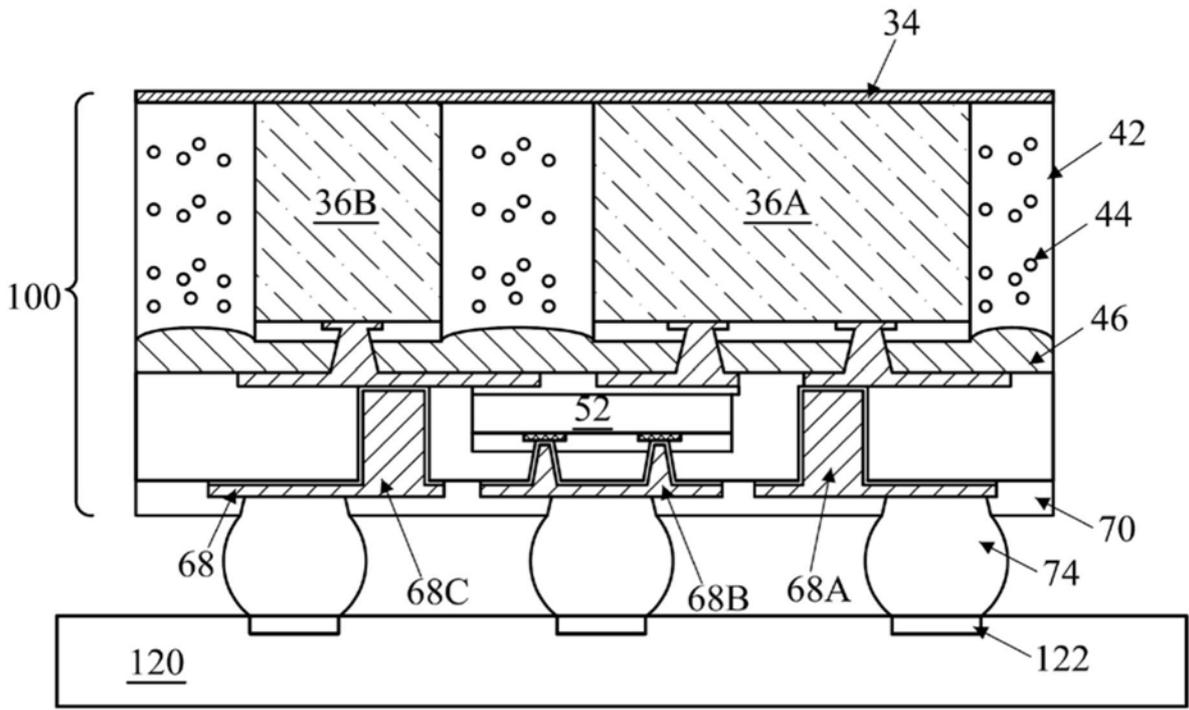


图18

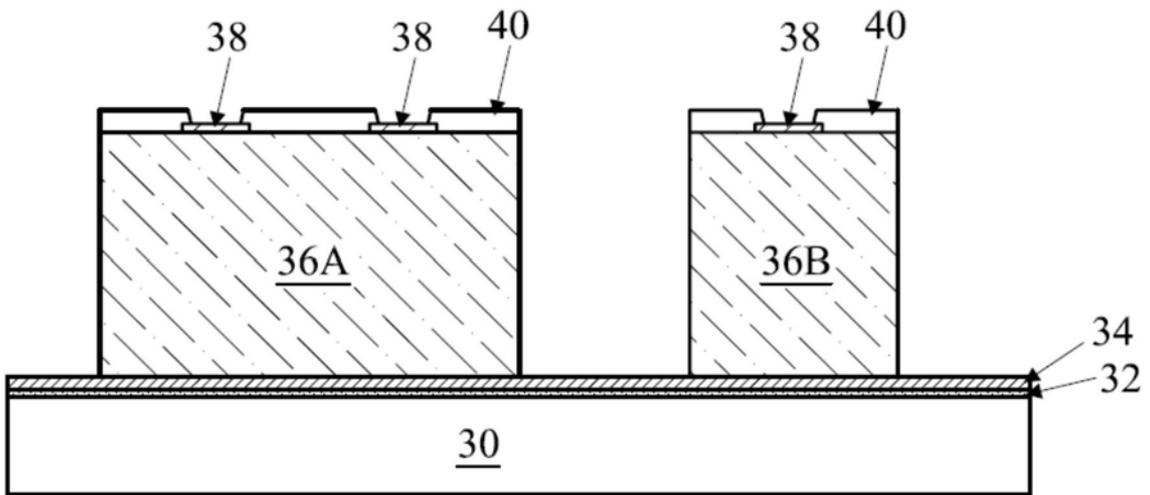


图19

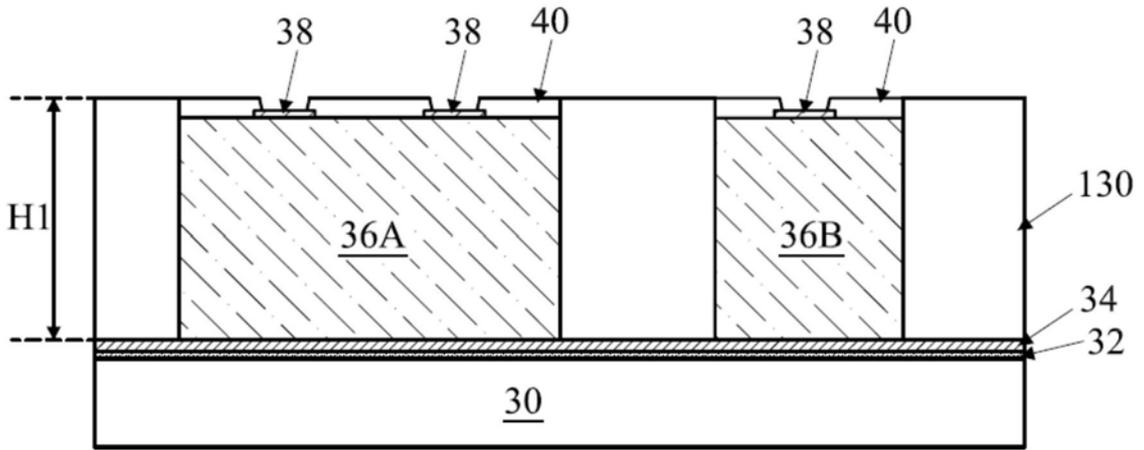


图20

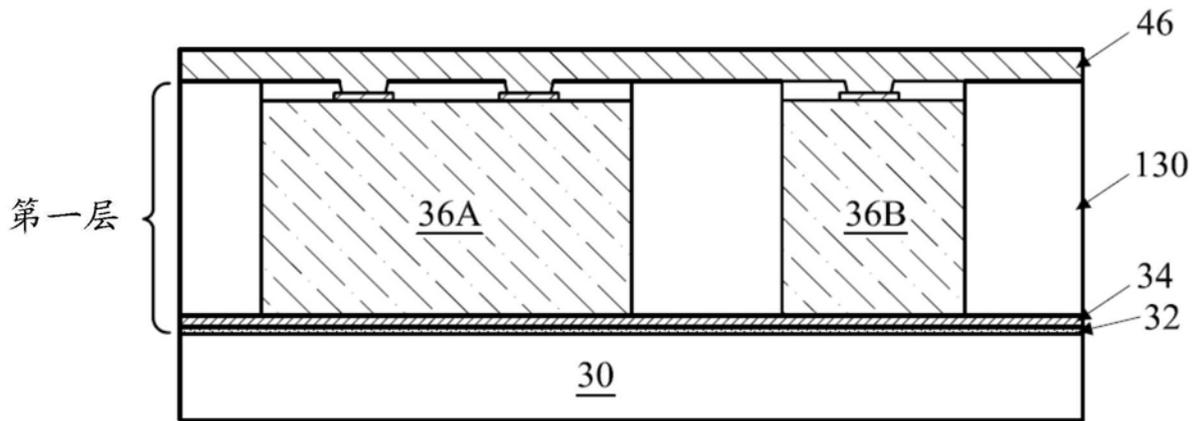


图21

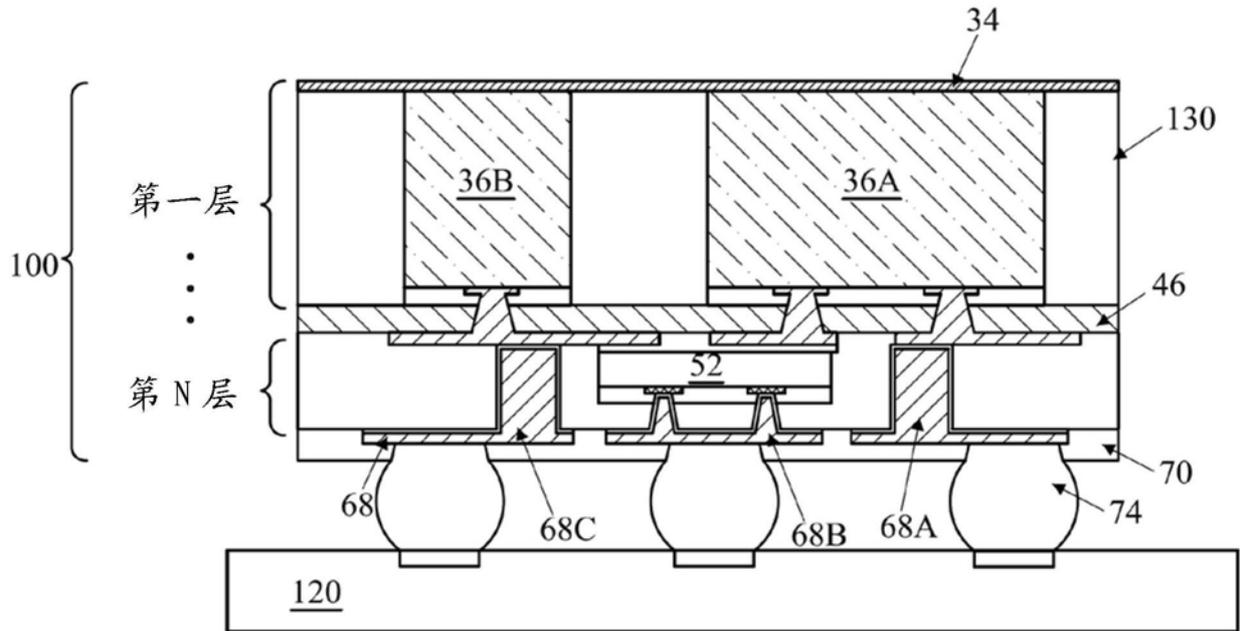


图22

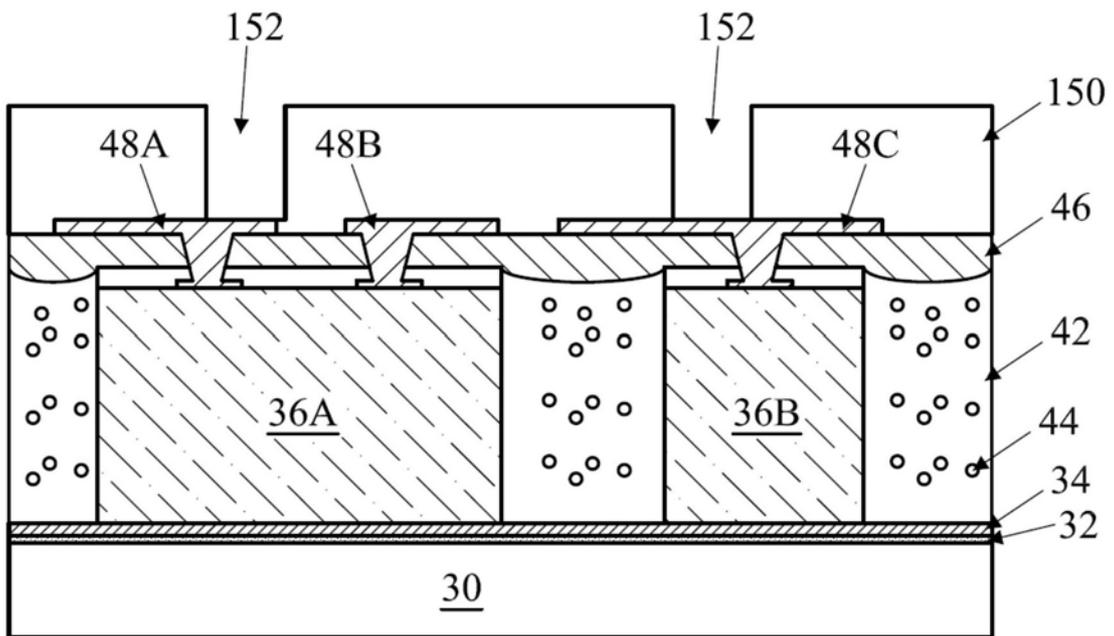


图23

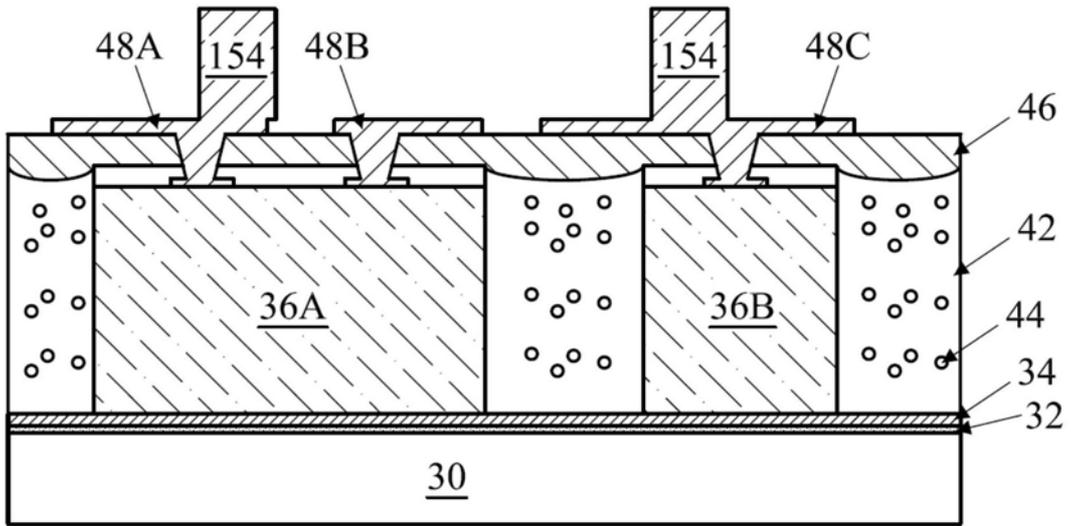


图24

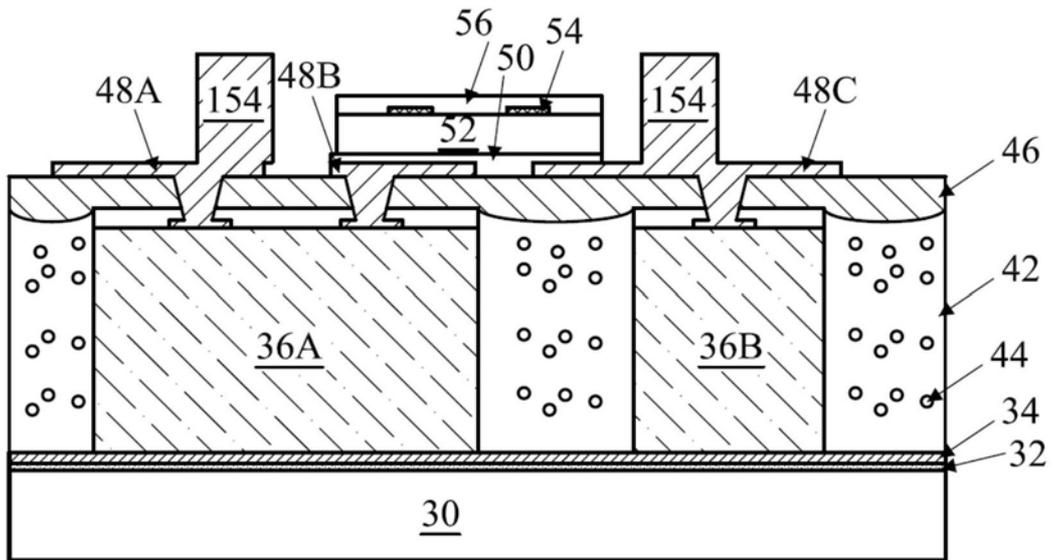


图25

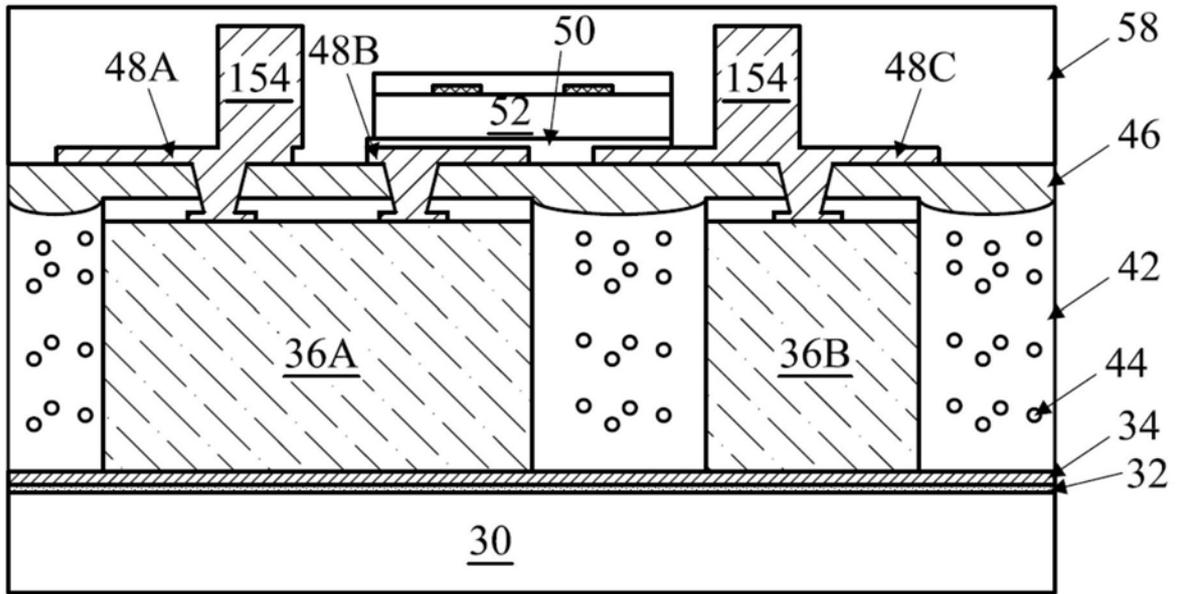


图26

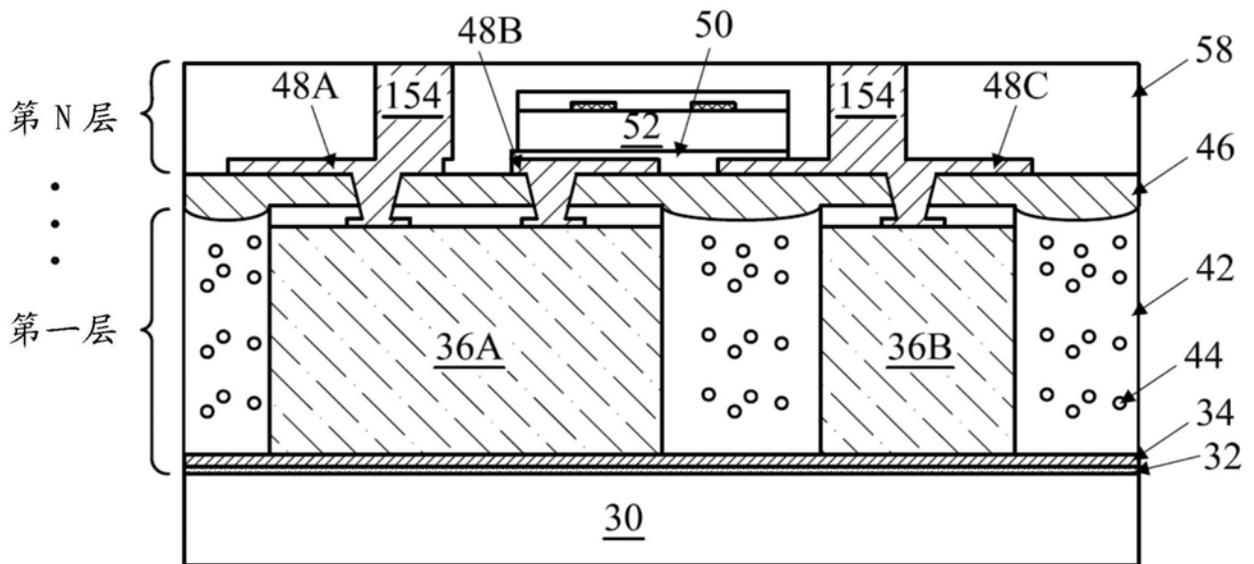


图27

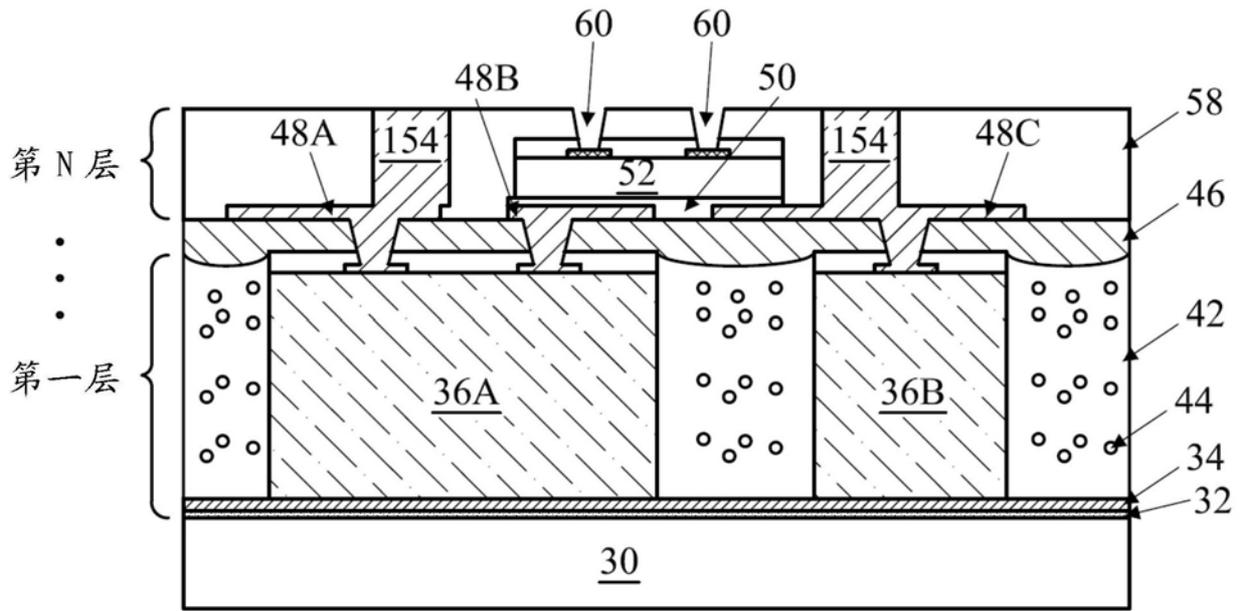


图28

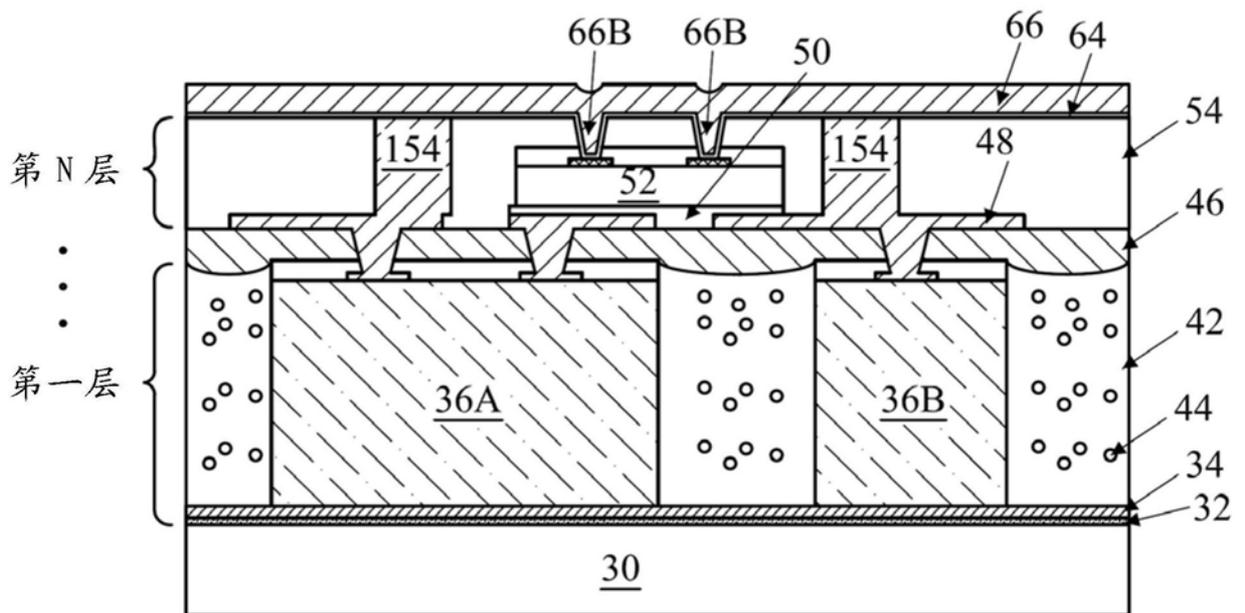


图29

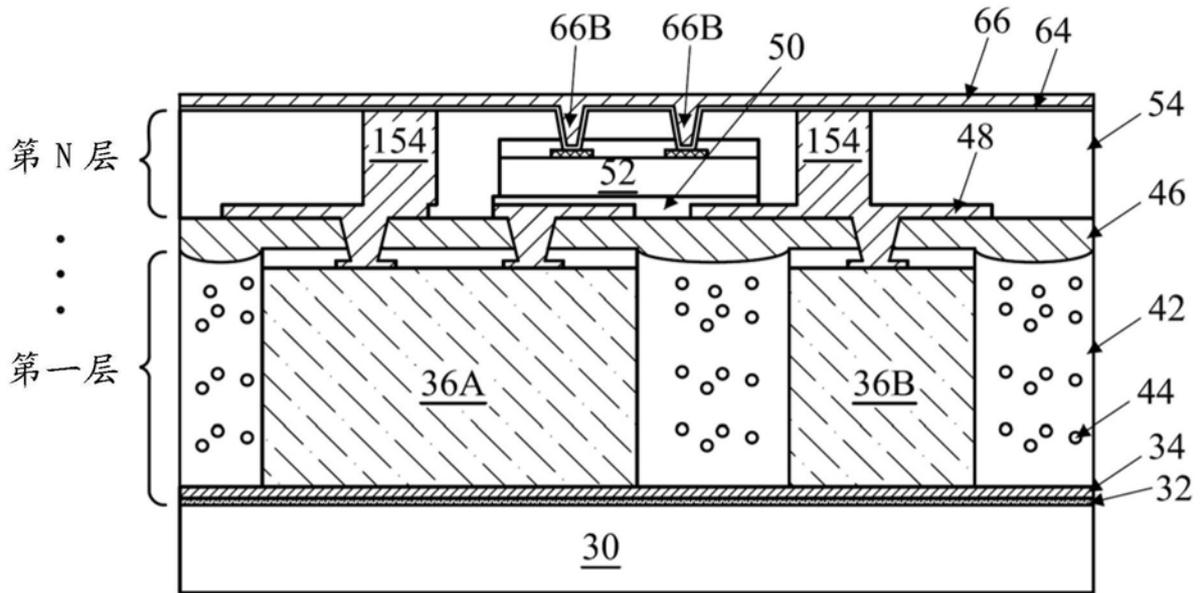


图30

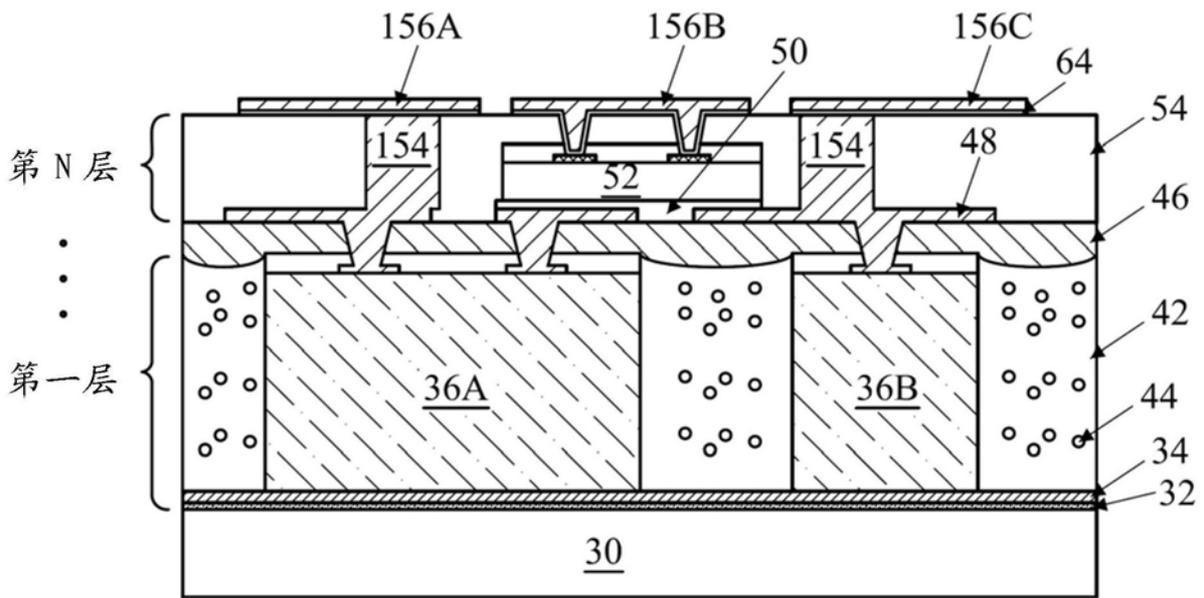


图31

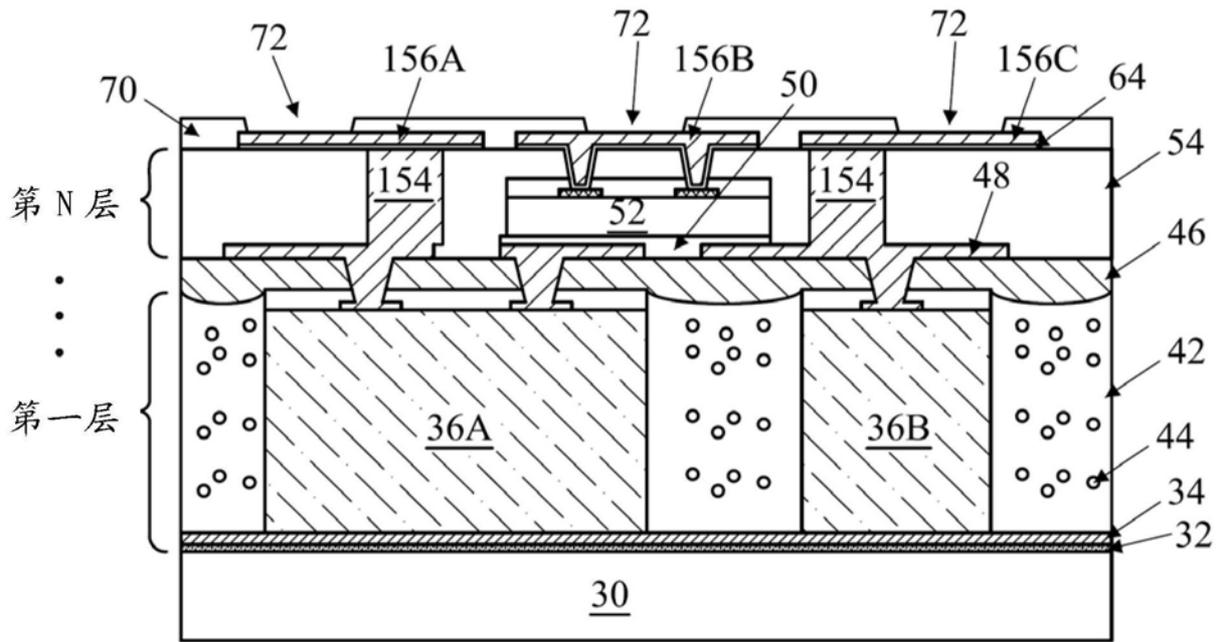


图32

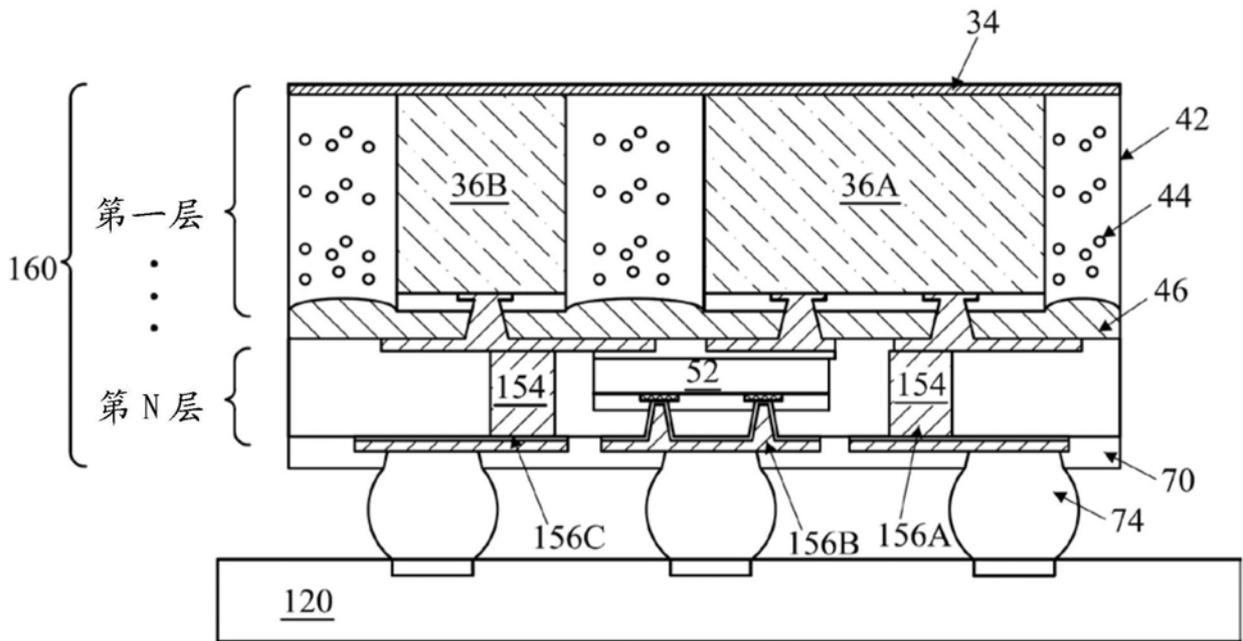


图33

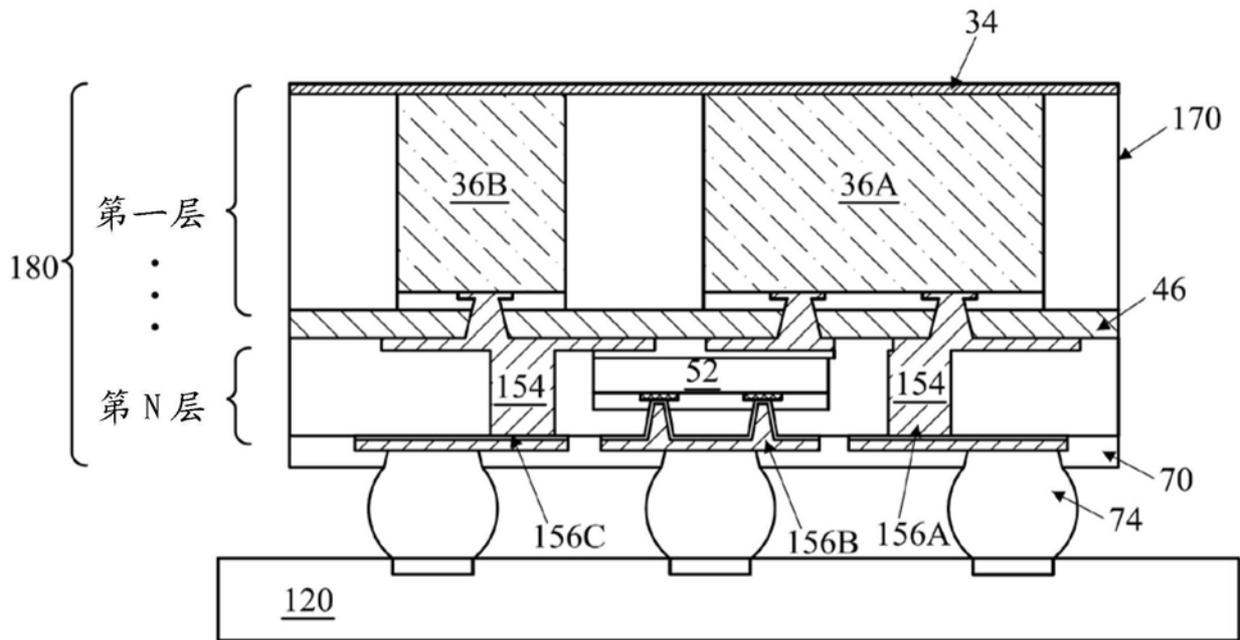


图34