

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3756961号

(P3756961)

(45) 発行日 平成18年3月22日(2006.3.22)

(24) 登録日 平成18年1月6日(2006.1.6)

(51) Int. Cl.	F I
G 1 1 C 11/413 (2006.01)	G 1 1 C 11/34 3 3 5 A
G 0 6 F 1/24 (2006.01)	G 0 6 F 1/00 3 5 0 C
G 1 1 C 11/401 (2006.01)	G 1 1 C 11/34 3 7 1 E

請求項の数 4 (全 9 頁)

(21) 出願番号	特願平6-157036	(73) 特許権者	390019839
(22) 出願日	平成6年7月8日(1994.7.8)		三星電子株式会社
(65) 公開番号	特開平7-57474		S a m s u n g E l e c t r o n i c s
(43) 公開日	平成7年3月3日(1995.3.3)		C o . , L t d .
審査請求日	平成13年7月6日(2001.7.6)		大韓民国京畿道水原市靈通区梅灘洞416
(31) 優先権主張番号	1993 P 12807		416, Maetan-dong, Ye
(32) 優先日	平成5年7月8日(1993.7.8)		ongtong-gu, Suwon-si
(33) 優先権主張国	韓国(KR)		Gyeonggi-do, Republi
			c of Korea
前置審査		(74) 代理人	100076428
			弁理士 大塚 康徳
		(74) 代理人	100112508
			弁理士 高柳 司郎
		(74) 代理人	100115071
			弁理士 大塚 康弘
			最終頁に続く

(54) 【発明の名称】 半導体メモリ装置のチップ初期化信号発生回路

(57) 【特許請求の範囲】

【請求項1】

パワーアップに際して半導体メモリ装置内の回路を初期化するためのチップ初期化信号を発生するチップ初期化信号発生回路において、

電源電圧を受けて所定の時間経過後に出力信号を発生する時間遅延手段と、

前記時間遅延手段の出力信号を入力として第1反転信号を出力する第1の反転手段と、

前記第1の反転手段のトリップポイントレベルを高めるためのトリップポイントレベル上昇手段と、

前記第1反転信号を入力として第2反転信号を出力する第2の反転手段と、

前記第1反転信号が入力された際に前記第2の反転手段の接地側で直流経路を遮断する直流経路遮断手段と、

前記第2反転信号を受けて整形し、前記チップ初期化信号を発生するバッファ手段と、を備え、

前記トリップポイントレベル上昇手段は、前記第1の反転手段と接地電圧端との間にN個のダイオード接続形のトランジスタを含み、

前記直流経路遮断手段は、前記第2の反転手段の接地側と接地電圧端との間にN-1個のダイオード接続トランジスタを含む、

ことを特徴とするチップ初期化信号発生回路。

【請求項2】

前記第1の反転手段及び前記第2の反転手段がCMOSインバータである請求項1記載

10

20

のチップ初期化信号発生回路。

【請求項 3】

前記時間遅延手段は、電源電圧端と出力ノードとの間に接続された抵抗素子と、前記出力ノードと接地電圧端との間に接続されたキャパシタと、を備えてなる請求項 1 記載のチップ初期化信号発生回路。

【請求項 4】

前記バッファ手段が偶数個の反転手段からなる請求項 1 記載のチップ初期化信号発生回路。

【発明の詳細な説明】

【0001】

10

【産業上の利用分野】

本発明は半導体メモリ装置に関し、特に半導体メモリ装置で使用されるチップ初期化信号発生回路に関するものである。

【0002】

【従来の技術】

一般に半導体メモリ装置においては、電源電圧 VCC を加えるパワーアップ (power-up) に際し、チップ初期化信号発生回路を用いて半導体メモリ装置内の回路を初期化されている。このチップ初期化信号発生回路は、キャパシタ及び抵抗を用いた時間遅延回路と、時間遅延回路に接続したインバータとで構成される。その際、インバータとしては通常、CMOS インバータが使用される。

20

【0003】

このようなチップ初期化信号発生回路では、時間遅延回路内のキャパシタと抵抗による RC 遅延 (RC delay) により、所定の時間だけ信号遅延を遂行するようにされている。そして、電源電圧 VCC のレベル及びパワーアップ時間を感知し、インバータを介して論理信号として出力することで半導体メモリ装置内の回路を初期化する。

【0004】

図 5 の回路図は、従来の技術によるチップ初期化信号発生回路を示す。このチップ初期化信号発生回路は、電源電圧 VCC 端と出力ノード N1 との間に位置する抵抗素子としてのダイオード接続された PMOS トランジスタ 5、及び出力ノード N1 と接地電圧 VSS 端との間に位置するキャパシタ 10 で構成された時間遅延回路 105 と、出力ノード N1 の信号をゲートに共通に受ける PMOS トランジスタ 15 及び NMOS トランジスタ 20 で構成されたインバータ 110 と、インバータ 110 の出力信号を受けて整形し、チップ初期化信号 VCC H を発生する出力インバータ 25 と、から構成される。

30

【0005】

この従来の技術によるチップ初期化信号発生回路において、パワーアップ後に内部回路が誤動作しないためには、印加される電源電圧 VCC のレベルが十分に上昇したときにチップ初期化信号 VCC H が出力されるべきである。したがって、これを保証するために、ダイオード接続の PMOS トランジスタ 5 及び NMOS キャパシタ 10 で構成された RC 遅延回路を備えなければならない。これについて更に説明する。

【0006】

パワーアップされて電源電圧 VCC のレベルが徐々に上昇し、ダイオード接続の PMOS トランジスタ 5 及び NMOS キャパシタ 10 による RC 遅延を経た後、ノード N1 に電荷が蓄積されていき、その電圧が論理 “ハイ” に設定される。すなわち、初期状態でチップ初期化信号 VCC H は論理 “ロウ” に設定されている。そして、所定時間が経過して電源電圧 VCC のレベルが十分に上昇すると、ノード N1 に蓄積される電荷量が増加してノード N1 に論理 “ハイ” の電圧が設定され、これにより論理 “ハイ” のチップ初期化信号 VCC H が発生して半導体メモリ装置内の回路初期化が行われる。換言すれば、電源電圧 VCC が一定のレベルまで上昇したときにノード N1 に論理 “ハイ” の電圧が設定されるようになっており、その際の電圧設定は、ダイオード接続の PMOS トランジスタ 5 による抵抗成分、キャパシタ 10 のキャパシタンス、そしてインバータ 110 のトリップポ

40

50

イントレレベルによって決められる。

【 0 0 0 7 】

このような従来のチップ初期化信号発生回路で、パワーアップされて電源電圧 V C C がフルパワーレベル (full power voltage) に立上がる時間が 3 0 m s 程度と長い場合、電源電圧 V C C が完全に立上がる前でもチップ初期化信号 V C C H が発生して誤動作を生じるといった問題点があった。その理由は、パワーアップ時間が長いために、パワーアップされて印加される電源電圧 V C C のレベルがまだ低いうちにノード N 1 へ論理 “ ハイ ” に十分な電荷が蓄積されてしまうからである。

【 0 0 0 8 】

【 発明が解決しようとする課題 】

したがって本発明の目的は、パワーアップされてから、電源電圧 V C C が誤動作を生じない十分なレベルまで上昇した後にチップ初期化信号を発生させられるチップ初期化信号発生回路を提供することにある。また、本発明の他の目的は、チップ初期化信号を安定的に発生して半導体メモリ装置の誤動作を防止できるようなチップ初期化信号発生回路を提供することにある。

【 0 0 0 9 】

【 課題を解決するための手段 】

このような目的を達成するために本発明は、パワーアップに際して半導体メモリ装置内の回路を初期化するためのチップ初期化信号を発生するチップ初期化信号発生回路について、電源電圧を受けて所定の時間経過後に出力信号を発生する時間遅延手段と、この時間遅延手段の出力信号を入力として第 1 反転信号を出力する第 1 の反転手段と、この第 1 の反転手段のトリップポイントレベルを高めるためのトリップポイントレベル上昇手段と、第 1 反転信号を受けて整形し、チップ初期化信号を発生する第 2 の反転手段と、を備えることを特徴とする。あるいは、パワーアップに際して半導体メモリ装置内の回路を初期化するためのチップ初期化信号を発生するチップ初期化信号発生回路について、電源電圧を受けて所定の時間経過後に出力信号を発生する時間遅延手段と、この時間遅延手段の出力信号を入力として第 1 反転信号を出力する第 1 の反転手段と、この第 1 の反転手段のトリップポイントレベルを高めるためのトリップポイントレベル上昇手段と、第 1 反転信号を入力として第 2 反転信号を出力する第 2 の反転手段と、第 1 反転信号が入力された際に第 2 の反転手段の接地側で直流経路を遮断する直流経路遮断手段と、第 2 反転信号を受けて整形し、チップ初期化信号を発生するバッファ手段と、を備えることを特徴とする。

【 0 0 1 0 】

【 実施例 】

以下、本発明の好適な実施例を添付の図面を参照して詳細に説明する。

【 0 0 1 1 】

図 1 は、半導体メモリ装置に備えられる本発明によるチップ初期化信号発生回路の第 1 実施例を示す回路図である。同図に示すチップ初期化信号発生回路は次のような構成とされている。

【 0 0 1 2 】

時間遅延回路 1 0 5 は、電源電圧 V C C 端と出力ノード N 1 との間に抵抗素子としてのダイオード接続された P M O S トランジスタ 5 を設け、さらに、出力ノード N 1 と接地電圧 V S S 端との間にキャパシタ 1 0 を設けた構成とされている。この時間遅延回路 1 0 5 の出力ノード N 1 の信号を、インバータ 1 2 5 を構成する P M O S トランジスタ 4 0 及び N M O S トランジスタ 4 5 の各ゲートに共通に印加し、そして、インバータ 1 2 5 の N M O S トランジスタ 4 5 のソース端子と接地電圧 V S S 端との間に、抵抗素子である N 個のダイオード接続形の N M O S トランジスタ 5 0 、 5 5 、 ... 、 6 0 からなり、インバータ 1 2 5 のトリップポイントレベルを高めるためのトリップポイントレベル上昇回路 1 3 0 を設けている。

【 0 0 1 3 】

さらに、インバータ 1 2 5 の出力信号を各ゲートに共通に受ける P M O S トランジスタ 6

10

20

30

40

50

5及びNMOSトランジスタ70で構成されたインバータ135を備え、このインバータ135のNMOSトランジスタ70のソース端子と接地電圧VSS端との間に、N-1個のダイオード接続のNMOSトランジスタ75、...、80からなり、インバータ135の直流経路(DC-path)を遮断するための直流経路遮断回路140を設けている。この直流経路遮断回路140も、構成はトリップポイントレベル上昇回路130と同様であるので、見方を変えればインバータ135のトリップポイントレベルを高めるものであるともいえる。

【0014】

そして、偶数個のインバータで構成したバッファ回路145がインバータ135の出力信号を入力として整形し、最終的にバッファ回路145の出力インバータ100からチップ初期化信号VCCHを発生するようになっている。

10

【0015】

このチップ初期化信号発生回路では、パワーアップされて電源電圧VCCのレベルが徐々に上昇すると、ダイオード接続のPMOSトランジスタ5とNMOSキャパシタ10によるRC遅延を経てからノードN1に電荷が蓄積され、ノードN1の電位が上昇するようになる。

【0016】

ダイオード接続のNMOSトランジスタ50、55、...60のしきい電圧Vthがそれぞれ同じである場合、インバータ125のNMOSトランジスタ45と接地電圧VSS端との間にN個のダイオード接続のNMOSトランジスタ50、55、...、60を設けたことで、これらNMOSトランジスタ50、55、...、60がないときと比べて、NMOSトランジスタ45はノードN1の電圧が $N \times V_{th}$ だけ上昇した後に導通することになる。つまり、インバータ125のトリップポイントレベルを上昇させられ、ダイオード接続のNMOSトランジスタを設けないときより、パワーアップされて印加される電源電圧VCCのレベルが相対的に上昇したときにインバータ125が論理変化可能となる。

20

【0017】

ノードN1の電圧がトリップポイントレベル上昇回路130のしきい電圧 $N \times V_{th}$ を克服できる程度に上昇すると、インバータ125のNMOSトランジスタ45が導通し、ノードN2に $N \times V_{th}$ の電圧が設定される。このノードN2に設定される電圧 $N \times V_{th}$ により、インバータ135のNMOSトランジスタ70と接地電圧VSS端との間にN-1個のNMOSトランジスタ75、...、80が設けられない場合には、インバータ135のPMOS、NMOSトランジスタ65、70が同時に導通するので、直流経路が形成されて多量の電流が流れることになる。したがってこのような直流経路を除去するために、NMOSトランジスタ70と接地電圧VSS端との間に、N-1個のダイオード接続のNMOSトランジスタ75、...、80を備えるようにしている。これにより、インバータ135のNMOSトランジスタ70のゲート・ソース間電圧は $|V_{th}|$ 以下となってNMOSトランジスタ70が非導通となる。一方、PMOSトランジスタ65は導通するので、ノードN3には論理“ハイ”である電源電圧VCCのレベルが設定される。

30

【0018】

そして、ノードN3以降の信号はCMOSレベルを有し、ノードN3に設定された電源電圧VCCレベルの論理“ハイ”の信号は、バッファ回路145を通じて整形され、チップ初期化信号VCCHとして発生される。このとき、バッファ回路145は偶数個のインバータから構成され、整形したチップ初期化信号VCCHを発生するようになっている。このバッファ回路145内に備えられる各インバータは、その各前段で設定されるCMOSレベルの信号を電源電圧VCCあるいは接地電圧VSSのレベルへより確実に整形するために使用される素子である。また、このようなインバータの数を適切に調節することで、より安定した電圧レベルを有するチップ初期化信号VCCHを発生できることになる。

40

【0019】

図2にチップ初期化信号発生回路の第2実施例を示す。この第2実施例は、最も簡単な構

50

成としたチップ初期化信号発生回路の例である。すなわち、電源電圧VCC端と出力ノードN1との間に位置するダイオード接続されたPMOSトランジスタ5、及び出力ノードN1と接地電圧VSS端との間に位置するキャパシタ10で構成された時間遅延回路105と、出力ノードN1の信号を各ゲートに共通に受けるPMOSトランジスタ15及びNMOSトランジスタ20で構成されたインバータ110と、インバータ110のNMOSトランジスタ20と接地電圧VSS端との間に設けられたダイオード接続のNMOSトランジスタ30と、インバータ110の出力信号を入力として整形し、チップ初期化信号VCCHを発生する出力インバータ25と、から構成される。

【0020】

この例の場合、NMOSトランジスタ30がトリップポイントレベル上昇回路となる。すなわち、インバータ110のトリップポイントレベルは、NMOSトランジスタ20のソース端子と接地電圧VSS端との間に設けられたダイオード接続のNMOSトランジスタ30のしきい電圧 V_{th} だけ上昇することになるので、インバータ110の動作に必要な電源電圧VCCのレベルは、NMOSトランジスタ30を設けないときに比べて相対的に上昇している。したがって、パワーアップされて印加される電源電圧VCCのレベルが十分に上昇した後に安定した電圧レベルを有するチップ初期化信号VCCHが発生されるので、半導体メモリ装置の誤動作を防止することが可能になる。

【0021】

図3は、チップ初期化信号発生回路の第3実施例を示す回路図である。この第3実施例の時間遅延回路の構成は、電源電圧VCC端とノードN4との間にPMOSトランジスタ150、155を設け、PMOSトランジスタ150及び155の各ゲートを共通にPMOSトランジスタ155のドレインに接続してダイオード形とし、そして、ノードN4と接地電圧VSS端との間に3個のNMOSキャパシタ160、165、170を並列に設けたものとなっている。パワーアップにより電源電圧VCCのレベルが徐々に上昇すると、PMOSトランジスタ150、155とキャパシタ160、165、170によるRC遅延を経てノードN4に電荷が蓄積される。

【0022】

また、NMOSトランジスタ175、.....、215は、ノードN4の放電が行われるときに正確に0Vとならず負の値となる可能性もあるため、再度0Vの設定を可能とするように設けられたもので、NMOSトランジスタ180、.....、215をノードN4と接地電圧端との間に直列接続して設け、その各ゲートを最終のトランジスタ215のソース側へ接続した構成とされている。さらに、インバータの電源側と接地側にそれぞれ設けられたPMOSトランジスタ225、230、235及びNMOSトランジスタ250、255、260は、インバータのトリップポイントの微調整のために設置したものである。これらNMOSトランジスタ175、.....、215、PMOSトランジスタ225、230、235、そしてNMOSトランジスタ250、255、260の個数については、回路の特性に応じて適宜選択することが可能である。加えて、NMOSトランジスタ350は、初期動作において導通してノードN4の電圧をNMOSトランジスタ265のドレイン側に放電するもので、ノードN4の電圧が正常に設定されると非導通となるようになっている。尚、以上の各トランジスタについては、この第3実施例のチップ初期化信号発生回路が理想的な条件で動作するとすれば、特に必要とされるものではない。

【0023】

この例では、ダイオード接続トランジスタとして選択的に使用できるようにした2個のNMOSトランジスタ285、290が、点線域A内に示すダイオード接続のNMOSトランジスタ275と接地電圧VSS端との間に提供されている。また、NMOSトランジスタ285、290がダイオード接続として選択された場合に対応させるために、波線域B内に示すように2個のNMOSトランジスタ305、310がNMOSトランジスタ320と接地電圧VSS端との間に設けられ、選択的にダイオード接続トランジスタとして使用される。そして、NMOSトランジスタ305、310がダイオード接続として選択された場合に対応させるために、波線域C内に示すようにNMOSトランジスタ325がN

10

20

30

40

50

MOSトランジスタ320と接地電圧VSS端との間に設けられ、選択的にダイオード接続トランジスタとして使用されるようになっている。これらNMOSトランジスタ285、290、305、310、325のダイオード接続選択については、各ゲートをソース側に対し電氣的に遮断することで行われる。

【0024】

図3に示す接続状態においては、1つのNMOSトランジスタ275がダイオード接続として第1インバータIVと共に使用される。すなわち、この場合には第2実施例とほぼ同様にして、しきい電圧V_{th}を有するダイオード接続のNMOSトランジスタ275を更に接続することで、第1インバータIVのトリップポイントレベルを、NMOSトランジスタ275を設けないときよりしきい電圧V_{th}だけ上昇させ得る。したがって、パワーアップされて電源電圧VCCが十分に上昇した後にインバータを動作させられるようになり、誤動作発生のおそれなく安定したチップ初期化信号V_{CC}Hを発生できる。

10

【0025】

また、上述の選択によりダイオード接続トランジスタの数を増やした場合には、第1実施例とほぼ同様にしてしきい電圧が決定され、動作する。したがって、同様に電源電圧VCCが十分に上昇した後にインバータを動作させられるようになり、誤動作を発生させるおそれがない。勿論、図3のチップ初期化信号発生回路は1つのNMOSトランジスタ275を予め設置したものであるが、本発明の思想に基づいてその他多様な実施例が可能であることは、当該分野で通常の知識を有する者には自明である。

【0026】

図4Aに、第3実施例のチップ初期化信号発生回路でNMOSトランジスタ275を設置しない場合のシミュレーションを行った結果の電圧特性を示し、図4Bに、NMOSトランジスタ275を設置した場合のシミュレーション結果の電圧特性を示す。

20

【0027】

図4Aに示すように、NMOSトランジスタ275を設けない場合には、パワーアップしてから約87μs後の電源電圧VCCのレベルが約2.0Vを越えたあたりでチップ初期化信号V_{CC}Hが発生される。一方、図4Bに示すように、NMOSトランジスタ275を設けた場合には、パワーアップしてから約145μs後の電源電圧VCCのレベルが約3.65Vとなってからチップ初期化信号V_{CC}Hが発生される。このように、ダイオード接続のNMOSトランジスタ275を設けることにより、電源電圧VCCが約3.75V程度に十分上昇してから発生されるのでチップ初期化信号V_{CC}Hも十分安定したものとなり、また、チップの内部回路も誤動作する心配がない。

30

【0028】

本発明は上記の各実施例に限定されるものではなく、必要に応じて各構成を変更しても実施可能であることは、この技術分野で通常の知識を有する者には明らかである。例えば、出力ステージに備えられるインバータの数を調節すれば、より安定した電圧レベルのチップ初期化信号を発生することができる。

【0029】

【発明の効果】

以上述べてきたように本発明は、チップ初期化信号発生回路におけるCMOSインバータのNMOSトランジスタに対し、その接地側に抵抗素子として例えばダイオード回路を接続したことで、電源電圧が十分上昇してから安定した信号レベルを有するチップ初期化信号を発生することができるようになり、半導体メモリ装置の動作安定性を向上させられるという効果がある。

40

【図面の簡単な説明】

【図1】本発明によるチップ初期化信号発生回路の第1実施例を示す回路図。

【図2】本発明によるチップ初期化信号発生回路の第2実施例を示す回路図。

【図3】本発明によるチップ初期化信号発生回路の第3実施例を示す回路図。

【図4】第3実施例によるチップ初期化信号発生回路のシミュレーション結果を比較して示す電圧特性図。

50

【図5】従来の技術によるチップ初期化信号発生回路を示す回路図。

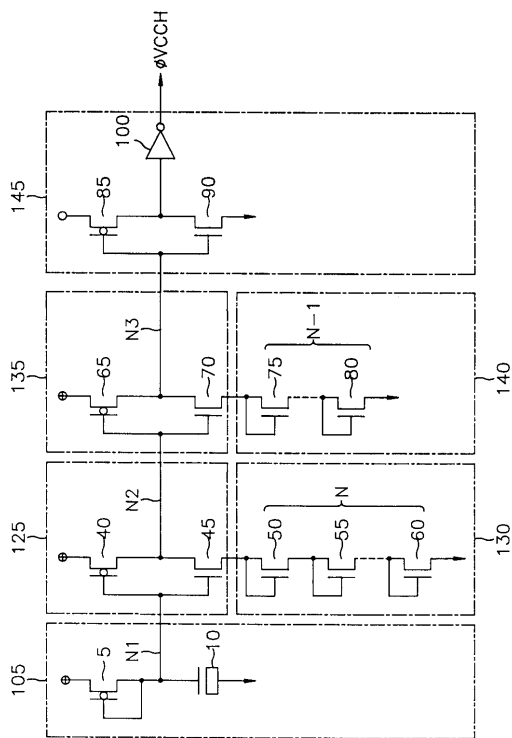
【符号の説明】

30、130 トリップポイントレベル上昇回路

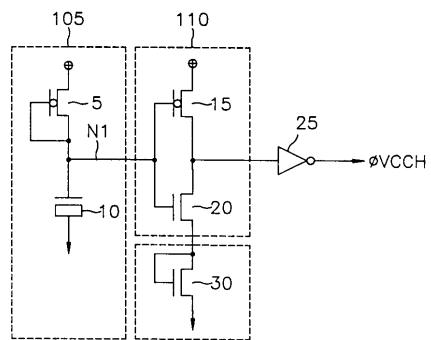
110、125、135 インバータ

140 直流経路遮断回路

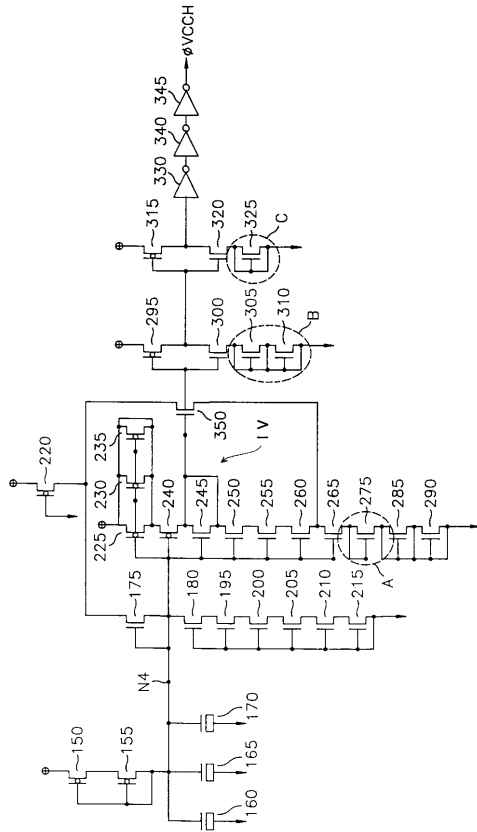
【図1】



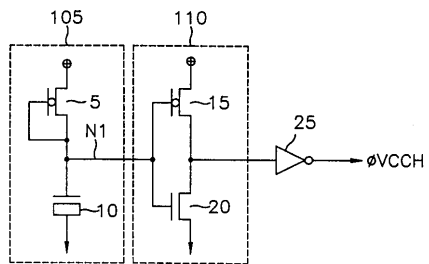
【図2】



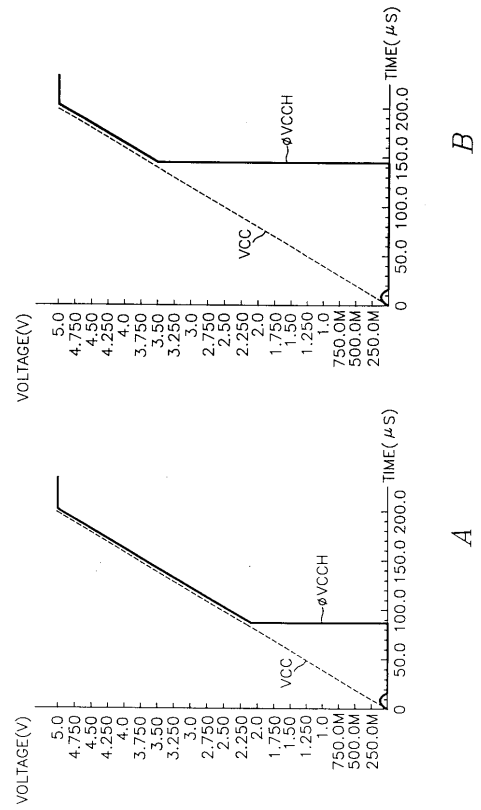
【 図 3 】



【 図 5 】



【 図 4 】



フロントページの続き

(74)代理人 100116894

弁理士 木村 秀二

(72)発明者 裴 明虎

大韓民国京畿道水原市勸善区高等洞13番地30号

(72)発明者 韓 龍注

大韓民国ソウル特別市江南区驛三2洞762番地1号ジンダレアパート12棟802号

審査官 加藤 俊哉

(56)参考文献 欧州特許出願公開第00545266 (EP, A1)

特開平03-290894 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/413

G06F 1/24

G11C 11/401