



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I699602 B

(45) 公告日：中華民國 109 (2020) 年 07 月 21 日

(21) 申請案號：108102306

(22) 申請日：中華民國 108 (2019) 年 01 月 21 日

(51) Int. Cl.：

*G02F1/136 (2006.01)**G02F1/1343 (2006.01)*

(71) 申請人：友達光電股份有限公司 (中華民國) AU OPTRONICS CORPORATION (TW)

新竹市新竹科學工業園區力行二路 1 號

(72) 發明人：陳志成 CHEN, CHI CHENG (TW)；劉貴文 LIU, GUI WEN (TW)

(74) 代理人：李世章；秦建譜

(56) 參考文獻：

TW 201721382A

TW 201738708A

US 7807999B2

US 2006/0232740A1

審查人員：葉月芬

申請專利範圍項數：9 項 圖式數：12 共 44 頁

(54) 名稱

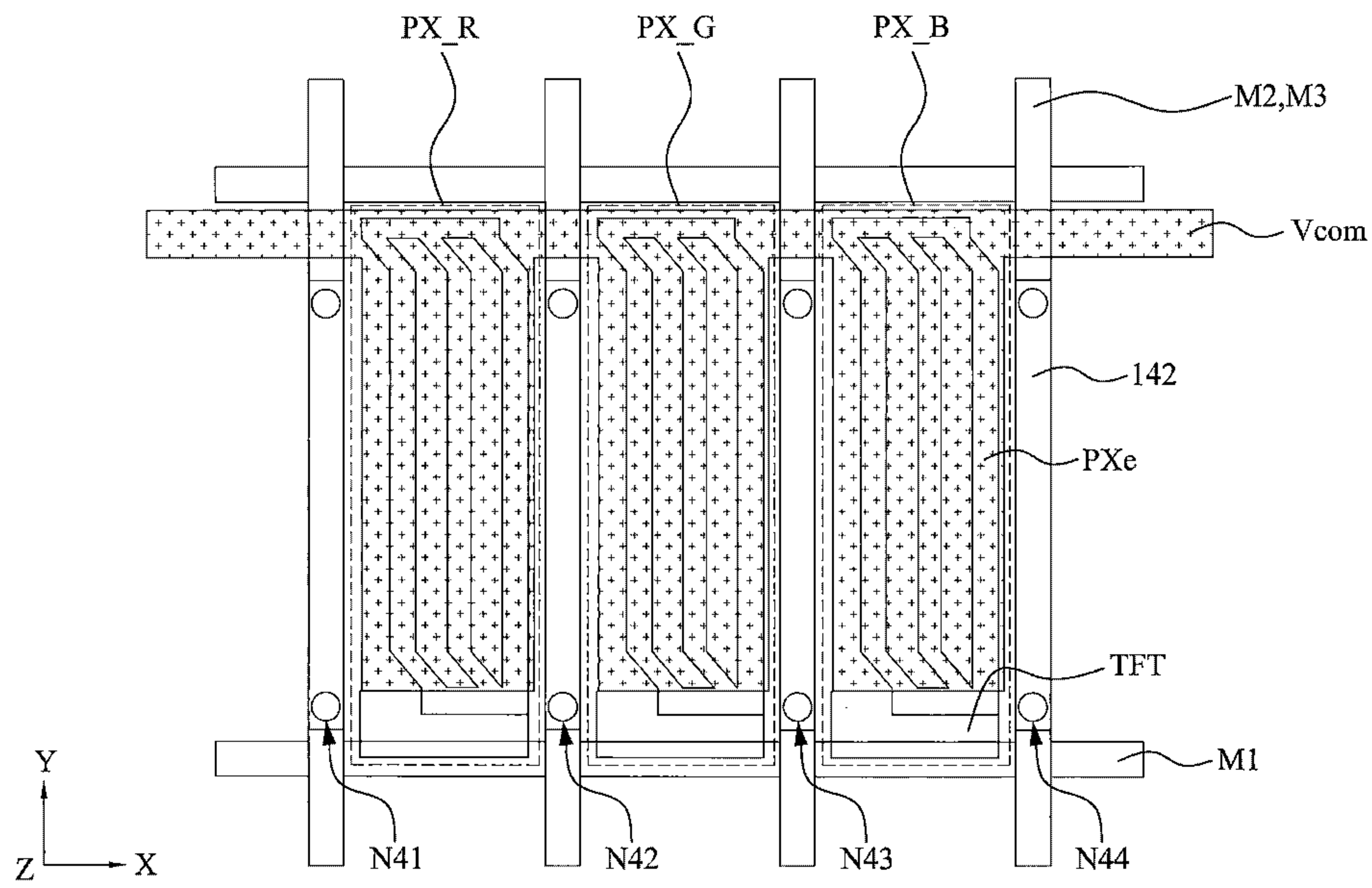
顯示裝置

(57) 摘要

一種顯示裝置包含基板和電極陣列。基板上包含顯示區和周邊區。電極陣列配置於基板上並位於顯示區內。電極陣列包含複數條掃描線、複數條資料線、複數個共通電極和複數個第一傳送電極。掃描線和資料線交錯定義出複數個子畫素。每個子畫素至少包含一畫素電極。共通電極分別配置於子畫素中。第一傳送電極和共通電極為電性獨立。畫素電極配置於第一傳送電極中之二者間。

A display device includes a substrate and a display array. The substrate includes a display area and a periphery area. The display array is assigned on the substrate and in the display area. The display array includes multiple scan lines, multiple data lines, multiple common electrodes and multiple first transmitting electrodes. The scan lines cross the data lines and multiple sub-pixels are defined by the scan lines and data lines. Each sub-pixel includes at least a pixel electrode. The common electrodes are assigned among the sub-pixels. The first transmitting electrodes and the common electrodes are electrically independent. The pixel electrodes are assigned between two of first transmitting electrodes.

指定代表圖：



第 4A 圖

符號簡單說明：

PX_R、PX_G、

PX_B . . . 子畫素

M1、M2、M3 . . .

金屬層

Vcom . . . 共通電極

PXe . . . 畫素電極

142 . . . 第一傳送電

極

TFT . . . 電晶體

N41、N42、N43、

N44 . . . 開口

X、Y、Z . . . 方向

I699602

【發明摘要】

【中文發明名稱】顯示裝置

【英文發明名稱】DISPLAY DEVICE

【中文】

一種顯示裝置包含基板和電極陣列。基板上包含顯示區和周邊區。電極陣列配置於基板上並位於顯示區內。電極陣列包含複數條掃描線、複數條資料線、複數個共通電極和複數個第一傳送電極。掃描線和資料線交錯定義出複數個子畫素。每個子畫素至少包含一畫素電極。共通電極分別配置於子畫素中。第一傳送電極和共通電極為電性獨立。畫素電極配置於第一傳送電極中之二者間。

【英文】

A display device includes a substrate and a display array. The substrate includes a display area and a periphery area. The display array is assigned on the substrate and in the display area. The display array includes multiple scan lines, multiple data lines, multiple common electrodes and multiple first transmitting electrodes. The scan lines cross the data lines and multiple sub-pixels are defined by the scan lines and data lines. Each sub-pixel includes at least a pixel electrode. The common electrodes are assigned

among the sub-pixels. The first transmitting electrodes and the common electrodes are electrically independent. The pixel electrodes are assigned between two of first transmitting electrodes.

【指定代表圖】第4A圖

【代表圖之符號簡單說明】

PX_R、PX_G、PX_B：子畫素

M1、M2、M3：金屬層

Vcom：共通電極

PXe：畫素電極

142：第一傳送電極

TFT：電晶體

N41、N42、N43、N44：開口

X、Y、Z：方向

【特徵化學式】

無

【發明說明書】

【中文發明名稱】顯示裝置

【英文發明名稱】DISPLAY DEVICE

【技術領域】

【0001】 本揭示內容是關於一種顯示裝置，且特別是一種可偵測3D手勢的顯示裝置。

【先前技術】

【0002】 隨著科技發展，顯示裝置的需求越來越廣泛。傳統上，3D近場技術是使用玻璃式疊構設計，面板模組的厚度較大。而當面板的尺寸越大，觸控等效電容對觸控手勢判別的靈敏度影響越明顯。

【0003】 因此，如何減少面板模組的厚度，以及減少觸控等效電容，是目前設計的考量和挑戰。

【發明內容】

【0004】 本揭示內容的一種實施態樣係關於一種顯示裝置，包含基板和電極陣列。基板上包含顯示區和周邊區。電極陣列配置於基板上並位於顯示區內。電極陣列包含複數條掃描線和複數條資料線、複數個共通電極和複數個第一傳送電極。掃描線和資料線交錯定義出複數個子畫素。每個子畫素至少包含一畫素電極。共通電極分別配置於子畫素中。第一傳送電極和共通電極為電性獨立。畫素電極配置於第一傳送電極中之二

者間。

【圖式簡單說明】

【0005】

第1圖係根據本揭示內容之部分實施例繪示一種顯示裝置的剖面示意圖。

第2圖係根據本揭示內容之部分實施例繪示一種顯示裝置的示意圖。

第3圖係根據本揭示內容之部分實施例繪示一種顯示裝置的示意圖。

第4A圖係根據本揭示內容之部分實施例繪示一種顯示裝置的局部放大示意圖。

第4B圖係根據第4A圖之實施例繪示一種顯示裝置的立體示意圖。

第5A圖係根據本揭示內容之部分實施例繪示另一種顯示裝置的局部放大示意圖。

第5B圖係根據第5A圖之實施例繪示一種顯示裝置的立體示意圖。

第6A圖繪示了第5A圖之實施例之顯示裝置沿切線A5-A5'的剖面示意圖。

第6B圖繪示了第5A圖之實施例之顯示裝置沿切線B5-B5'的剖面示意圖。

第7A圖係根據本揭示內容之部分實施例繪示另一種顯示裝置的局部放大示意圖。

第7B圖係根據第7A圖之實施例繪示一種顯示裝置的立體示意圖。

第8A圖繪示了第7A圖之實施例之顯示裝置沿切線A7-A7'的剖面示意圖。

第8B圖繪示了第7A圖之實施例之顯示裝置沿切線B7-B7'的剖面示意圖。

第9A圖係根據本揭示內容之部分實施例繪示另一種顯示裝置的局部放大示意圖。

第9B圖係根據第9A圖之實施例繪示一種顯示裝置的立體示意圖。

第10A圖繪示了第9A圖之實施例之顯示裝置沿切線A9-A9'的剖面示意圖。

第10B圖繪示了第9A圖之實施例之顯示裝置沿切線B9-B9'的剖面示意圖。

第11A圖和第11B圖係根據本揭示內容之部分實施例分別繪示另一種顯示裝置的示意圖。

第12A圖和第12B圖係根據本揭示內容之部分實施例分別繪示一種的訊號時序示意圖。

【實施方式】

【0006】 下文係舉實施例配合所附圖式作詳細說明，但所描述的具體實施例僅用以解釋本案，並不用來限定本案，而結構操作之描述非用以限制其執行之順序，任何由元件重新組合之結構，所產生具有均等功效的裝置，皆為本揭示內容所涵蓋

的範圍。

【0007】 請參考第1圖。第1圖係根據本揭示內容之部分實施例繪示一種顯示裝置100的剖面示意圖。如第1圖所示，顯示裝置100包含下基板110、顯示介質層LC和上基板190。顯示介質層LC位於下基板110和上基板190之間。在下基板110和顯示介質層LC之間，顯示裝置100依序包含金屬層M1、金屬層M2、金屬層M3、導電薄膜層ITO1和導電薄膜層ITO2。在部分實施例中，根據乾蝕刻或濕蝕刻的不同方式，金屬層M3和導電薄膜層ITO1的順序亦可更改。

【0008】 在部分實施例中，顯示介質層LC可為液晶層或電泳層。基板可由玻璃基板、塑膠基板或其他合適之硬式或可撓式基板據以實施。舉例來說，下基板110可為陣列基板。顯示裝置100可包含主動元件（例如電晶體）、被動元件（例如電容、電阻）或其它合適的元件配置於下基板110和顯示介質層LC之間。上基板190可為對向基板。顯示裝置100可包含彩色濾光片或其他合適的元件配置於顯示介質層LC和上基板190之間。

【0009】 為便於說明起見，本揭示內容之顯示裝置100的電路及元件分別繪示於第2圖和第3圖中。請參考第2圖。第2圖係根據本揭示內容之部分實施例繪示一種顯示裝置100的示意圖。如第2圖所示，顯示裝置100包含基板110、驅動電路120和電極陣列180。基板110上包含顯示區140和周邊區160。驅動電路120配置於基板110上並位於周邊區160內。電極陣列180配置於基板110上並位於顯示區140內。電極陣列180包含

複數條掃描線104、複數條資料線106和複數個子畫素PX。掃描線104和資料線106彼此交錯定義出多個子畫素PX。每個子畫素PX至少包含一個畫素電極（未繪示於第2圖）。

【0010】 在部分實施例中，掃描線104配置於第1圖中的金屬層M1，資料線106配置於第1圖中的金屬層M2。構成子畫素PX的畫素電極配置於第1圖中的導電薄膜層ITO2。在部分實施例中，驅動電路120可由顯示驅動器整合晶片（Touch with Display Driver, TDDI）據以實施，但並不以此為限。

【0011】 接著，請參考第3圖。第3圖係根據本揭示內容之部分實施例繪示一種顯示裝置100的示意圖。如第3圖所示，顯示裝置100包含複數個第一傳送電極142、複數個第二接收電極162和共通電極（未繪示於第3圖）。第一傳送電極142配置於基板110上並位於顯示區140內。第二接收電極162配置於基板110上並位於周邊區160內。

【0012】 值得注意的是，第2圖和第3圖僅為方便說明的示意圖，並非用以表示疊層架構上的配置關係，且其元件數量僅用於示意，並不以此為限。關於畫素電極、共通電極及第一傳送電極142之間的配置細節將於後續段落中進行說明。

【0013】 請參考第4A圖和第4B圖。第4A圖係根據本揭示內容之部分實施例繪示一種顯示裝置100的局部放大示意圖。第4B圖係根據第4A圖之實施例繪示一種顯示裝置100的立體示意圖。為了凸顯本揭示內容之顯示裝置100的特徵，在第4A圖和第4B圖中僅示意性地繪示出金屬層M1、M2、M3、電晶體TFT、畫素電極PXe、共通電極Vcom和第一傳送電極142。

在本實施例中，掃描線104配置於金屬層M1，資料線106配置於金屬層M2。第一傳送電極142的導線配置於金屬層M3。共通電極Vcom和第一傳送電極142配置於導電薄膜層ITO1。畫素電極配置於導電薄膜層ITO2。

【0014】 如第4A圖所示，配置於金屬層M1的掃描線104和配置於金屬層M2的資料線106彼此交錯定義出多個畫素。在部分實施中，畫素可包含三個子畫素PX_R、PX_G、PX_B。每個子畫素PX_R、PX_G、PX_B至少包含一個畫素電極PXe。在部分實施例中，在垂直投影方向（即，Z方向）上，金屬層M3和金屬層M2重疊。第一傳送電極142配置於金屬層M2、M3的上方。具體而言，從垂直投影方向（即，Z方向）上來看，第一傳送電極142和畫素電極PXe沿著X方向交錯排列。換言之，畫素電極PXe配置於多個第一傳送電極142中之二者之間。

【0015】 在部分實施例中，一或多個畫素電極PXe構成一個子畫素PX。共通電極Vcom配置於子畫素PX之中。第一傳送電極142和共通電極Vcom彼此電性獨立。具體而言，換言之，如第4A圖所示，第一傳送電極142和共通電極Vcom彼此不相接觸。於實務上，共通電極Vcom可經由圖案化製程而形成。在部分實施例中，共通電極Vcom可包含多個相互不接觸的部分。這些相互不接觸的部分在不同時間點中可作為觸控單元中的各個電極。詳細相關內容將於後續段落中進行說明。

【0016】 在部分實施例中，共通電極Vcom透過導電薄膜層ITO1相互連接。第一傳送電極142透過金屬層M3相互連

接。舉例來說，如第4B圖所示，多個第一傳送電極142分別透過開口N41、N42、N43、N44與多個配置於金屬層M3的導線相互連接。

【0017】請參考第5A圖和第5B圖。第5A圖係根據本揭示內容之部分實施例繪示另一種顯示裝置100的局部放大示意圖。第5B圖係根據第5A圖之實施例繪示一種顯示裝置的立體示意圖。在第5A圖和第5B圖中，與第4A圖、第4B圖中相似的元件已於先前段落說明者，於此不再贅述。為便於說明起見，在第5A圖之實施例中僅標示出共通電極Vcom、第一傳送電極142和第一傳送電極142所連接的金屬層M3_1。在本實施例中，共通電極Vcom和第一傳送電極142配置於導電薄膜層ITO1。如第5B圖所示，共通電極Vcom透過導電薄膜層ITO1相互連接。第一傳送電極142透過金屬層M3相互連接。舉例來說，第一傳送電極142透過開口N51、N52、N53、N54分別與各個金屬層M3_1相互連接。

【0018】具體而言，請參考第6A圖。第6A圖繪示了第5A圖之實施例之顯示裝置100沿切線A5-A5'的剖面示意圖。在第6A圖中，繪示出基板110、金屬層M1、M2、M3_1、半導體層AS、絕緣層GI、BP1、BP2、BP3、PL、導電薄膜層ITO1和ITO2在XZ平面上的相對關係。

【0019】結構上，如第6A圖所示，金屬層M1配置於基板110上。絕緣層GI配置於基板110與金屬層M1上，且絕緣層GI覆蓋至少部分的金屬層M1。半導體層AS配置於絕緣層GI上。金屬層M21、M22配置於絕緣層GI之上，金屬層M21、

M22分別接觸半導體層AS，而金屬層M21和M22彼此不相接觸。絕緣層BP1配置於半導體層AS、金屬層M21和M22上，且絕緣層BP1覆蓋至少部分的導體層M22。絕緣層PL於絕緣層BP1之上以形成一平坦層。金屬層M3_1配置於絕緣層PL上。絕緣層BP2配置於絕緣層PL上，且絕緣層BP2覆蓋至少部分的金屬層M3_1。導電薄膜層G_ITO1位於絕緣層BP2上。絕緣層BP3配置於絕緣層BP2與導電薄膜層G_ITO1上，且絕緣層BP3覆蓋至少部分的導電薄膜層G_ITO1。導電薄膜層ITO2位於絕緣層BP3上。

【0020】進一步來說，絕緣層BP1、PL、BP2和BP3被蝕刻而形成開口NPX，使得部分的金屬層M22於開口NPX處未被絕緣層覆蓋。因此導電薄膜層ITO2可經由開口NPX接觸金屬層M22。此外，絕緣層BP2被蝕刻而形成開口N51、N52，使得各部分的金屬層M3_1分別於開口N51、N52處未被絕緣層BP2覆蓋。因此，作為第一傳送電極142的薄膜導電層G_ITO1可經由開口N51、N52分別接觸金屬層M3_1。

【0021】接著，請參考第6B圖。第6B圖繪示了第5A圖之實施例之顯示裝置沿切線B5-B5'的剖面示意圖。在第6B圖中，與第6A圖中相似的元件係以相同的元件符號表示，其相對關係已於先前段落說明者，於此不再贅述。結構上，如第6B圖所示，在X方向上，作為畫素電極PXe的薄膜導電層ITO2係位於作為第一傳送電極142的二或多個薄膜導電層G_ITO1之間。在本實施例中，畫素電極PXe具有狹縫，但並不以此為限。此外，作為第一傳送電極142的薄膜導電層G_ITO1和作

為共通電極Vcom的薄膜導電層C_ITO1配置於同一平面或同一絕緣層上但相互不接觸。各個金屬層M3_1皆為沿Y方向延伸的連接導線，且各個金屬層M3_1係相應作為不同位置的第一傳送電極142的連接導線。

【0022】 如此一來，一部分的導電薄膜層ITO1作為共通電極Vcom，另一部分的導電薄膜層ITO1作為第一傳送電極142，這兩部分的導電薄膜層ITO1互不相接觸。共通電極Vcom透過導電薄膜層ITO1便能相互連接，而第一傳送電極142透過金屬層M3便能相互連接。

【0023】 請參考第7A圖和第7B圖。第7A圖係根據本揭示內容之部分實施例繪示另一種顯示裝置100的局部放大示意圖。第7B圖係根據第7A圖之實施例繪示一種顯示裝置100的立體示意圖。在第7A圖之實施例中，與第5A圖所示實施例相似，共通電極Vcom和第一傳送電極142皆配置於導電薄膜層ITO1。畫素電極Pxe配置於多個第一傳送電極142中之二者之間。與第5A圖所示實施例相比，在本實施例中，第一傳送電極142透過金屬層M3_1相互連接，而共通電極Vcom透過金屬層M3_2相互連接。其中，金屬層M3_2相異於金屬層M3_1。舉例來說，如第7B圖所示，第一傳送電極142透過開口N71、N74與金屬層之M3_1相互連接。共通電極Vcom透過開口N72、N73與金屬層M3_2相互連接。在部分實施例中，共通電極Vcom亦可透過導電薄膜層ITO1相互連接。

【0024】 具體而言，請參考第8A圖。第8A圖繪示了第7A圖之實施例之顯示裝置沿切線A7-A7'的剖面示意圖。在第8A

圖中，與第6A圖中相似的元件係以相同的元件符號表示，其相對關係已於先前段落說明者，於此不再贅述。結構上，和第6A圖所示實施例相比，在本實施例中，第一傳送電極142透過開口N71與金屬層M3_1相互連接。共通電極Vcom透過開口N72與金屬層M3_2相互連接。

【0025】 進一步說明，在垂直投影方向（即，Z方向）上，位於金屬層M3_1之下的絕緣層BP2被蝕刻而形成開口N71，使得部分的金屬層M3_1於開口N71處未被絕緣層BP2覆蓋。因此，如第8A圖所示，作為第一傳送電極142的薄膜導電層G_ITO1可經由開口N71接觸金屬層M3_1。相似地，在垂直投影方向（即，Z方向）上，位於金屬層M3_2之下的絕緣層BP2被蝕刻而形成開口N72，使得部分的金屬層M3_2於開口N72處未被絕緣層BP2覆蓋。因此，作為共通電極Vcom的薄膜導電層C_ITO1可經由開口N72接觸金屬層M3_2。

【0026】 接著，請參考第8B圖。第8B圖繪示了第7A圖之實施例之顯示裝置沿切線B7-B7'的剖面示意圖。在第8B圖中，與第6B圖、第8A圖中相似的元件係以相同的元件符號表示，其相對關係已於先前段落說明者，於此不再贅述。結構上，和第6B圖所示實施例相比，在本實施例中，薄膜導電層G_ITO1用以作為第一傳送電極142，而金屬層M3_1作為第一傳送電極142的連接導線。薄膜導電層C_ITO1用以作為共通電極Vcom，而金屬層M3_2作為共通電極Vcom的連接導線。金屬層M3_1、M3_2皆為沿Y方向延伸的連接導線。

【0027】 如此一來，藉由一部分的金屬層M3作為第一傳送

電極142的連接導線，另一部份的金屬層M3作為共通電極Vcom的連接導線，使得共通電極Vcom和第一傳送電極142在保持電性獨立的狀況下能夠分別透過不同部分的金屬層M3相互連接。

【0028】 請參考第9A圖和第9B圖。第9A圖係根據本揭示內容之部分實施例繪示另一種顯示裝置100的局部放大示意圖。第9B圖係根據第9A圖之實施例繪示一種顯示裝置100的立體示意圖。與第5A圖、第7A圖所示實施例相比，在第9A圖之實施例中，共通電極Vcom配置於導電薄膜層ITO1，而第一傳送電極142配置於金屬層G_M3。畫素電極PXe配置於多個第一傳送電極142中之二者之間。此外，共通電極Vcom可透過導電薄膜層ITO1相互連接，或者透過金屬層M3_2相互連接。舉例來說，如第9B圖所示，共通電極Vcom透過開口N92、N93與金屬層M3_2相互連接。

【0029】 具體而言，請參考第10A圖。第10A圖繪示了第9A圖之實施例之顯示裝置沿切線A9-A9'的剖面示意圖。在第10A圖中，與第6A圖、第8A圖中相似的元件係以相同的元件符號表示，其相對關係已於先前段落說明者，於此不再贅述。結構上，和第8A圖所示實施例相比，在本實施例中，金屬層G_M3被絕緣層BP2覆蓋。因此，作為第一傳送電極142的金屬層G_M3與導電薄膜層ITO1相互不連接。換言之，作為第一傳送電極142的金屬層G_M3與作為共通電極Vcom的導電薄膜層ITO1彼此電性獨立。此外，在垂直投影方向（即，Z方向）上，位於金屬層M3_2之下的絕緣層BP2被蝕刻而形成開口

N92，使得部分的金屬層M3_2於開口N92處未被絕緣層BP2覆蓋。因此，作為共通電極Vcom的薄膜導電層C_ITO1可經由開口N92接觸金屬層M3_2。

【0030】 接著，請參考第10B圖。第10B圖繪示了第9A圖之實施例之顯示裝置沿切線B9-B9'的剖面示意圖。在第10B圖中，與第6B圖、第8B圖、第10A圖中相似的元件係以相同的元件符號表示，其相對關係已於先前段落說明者，於此不再贅述。結構上，和第8B圖所示實施例相比，在本實施例中，金屬層G_M3用以作為第一傳送電極142，而金屬層G_M3在垂直投影方向（即，Z方向）上未被薄膜導電層ITO1或ITO2重疊。換言之，金屬層G_M3作為第一傳送電極142以及第一傳送電極142的連接導線。此外，與第8B圖所示實施例相似，薄膜導電層C_ITO1用以作為共通電極Vcom，而金屬層M3_2作為共通電極Vcom的連接導線。

【0031】 如此一來，一部分的金屬層M3作為第一傳送電極142，而配置於導電薄膜層ITO1的共通電極Vcom藉由另一部分的金屬層M3作為共通電極Vcom的連接導線。

【0032】 值得注意的是，在上述第5A圖～第10B圖的部分實施例中，位於顯示區140內的共通電極Vcom可完全相連，用以提供參考電壓至所有子畫素PX。在其他部分實施例中，位於顯示區140內的共通電極Vcom可劃分為多個電極，並各自連接相應的觸控導線，用以接收觸控感測訊號進行觸控偵測。具體內容說明如下。

【0033】 請參考第11A圖和第11B圖。第11A圖和第11B圖

係根據本揭示內容之部分實施例分別繪示另一種顯示裝置100的示意圖。在本實施例中，電極陣列（如第2圖之電極陣列180）包含自容式的觸控電極陣列。如第11A圖所示，顯示裝置100包含複數個觸控電極TP和複數條觸控導線108。觸控電極TP配置於下基板110上並位於顯示區140內。每個觸控電極TP各自透過相應的觸控導線108連接至驅動電路120。在部分實施例中，觸控電極TP可由上述共通電極Vcom據以實施。換言之，共通電極Vcom可用以顯示及／或用以進行2D觸控偵測。

【0034】 具體而言，在顯示區140內的共通電極Vcom可被劃分為多個區域，每個區域中的共通電極Vcom相互連接以形成一個觸控電極TP。此外，各個區域內的共通電極Vcom的觸控導線108可由上述金屬層M3據以實施，詳細內容已於第5A圖～第10B圖說明，在此不再贅述。

【0035】 在其他部分實施例中，電極陣列（如第2圖之電極陣列180）包含互容式的觸控電極陣列。如第11B圖所示，顯示裝置100包含一或多個觸控傳送電極TP_TX、複數個觸控感應電極TP_RX和複數條觸控導線108。觸控傳送電極TP_TX和觸控感應電極TP_RX配置於下基板110上並位於顯示區140內，且觸控傳送電極TP_TX和觸控感應電極TP_RX彼此電性獨立。觸控傳送電極TP_TX和觸控感應電極TP_RX透過相應的觸控導線108各自連接至驅動電路120。

【0036】 具體而言，觸控傳送電極TP_TX和觸控感應電極TP_RX可由上述共通電極Vcom據以實施。舉例來說，在顯示區140內的共通電極Vcom可被劃分為多個區域。多個區域中

之一者的共通電極Vcom相互連接以分別形成一個觸控傳送電極TP_TX。其餘多個區域中的共通電極Vcom各自相互連接以分別形成多個觸控感應電極TP_RX。此外，各個區域內的共通電極Vcom的觸控導線108可由上述金屬層M3據以實施，詳細內容已於第5A圖～第10B圖說明，在此不再贅述。

【0037】 值得注意的是，第11A圖和第11B圖中繪示的觸控導線108僅為方便說明起見之示例，其大小或數量並非用以限制本揭示內容，每個觸控電極可連接一或多條觸控導線。而第11A圖中繪示的觸控電極TP和第11B圖中繪示的觸控傳送電極TP_TX和觸控感應電極TP_RX亦僅為方便說明起見之示例，其大小或數量並非用以限制本揭示內容，每個區域中包含的共通電極Vcom的形狀或面積大小可視實際需求進行設計。此外，在部分實施例中，位於顯示區140內的共通電極Vcom亦可不作劃分。換言之，共通電極Vcom僅用於顯示。

【0038】 然，當共通電極Vcom僅用於顯示時，顯示裝置100仍可搭配外掛式觸控感應器（例如：on-cell觸控感測器或out-cell觸控感測器），以達到觸控和手勢的整合。舉例來說，如第5A圖所示實施例中，共通電極Vcom僅用於顯示時提供參考電壓至子畫素PX。因此，在第5A圖的實施例中，顯示裝置100僅用以執行顯示及／或3D手勢偵測，但可藉由外掛式觸控感應器達到偵測2D觸控的功能。

【0039】 請參考第12A圖和第12B圖。第12A圖和第12B圖係根據本揭示內容之部分實施例分別繪示一種的訊號時序示意圖。如第12A圖所示，在顯示期間Dis，顯示裝置100用以

進行顯示。在手勢感測期間Ges，當3D手勢感測功能被致能時，顯示裝置100用以進行3D手勢偵測。具體而言，在期間P1，顯示裝置100的共通電極Vcom用以提供參考電壓至子畫素PX。在期間P2，顯示裝置100的共通電極Vcom亦用以提供參考電壓至子畫素PX，而第一傳送電極142用以接收手勢感測訊號並根據手勢感測訊號產生電場以進行手勢偵測。第一接收電極162用以根據電場變化對手勢進行識別及動作追蹤。

【0040】 換言之，由於第一傳送電極142和共通電極Vcom互不相連，因此，在同一期間（如：期間P2），顯示裝置100可同時進行顯示及偵測3D手勢。

【0041】 此外，在觸控感測期間Tou，顯示裝置100用以進行偵測2D觸控。具體而言，在第三期間P3，顯示裝置100的共通電極Vcom用以接收觸控感測訊號以進行2D觸控偵測。在部分實施例中，觸控感測期間Tou可配置在無法進行顯示的垂直空白間隙（Vertical Blank Interval，VBI）。

【0042】 在其他部分實施例中，如第12B圖所示，當3D手勢感測功能被禁能時，顯示裝置100用以進行顯示及偵測2D觸控。具體而言，由於共通電極Vcom亦作為觸控電極TP，因此，在顯示期間Dis（如：期間P1），所有區域的共通電極Vcom用以提供同一參考電壓至子畫素PX。在觸控感測期間Tou（如：期間P3），不同區域的共通電極Vcom用以接收相應的觸控感測訊號進行2D觸控偵測。舉例來說，在期間P3，作為第二傳送電極TP_TX的部分共通電極Vcom用以輸出高低準位交錯的觸控感測訊號，而作為第二感應電極TP_RX的部分

共通電極Vcom用以偵測電容變化以進行2D觸控偵測。另外，作為第二感應電極TP_RX的部分共通電極Vcom亦可再進行劃分，以依據不同時序依序分區進行2D觸控偵測。

【0043】 需要說明的是，在不衝突的情況下，在本揭示內容各個圖式、實施例及實施例中的特徵與電路可以相互組合。圖式中所繪示的電路僅為示例之用，係簡化以使說明簡潔並便於理解，並非用以限制本案。此外，上述各實施例中的各個裝置、單元及元件可以由各種類型的數位或類比電路實現，亦可分別由不同的積體電路晶片實現，或整合至單一晶片。上述僅為例示，本揭示內容並不以此為限。

【0044】 綜上所述，本案透過應用上述各個實施例中，藉由配置及連接設計，使得第一傳送電極142和共通電極Vcom可整合在in-cell面板內且彼此電性獨立，讓顯示裝置能夠同時進行顯示及3D手勢偵測。另外，藉由部分的薄膜導電層可依不同時序分別作為共通電極Vcom和觸控電極TP，使得在不需增加面板厚度便能夠包含2D觸控和3D手勢偵測的功能。

【0045】 雖然本揭示內容已以實施方式揭露如上，然其並非用以限定本揭示內容，所屬技術領域具有通常知識者在不脫離本揭示內容之精神和範圍內，當可作各種更動與潤飾，因此本揭示內容之保護範圍當視後附之申請專利範圍所界定者為準。

【符號說明】

【0046】

100：顯示裝置

104：掃描線

106：資料線

108：觸控導線

110、190：基板

120：驅動電路

140：顯示區

142：第一傳送電極

160：周邊區

162：第一感應電極

180：電極陣列

PX、PX_R、PX_G、PX_B：子畫素

PXe：畫素電極

Vcom：共通電極

TP：觸控電極

TP_TX：第二傳送電極

TP_RX：第二感應電極

TFT：電晶體

LC：顯示介質層

AS：半導體層

GI、BP1、BP2、BP3、PL：絕緣層

M1、M2、M21、M22、M3、M3_1、M3_2、G_M3：金

屬層

ITO1、ITO2、G_ITO1、C_ITO1：導電薄膜層

NPX、N41、N42、N43、N44、N51、N52、N53、N54、
N71、N72、N73、N74、N92、N93：開口
X、Y、Z：方向

【發明申請專利範圍】

【第 1 項】一種顯示裝置，包含：

一基板，該基板上包含一顯示區和一周邊區；以及

一電極陣列，配置於該基板上並位於該顯示區內，該電極陣列包含：

複數條掃描線和複數條資料線，彼此交錯定義出複數個子畫素，每個子畫素至少包含一畫素電極；

複數個共通電極，分別配置於該些子畫素中；以及

複數個第一傳送電極，該些第一傳送電極和該些共通電極彼此為電性獨立，其中該畫素電極配置於該些第一傳送電極中之二者間，

其中在同一期間，該些共通電極用以提供一參考電壓至該些子畫素，該些第一傳送電極用以接收一手勢感測訊號進行手勢偵測。

【第 2 項】如請求項 1 所述之顯示裝置，其中該顯示裝置更包含一顯示介質層，該顯示介質層與該基板之間依序包含：

一第一金屬層；

一第二金屬層；

一第三金屬層；

一第一導電薄膜層；以及

一第二導電薄膜層，其中該些掃描線配置於該第一金屬層，該些資料線配置於該第二金屬層。

【第 3 項】如請求項 2 所述之顯示裝置，其中該些共通電極和該些第一傳送電極配置於該第一導電薄膜層。

【第 4 項】如請求項 3 所述之顯示裝置，其中該些第一傳送電極透過該第三金屬層相互連接，該些共通電極透過該第一導電薄膜層相互連接。

【第 5 項】如請求項 3 所述之顯示裝置，其中該些第一傳送電極透過該第三金屬層之一第一部分相互連接，該些共通電極透過該第三金屬層之一第二部分相互連接，其中該第三金屬層之該第二部分相異於該第三金屬層之該第一部分。

【第 6 項】如請求項 2 所述之顯示裝置，其中該些共通電極配置於該第一導電薄膜層，該些第一傳送電極配置於該第三金屬層。

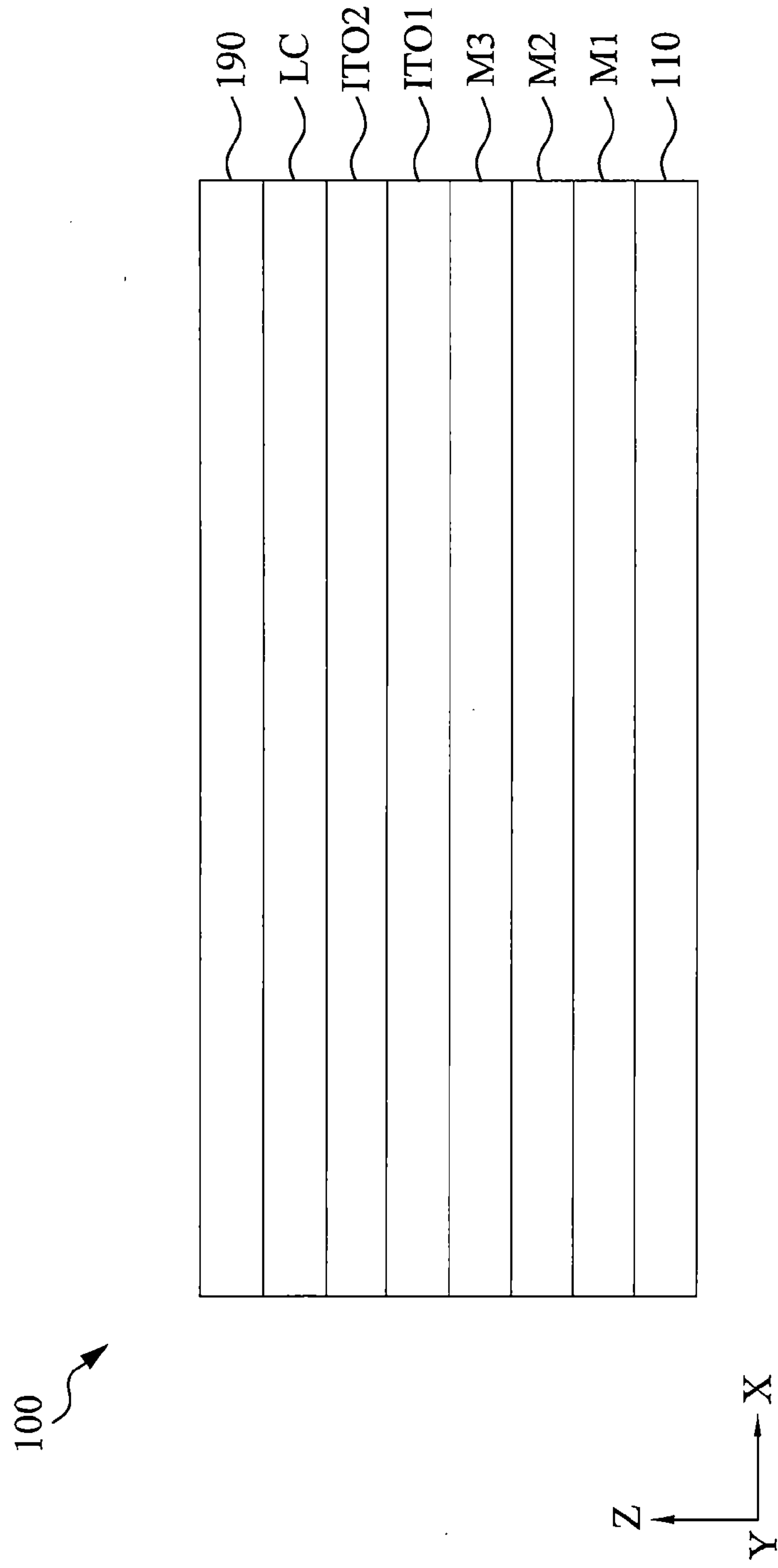
【第 7 項】如請求項 1 所述之顯示裝置，其中在一第一期間，該些共通電極用以提供一參考電壓至該些子畫素，在相異於該第一期間的一第二期間，該些共通電極用以接收一觸控感測訊號進行觸控偵測。

【第 8 項】如請求項 1 所述之顯示裝置，其中顯示裝置更包含一第一接收電極，該第一接收電極配置於該基板上並

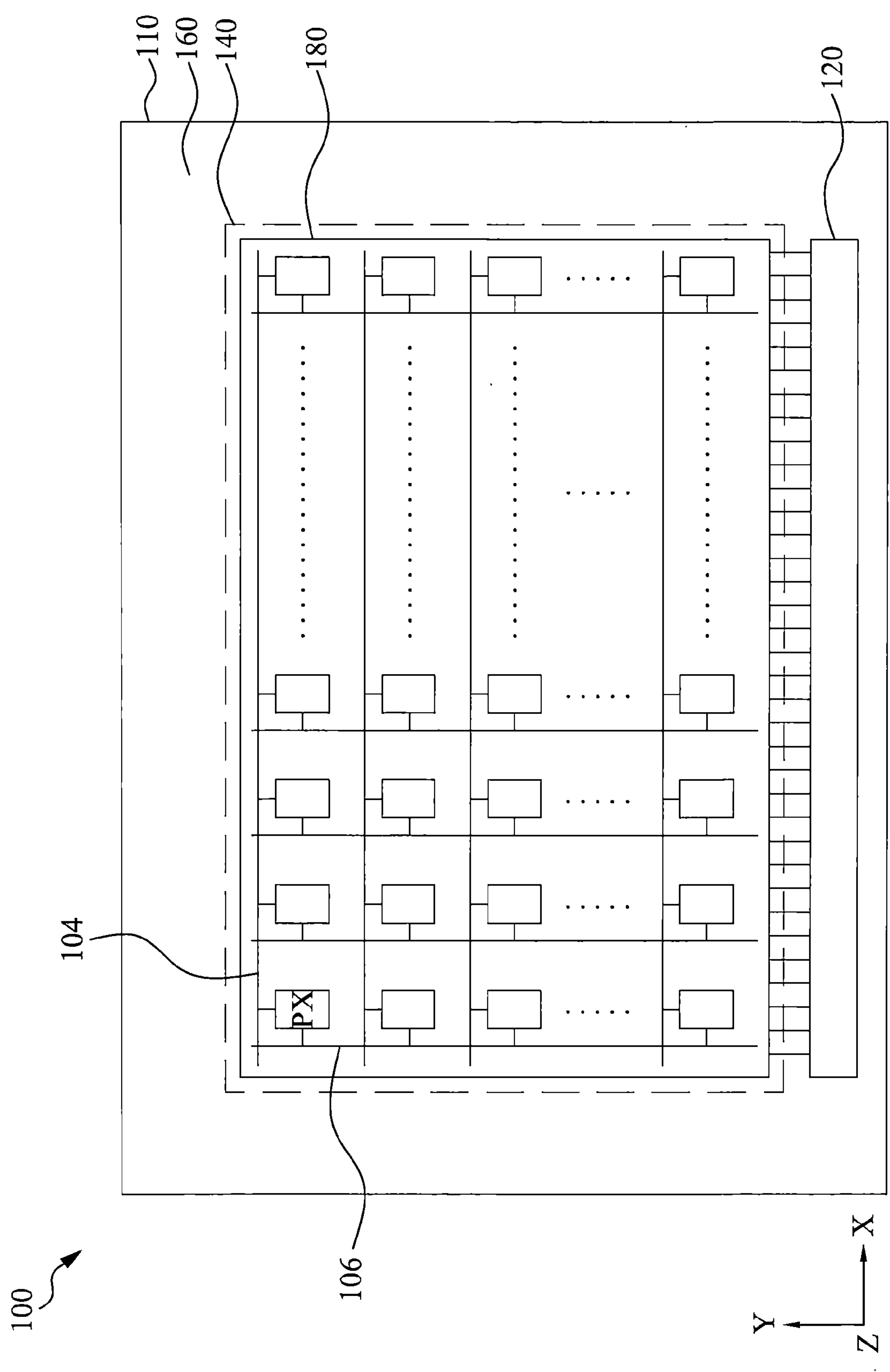
位於該周邊區。

【第9項】如請求項1所述之顯示裝置，其中該些共通電極包含一第二傳送電極和一第二感應電極，該第二傳送電極和該第二感應電極彼此電性獨立。

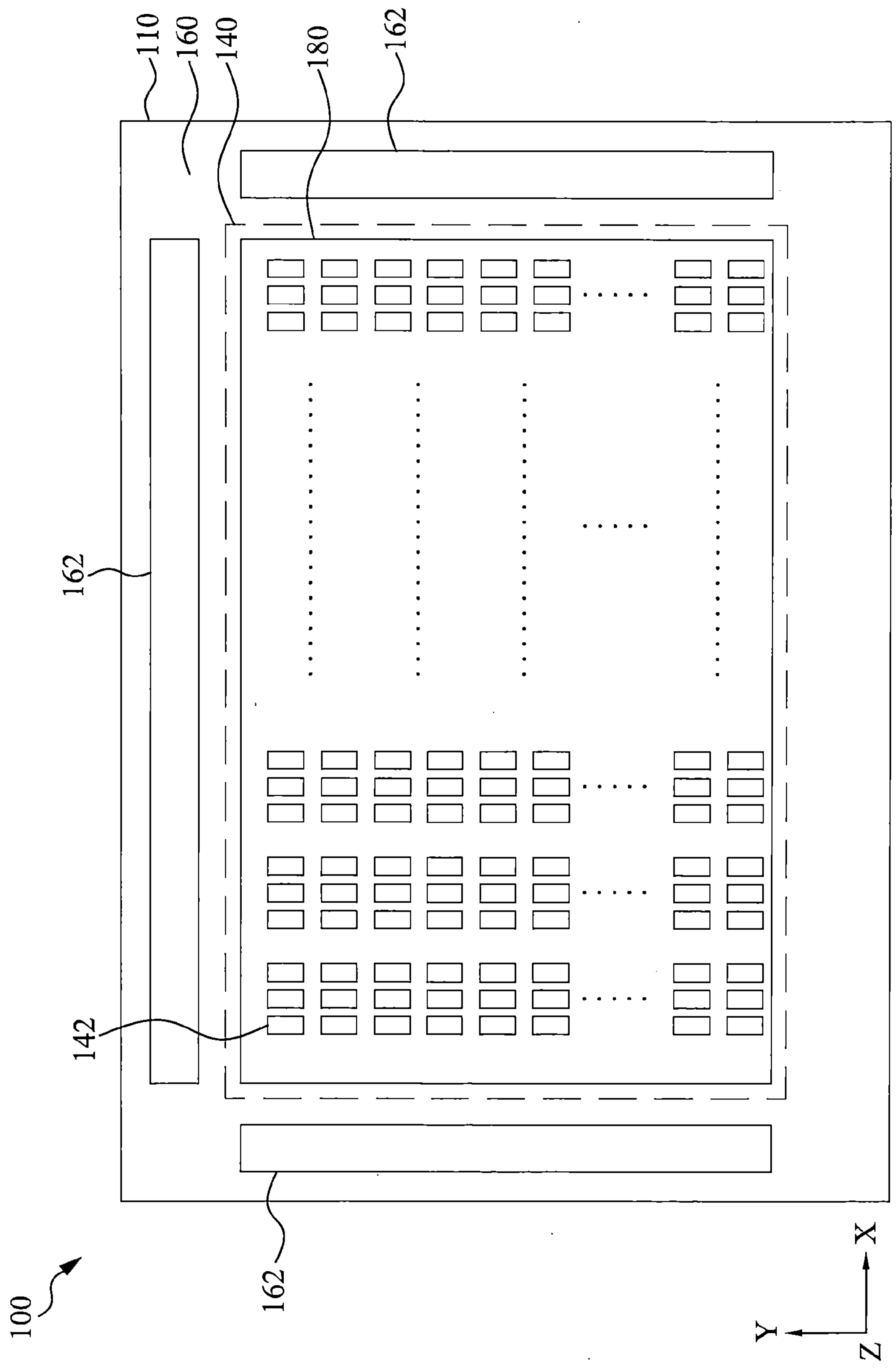
圖式



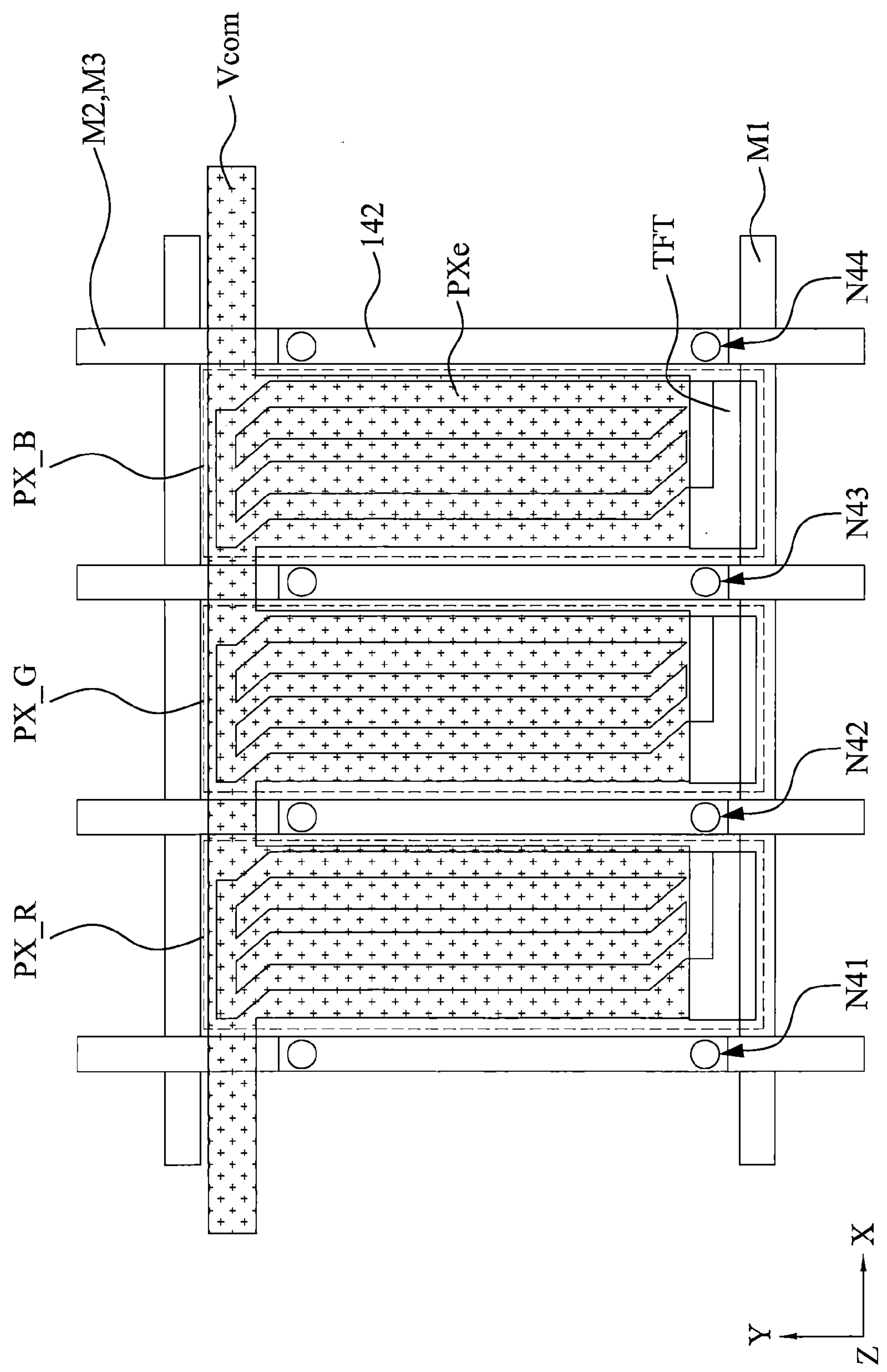
第 1 圖



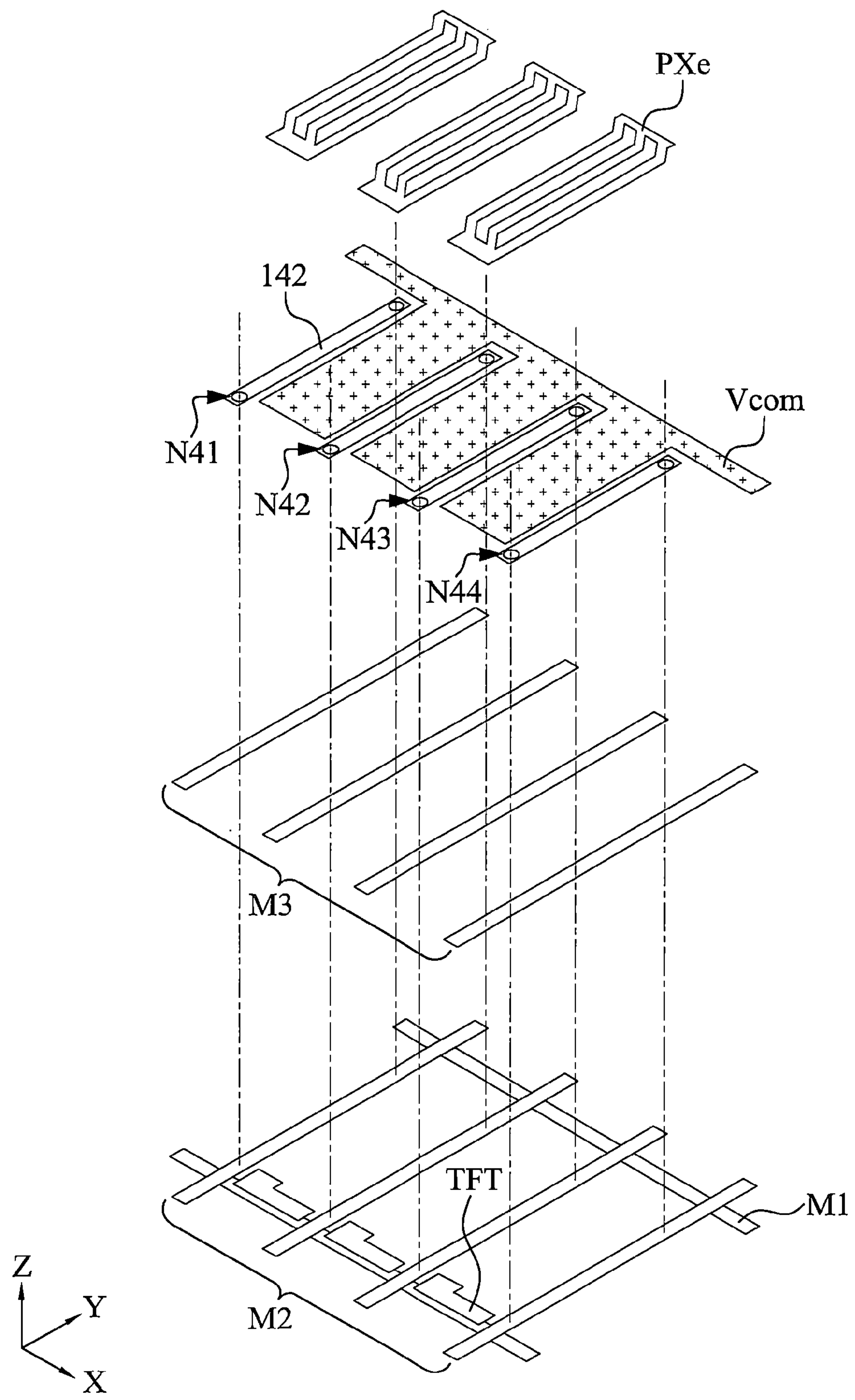
第 2 圖



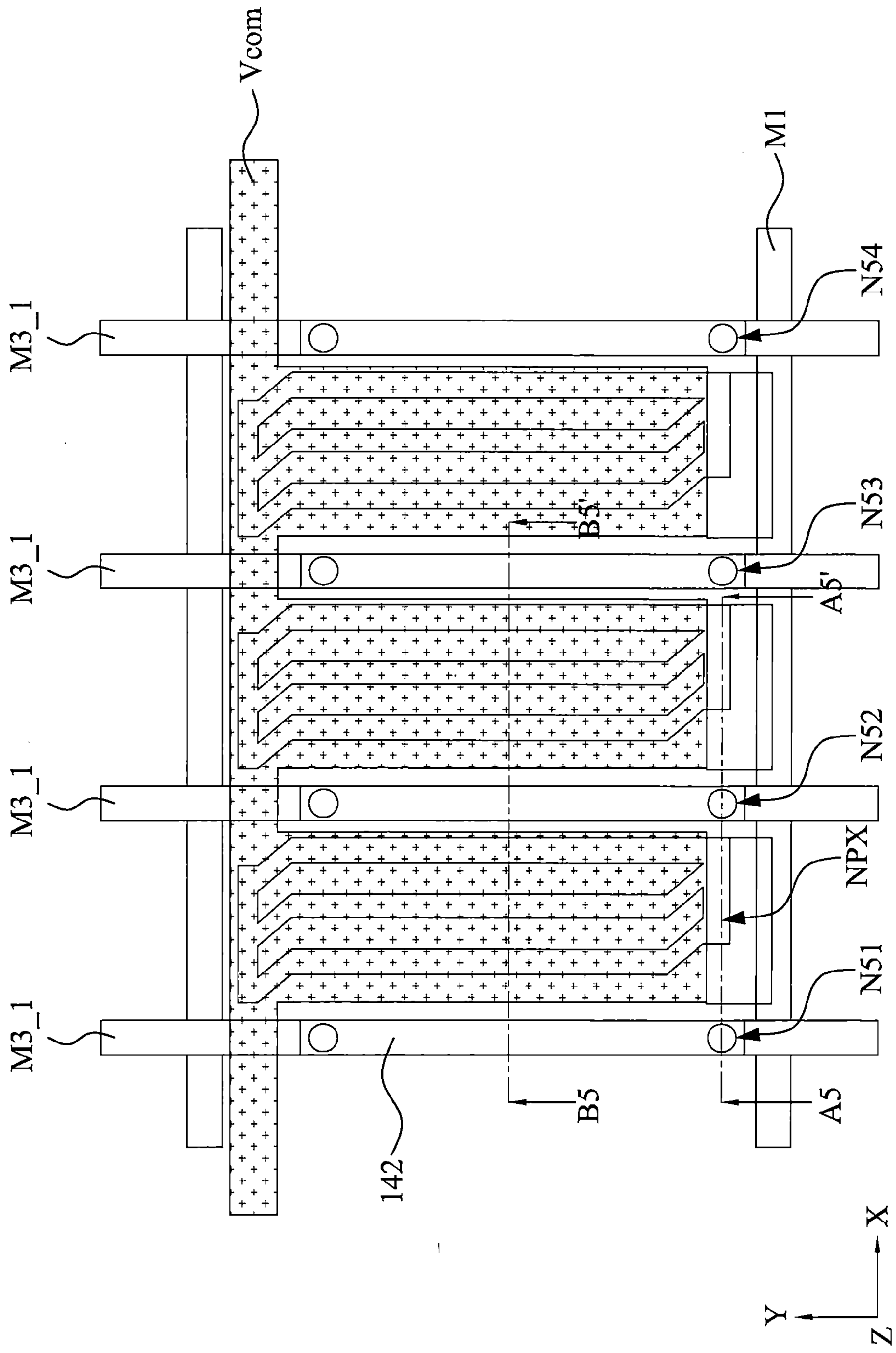
第 3 圖



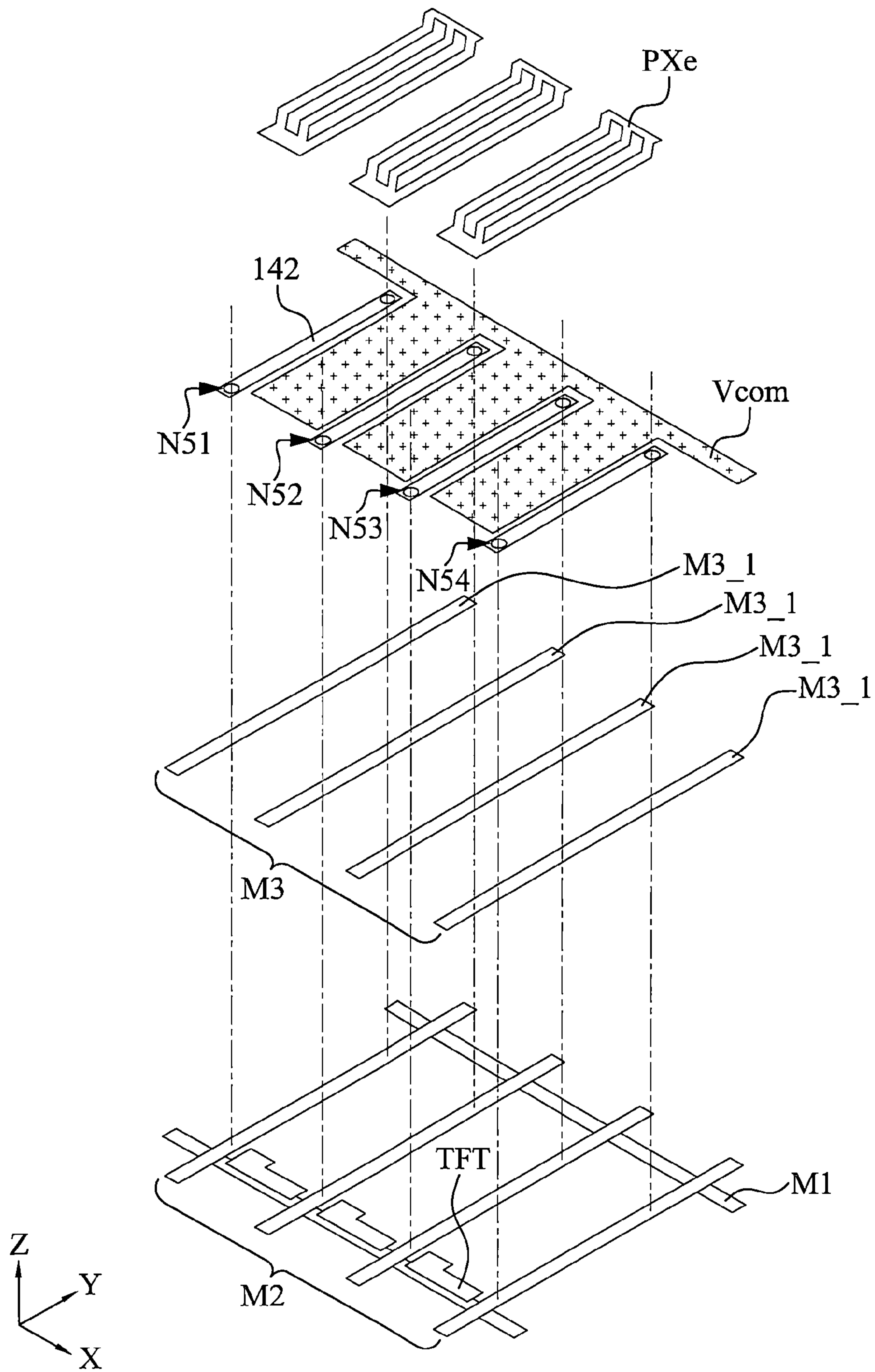
第 4A 圖



第 4B 圖

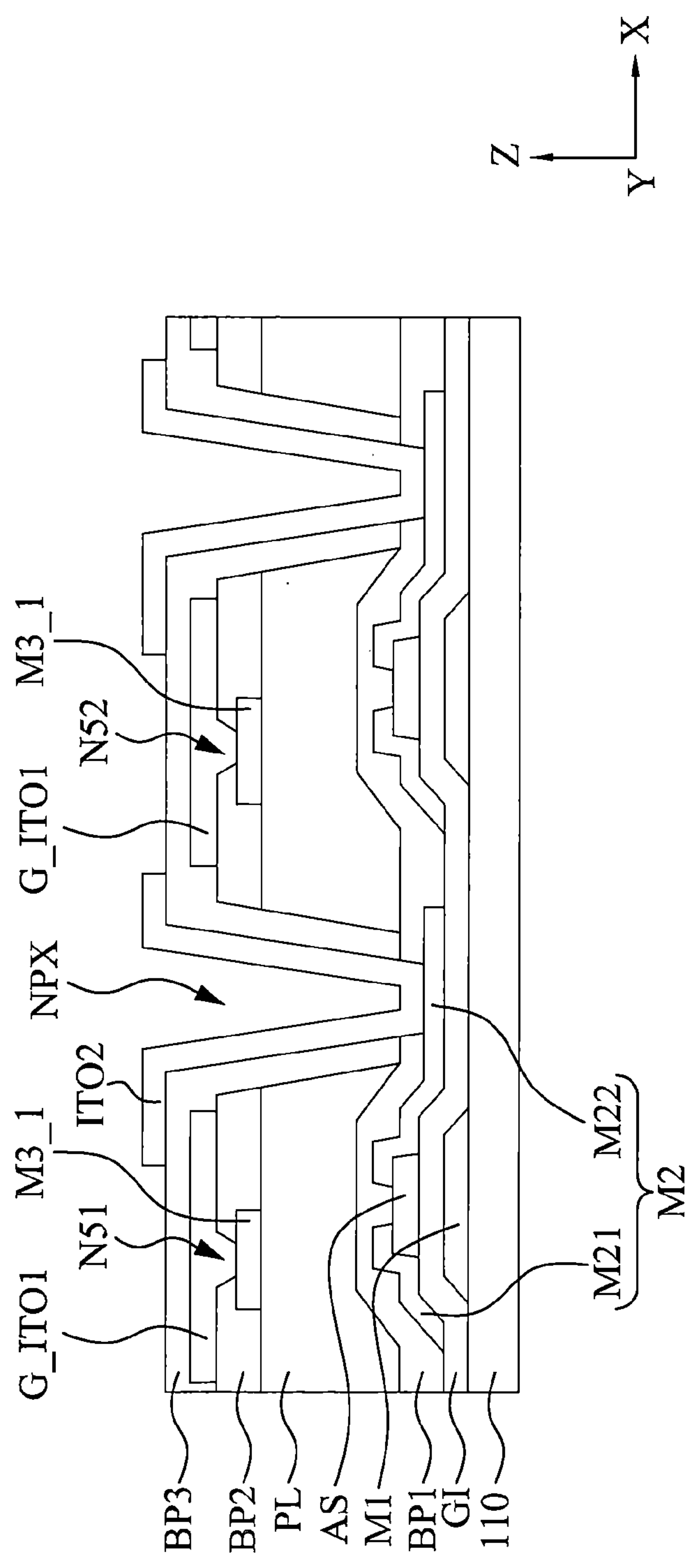


第 5A 圖

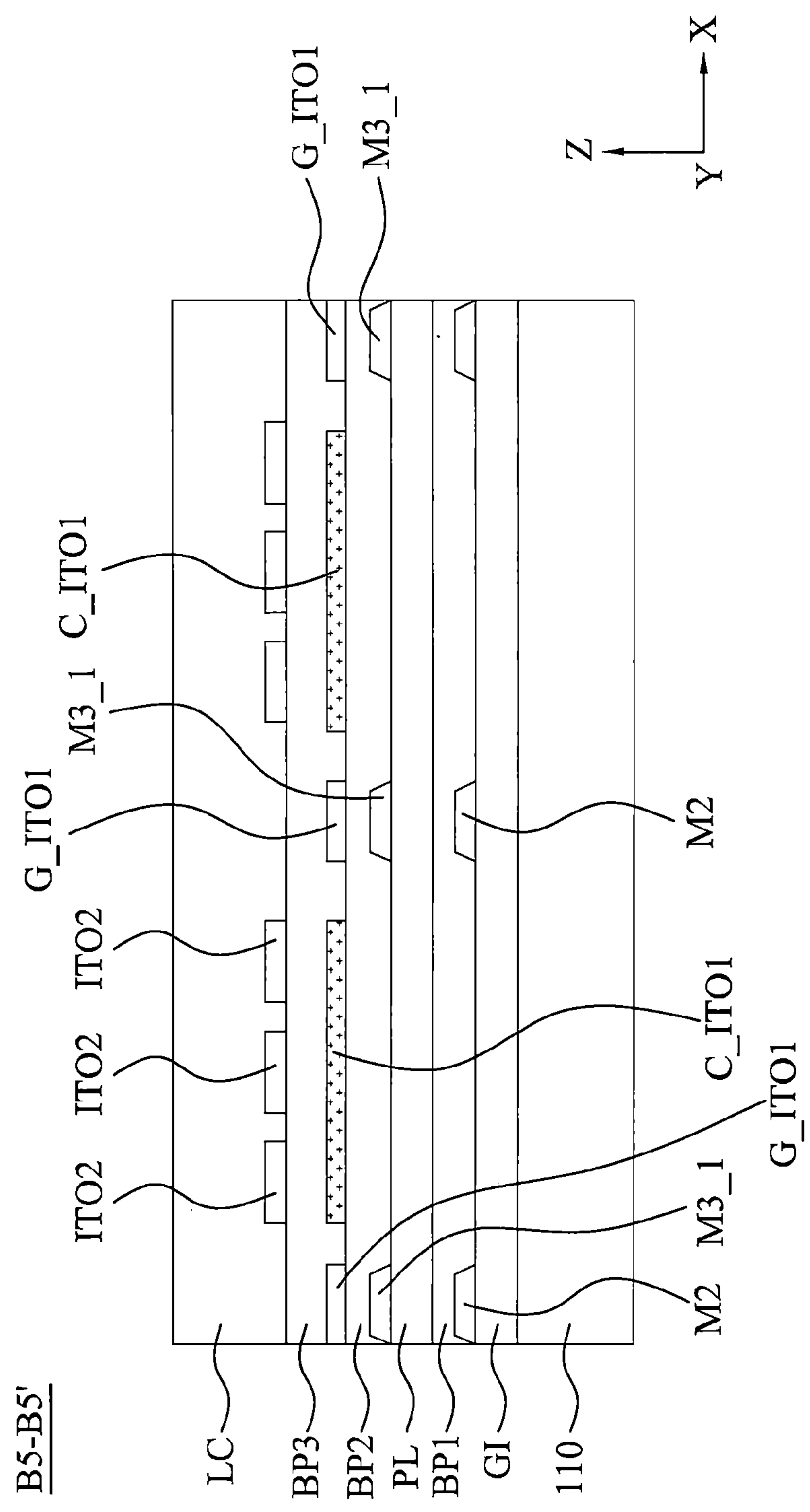


第 5B 圖

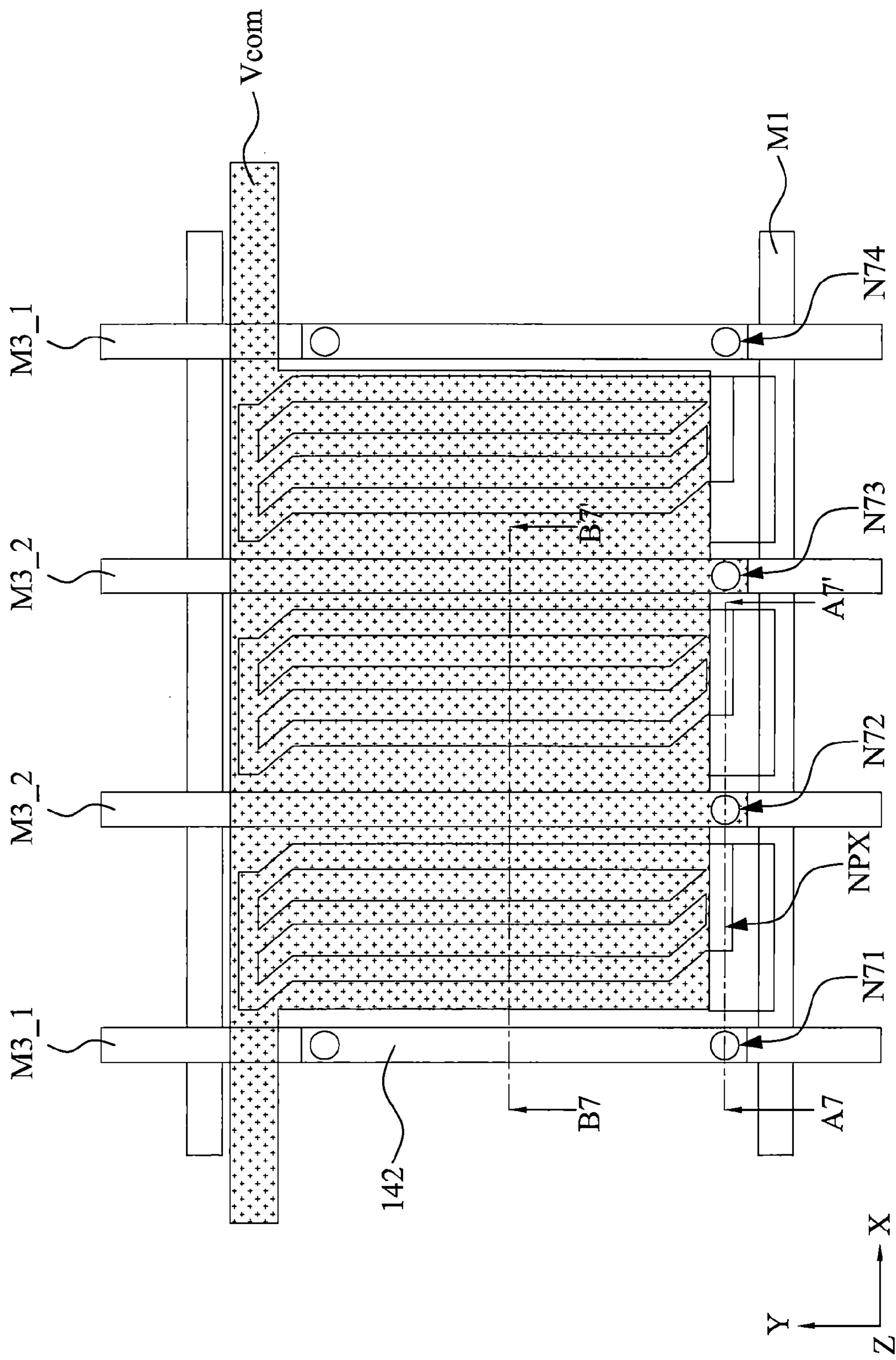
A5-A5'



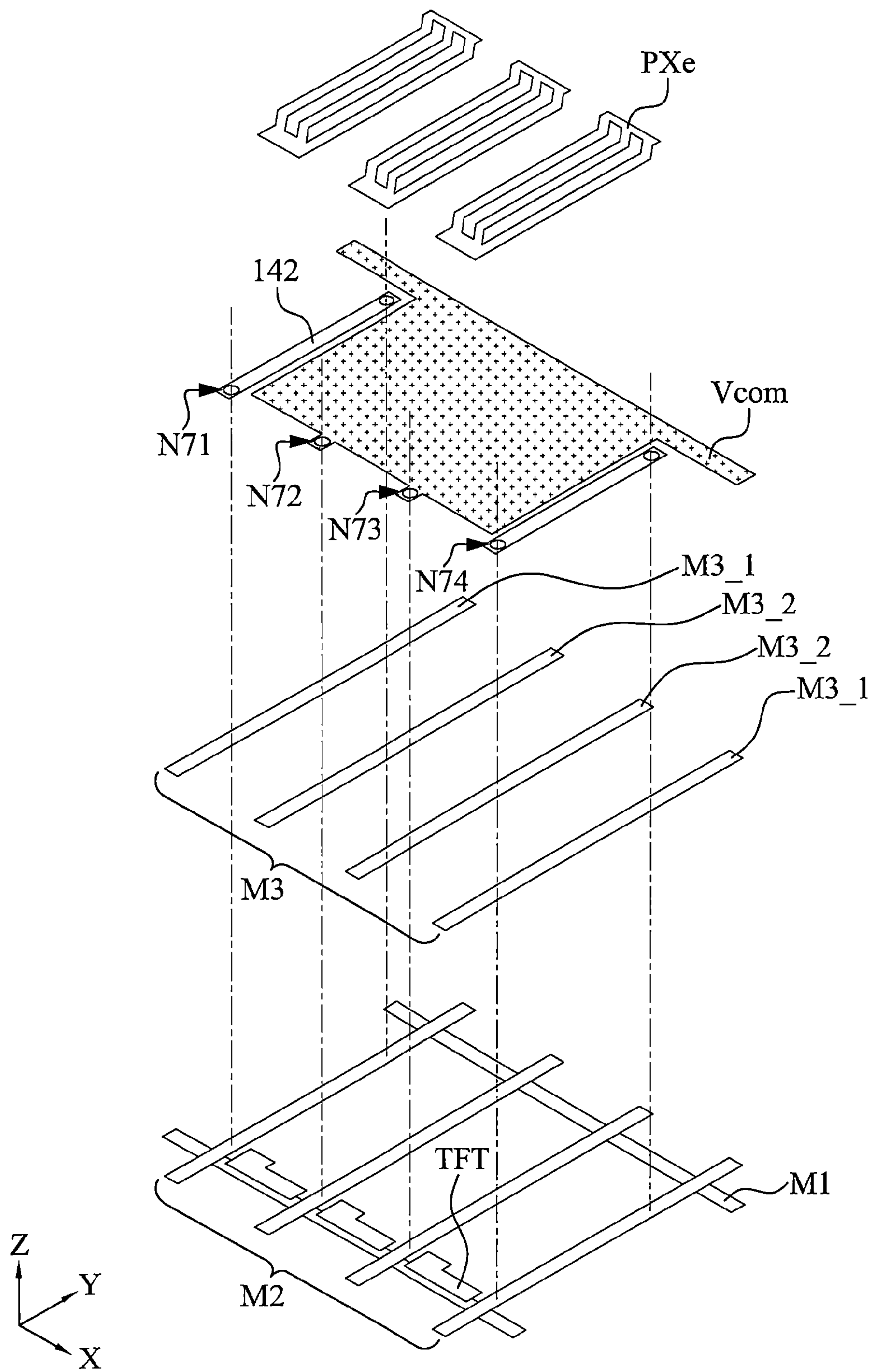
第 6A 圖



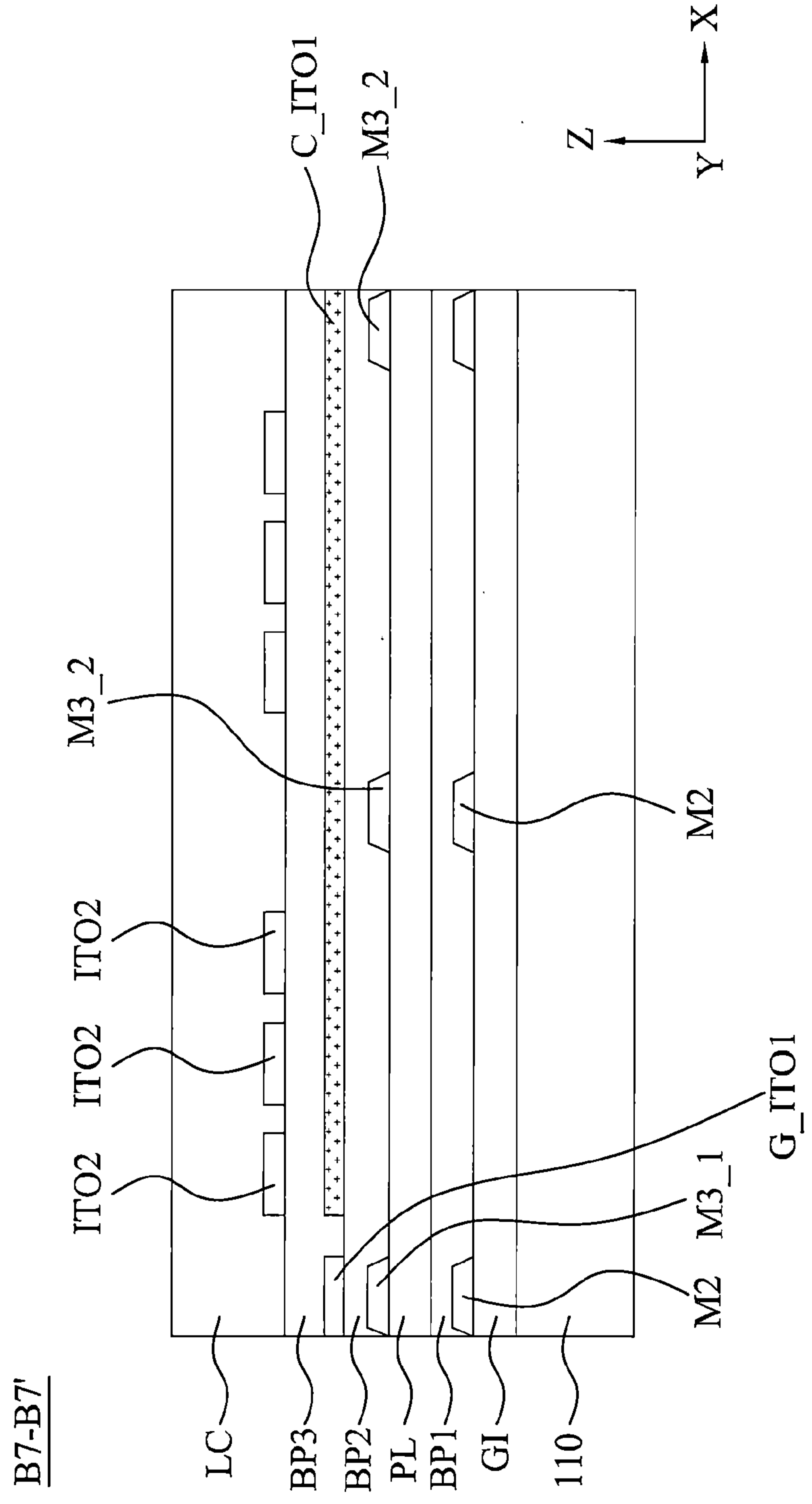
第 6B 圖



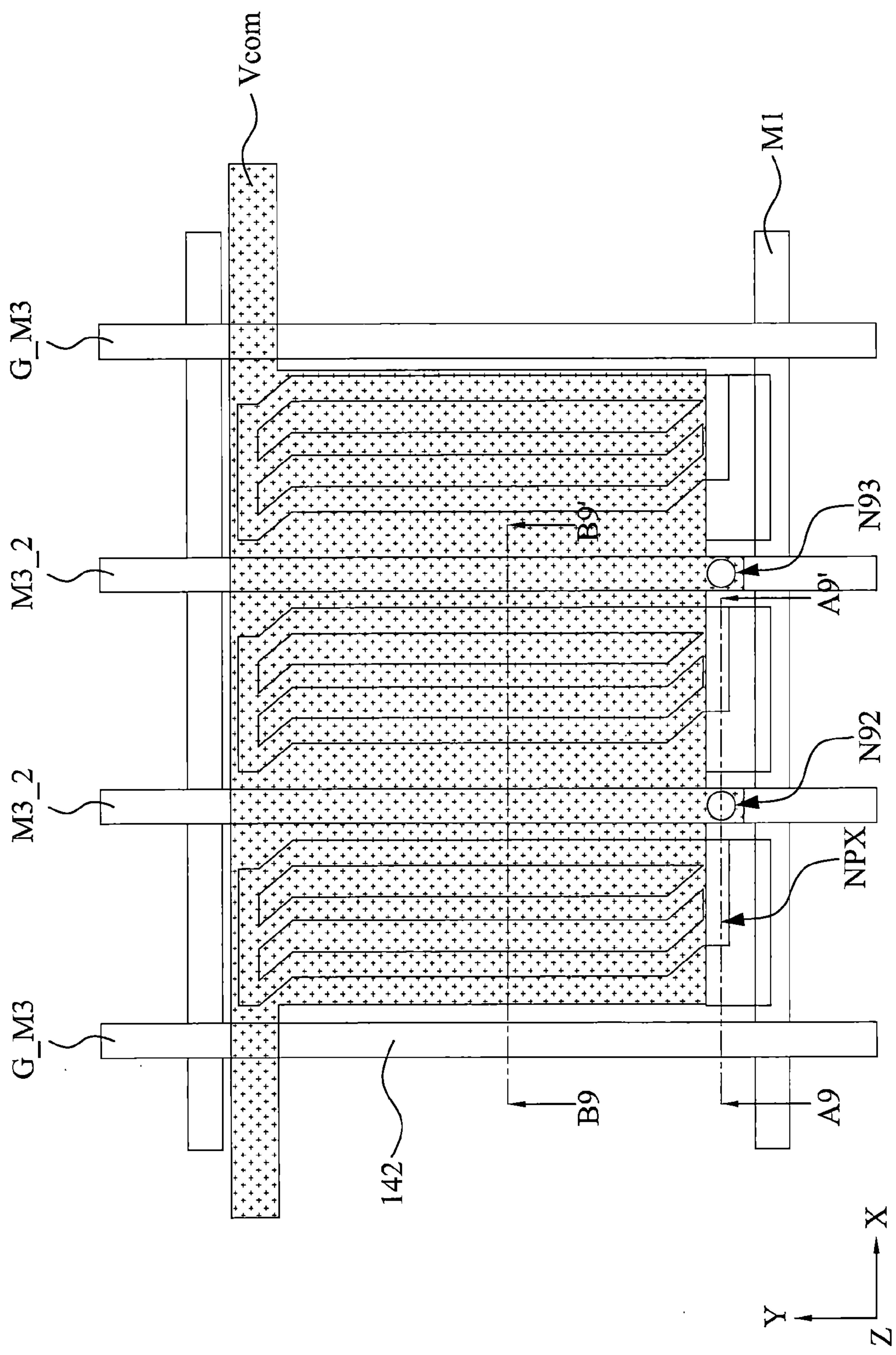
第 7A 圖



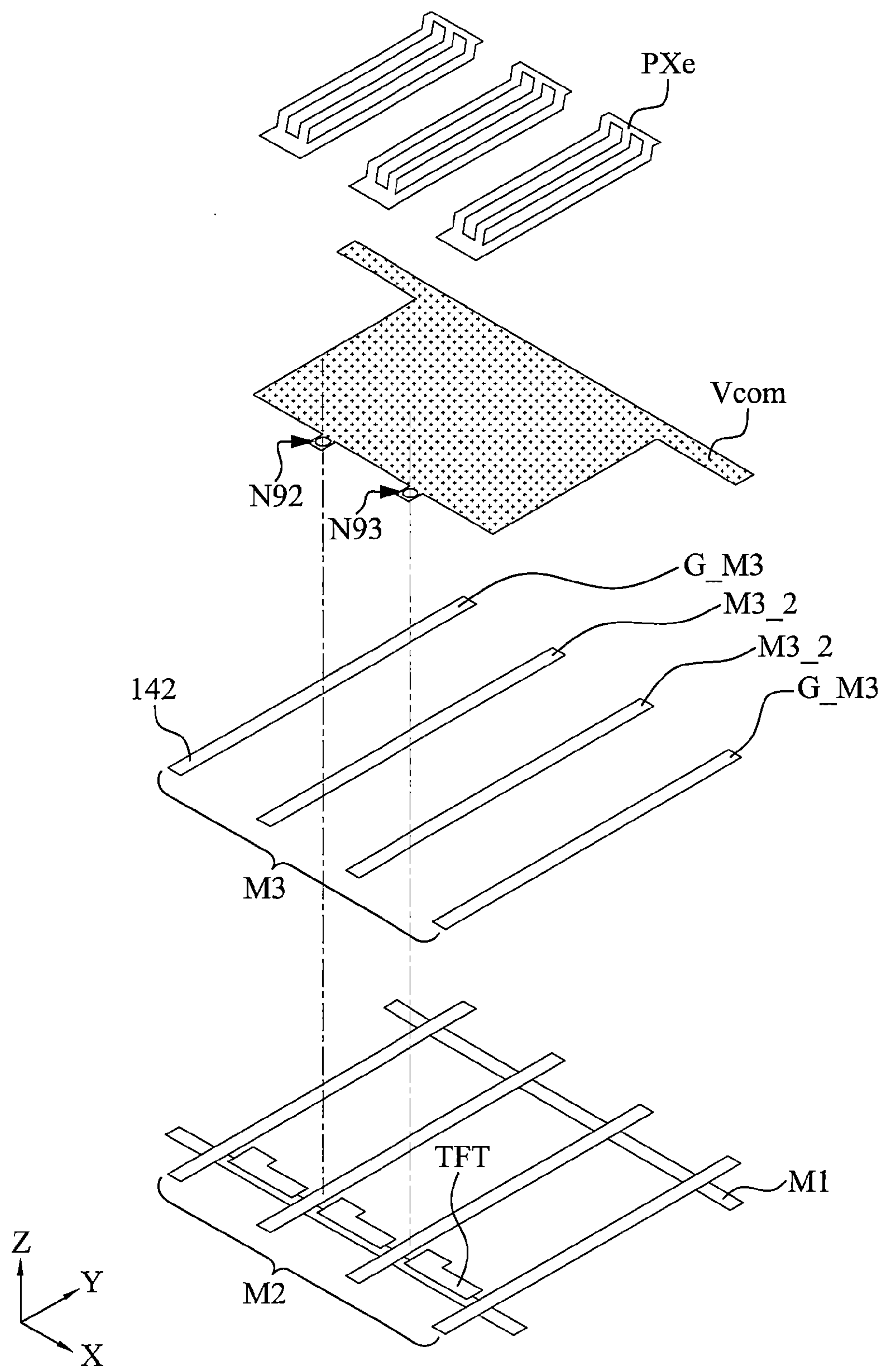
第 7B 圖



第 8B 圖

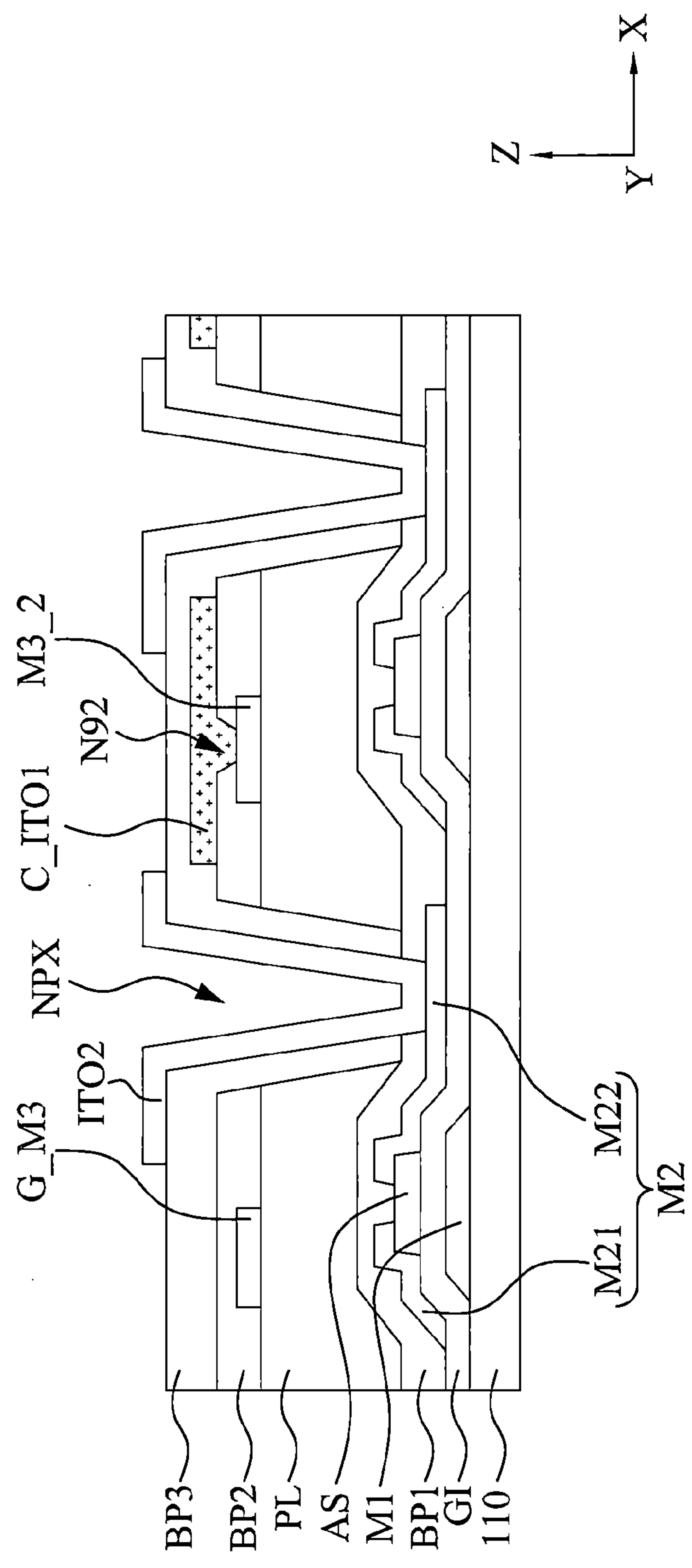


第 9A 圖

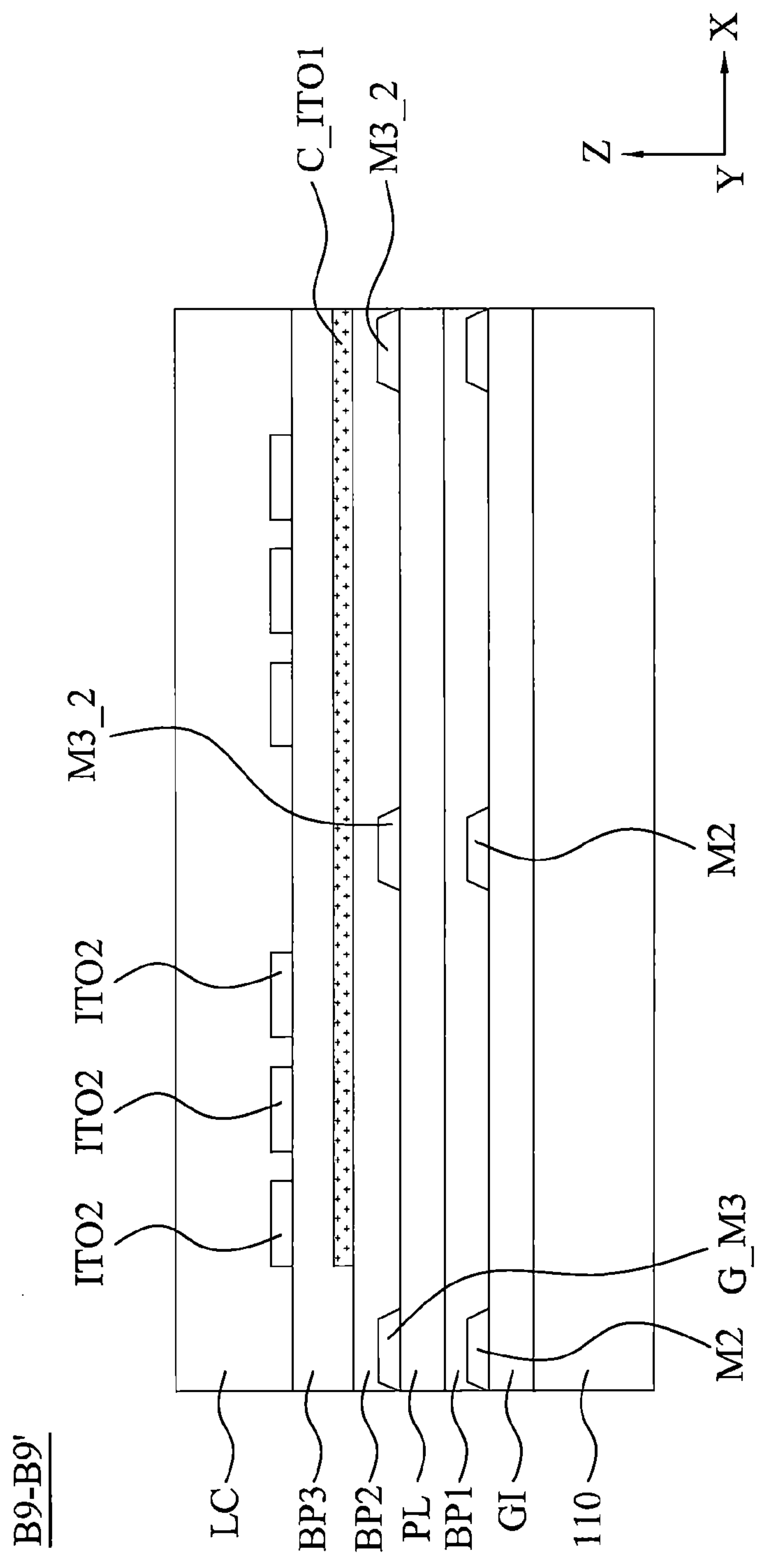


第 9B 圖

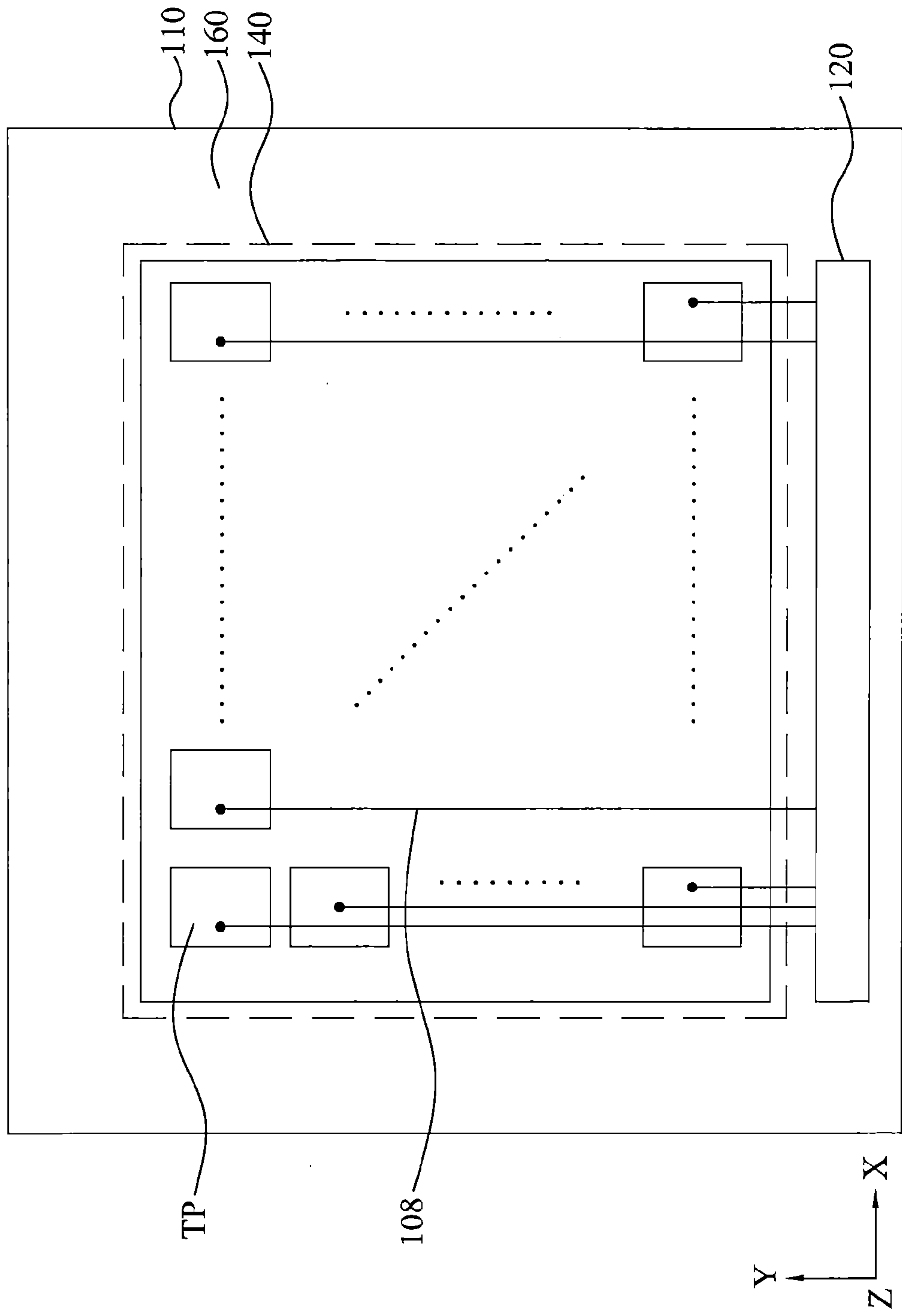
A9-A9'



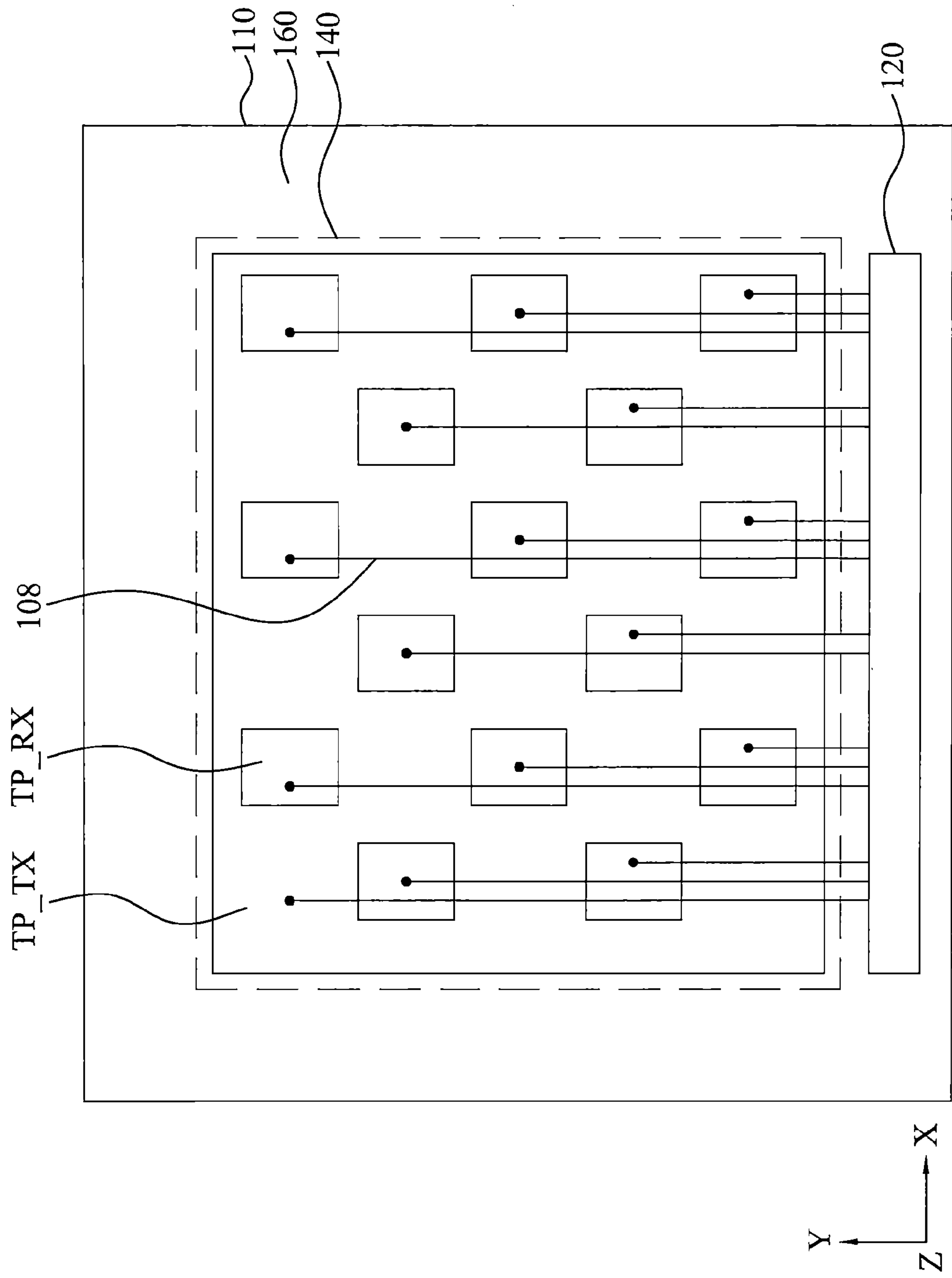
第 10A 圖



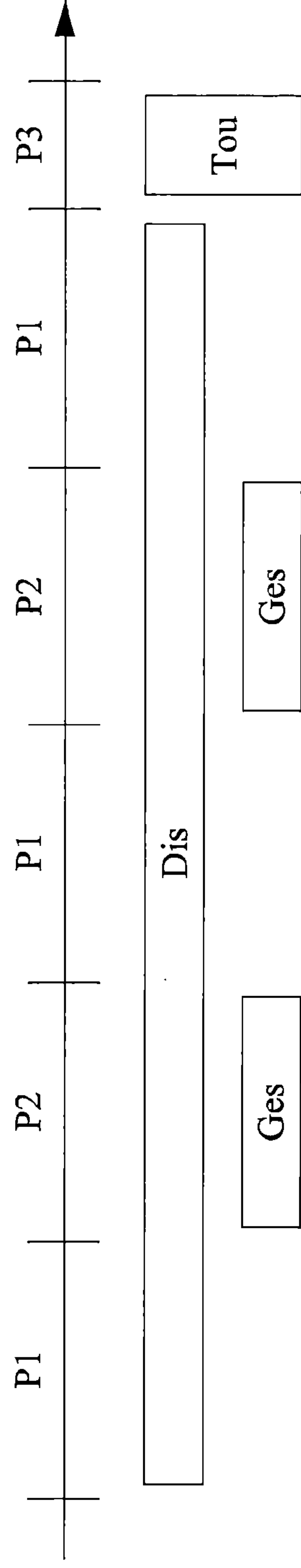
第 10B 圖



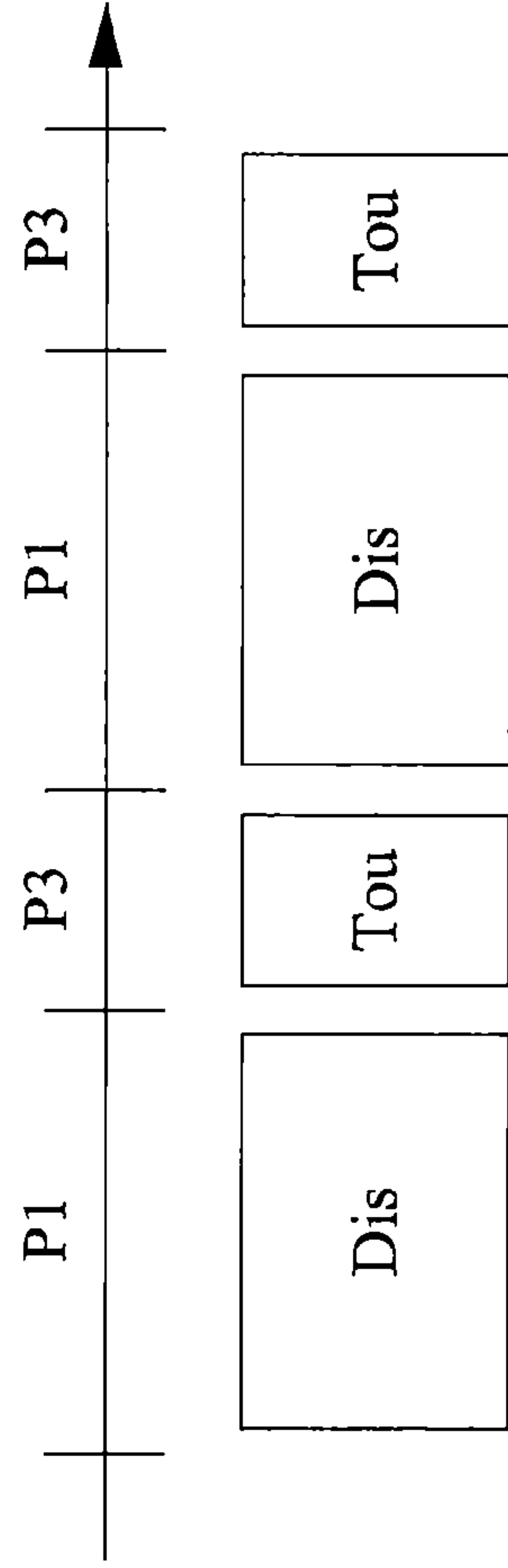
第 11A 圖



第 11B 圖



第 12A 圖



第 12B 圖