

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6070526号
(P6070526)

(45) 発行日 平成29年2月1日(2017.2.1)

(24) 登録日 平成29年1月13日(2017.1.13)

(51) Int.Cl.	F I
HO 1 L 21/3065 (2006.01)	HO 1 L 21/302 1 O 6
HO 1 L 29/12 (2006.01)	HO 1 L 29/78 6 5 2 T
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 8 G
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 2 K
	HO 1 L 29/78 6 5 3 A
請求項の数 3 (全 13 頁) 最終頁に続く	

(21) 出願番号	特願2013-255772 (P2013-255772)	(73) 特許権者	000241463
(22) 出願日	平成25年12月11日(2013.12.11)		豊田合成株式会社
(65) 公開番号	特開2015-115430 (P2015-115430A)		愛知県清須市春日長畑1番地
(43) 公開日	平成27年6月22日(2015.6.22)	(74) 代理人	110000028
審査請求日	平成27年12月22日(2015.12.22)		特許業務法人明成国際特許事務所
		(74) 代理人	100179578
			弁理士 野村 和弘
		(72) 発明者	田中 成明
			愛知県清須市春日長畑1番地 豊田合成株式会社内
		(72) 発明者	岡 徹
			愛知県清須市春日長畑1番地 豊田合成株式会社内
		審査官	鈴木 聡一郎
最終頁に続く			

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

P型半導体層上に、N型半導体層を備える半導体装置の製造方法であって、
 ドライエッチングによって、前記N型半導体層を厚み方向に貫通させることにより、前記P型半導体層の厚み方向の面を露出させるドライエッチング工程と、
 前記ドライエッチング工程の後に、酸素を含有する雰囲気において、前記P型半導体層を加熱する加熱工程と、を備え、
 前記ドライエッチング工程により露出するP型半導体層の幅は、前記半導体装置のハーフピッチに対して、1%以上であり、
 前記ドライエッチング工程により露出するP型半導体層の幅は、1μm以上であり、
 前記半導体装置のハーフピッチは、10μm以下であり、
 前記ドライエッチング工程によって露出するP型半導体層の厚み方向の面は、c面である、半導体装置の製造方法。

【請求項2】

請求項1に記載の半導体装置の製造方法であって、
 前記P型半導体層および前記N型半導体層は、主に窒化ガリウムから形成される、半導体装置の製造方法。

【請求項3】

請求項1または請求項2に記載の半導体装置の製造方法であって、
 前記加熱工程は、加熱温度が800以上であり、加熱時間が5分以上60分以下であ

る、半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関する。

【背景技術】

【0002】

従来、半導体装置として、N型GaN(窒化ガリウム)層(以下、「第1の層」ともよぶ)上にP型GaN層(以下、「第2の層」ともよぶ)が積層され、P型GaN層上に、N型GaN層(以下、「第3の層」ともよぶ)が積層される構造が知られている(例えば、特許文献1)。

10

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2010-62381号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかし、この構造においては、P型GaN層(第2層)の積層中にH(水素原子)が混入することにより、十分なホール濃度が得られないという課題があった。この課題に対して、第3層であるN型GaN層から第1層であるN型GaN層までドライエッチングを行なった後、ウェットエッチングを行ない、その後にアニール処理を行なうことにより、P型GaN層(第2層)中のHを取り除く方法が知られている(例えば、特許文献1)。

20

【0005】

しかし、この方法では、エッチング処理を2回(ドライエッチングおよびウェットエッチング)行なわなければならない。このため、この方法では製造コストが高くなるという課題があった。この課題は、GaN層を用いた半導体装置に限らず、すべての半導体装置に共通するものである。そのほか、従来の半導体装置においては、その低抵抗化や、小型化、省資源化、製造の容易化、製造の精確さ、作業性の向上等が望まれていた。

【課題を解決するための手段】

30

【0006】

本発明は、上記の課題の少なくとも一部を解決するためになされたものであり、以下の形態として実現することができる。

本発明の第1の形態は、

P型半導体層上に、N型半導体層を備える半導体装置の製造方法であって、ドライエッチングによって、前記N型半導体層を厚み方向に貫通させることにより、前記P型半導体層の厚み方向の面を露出させるドライエッチング工程と、

前記ドライエッチング工程の後に、酸素を含有する雰囲気において、前記P型半導体層を加熱する加熱工程と、を備え、

前記ドライエッチング工程により露出するP型半導体層の幅は、前記半導体装置のハーフピッチに対して、1%以上であり、

40

前記ドライエッチング工程により露出するP型半導体層の幅は、1μm以上であり、

前記半導体装置のハーフピッチは、10μm以下であり、

前記ドライエッチング工程によって露出するP型半導体層の厚み方向の面は、c面である。また、本発明は以下の形態として実現することもできる。

【0007】

(1)本発明の一形態によれば、半導体装置の製造方法が提供される。この半導体装置の製造方法は、P型半導体層上に、N型半導体層を備える半導体装置の製造方法であって、ドライエッチングによって、前記N型半導体層を厚み方向に貫通させることにより、前記P型半導体層の厚み方向の面を露出させるドライエッチング工程と、前記ドライエッチン

50

グ工程の後に、酸素を含有する雰囲気において、前記P型半導体層を加熱する加熱工程と、を備える。この形態によれば、ドライエッチング後かつ熱処理前にウェットエッチングを行なうことなく、加熱工程で露出部分を介して効率的にHを除去できるため、P型半導体層のホール濃度を十分に向上させることができる。その結果、半導体装置において、ドライエッチングが施されたP型半導体層の電気的特性を向上させることができる。

【0008】

(2) 上記形態の半導体装置の製造方法において、前記P型半導体層および前記N型半導体層は、主に窒化ガリウムから形成されるとしてもよい。この形態によれば、製造コストを抑制しながら、P型半導体層のホール濃度を十分に向上させることができる。

【0009】

(3) 上記形態の半導体装置の製造方法において、前記ドライエッチング工程により露出するP型半導体層の幅は、前記半導体装置のハーフピッチに対して、1%以上としてもよい。この形態によれば、製造コストを抑制しながら、P型半導体層のホール濃度を十分に向上させることができる。

【0010】

(4) 上記形態の半導体装置の製造方法において、前記ドライエッチング工程により露出するP型半導体層の幅は、1 μ m以上としてもよい。この形態によれば、製造コストを抑制しながら、P型半導体層のホール濃度を十分に向上させることができる。

【0011】

(5) 上記形態の半導体装置の製造方法において、前記半導体装置のハーフピッチは、10 μ m以下としてもよい。この形態によれば、製造コストを抑制しながら、P型半導体層のホール濃度を十分に向上させることができる。

【0012】

(6) 上記形態の半導体装置の製造方法において、前記加熱工程は、加熱温度が800以上であり、加熱時間が5分以上60分以下としてもよい。この形態によれば、製造コストを抑制しながら、P型半導体層のホール濃度を十分に向上させることができる。

【0013】

(7) 上記形態の半導体装置の製造方法において、前記ドライエッチング工程によって露出するP型半導体層の厚み方向の面は、c面であるとしてもよい。この形態によれば、製造コストを抑制しながら、P型半導体層のホール濃度を十分に向上させることができる。

【0014】

(8) 本発明の一形態によれば、半導体装置が提供される。この半導体装置は、上記形態の半導体装置の製造方法により得られた半導体装置であって、P型半導体層におけるP型不純物の平均濃度に対する水素原子の平均濃度は、65%以下である。この形態によれば、製造コストを抑制しながら、P型半導体層のホール濃度を十分に向上させることができる。

【0015】

(9) 上記形態の半導体装置において、前記P型不純物は、マグネシウムであるとしてもよい。この形態によれば、製造コストを抑制しながら、P型半導体層のホール濃度を十分に向上させることができる。

【0016】

上述した本発明の各形態の有する複数の構成要素はすべてが必須のものではなく、上述の課題の一部又は全部を解決するため、あるいは、本明細書に記載された効果の一部又は全部を達成するために、適宜、前記複数の構成要素の一部の構成要素について、その変更、削除、新たな他の構成要素との差し替え、限定内容の一部削除を行うことが可能である。また、上述の課題の一部又は全部を解決するため、あるいは、本明細書に記載された効果の一部又は全部を達成するために、上述した本発明の一形態に含まれる技術的特徴の一部又は全部を上述した本発明の他の形態に含まれる技術的特徴の一部又は全部と組み合わせ、本発明の独立した一形態とすることも可能である。

【0017】

10

20

30

40

50

本発明は、半導体装置およびその製造方法以外の種々の形態で実現することも可能である。例えば、本願発明は、上記形態の半導体装置が組み込まれた電気機器、上記形態の半導体装置を製造する製造装置などの形態で実現することができる。

【発明の効果】

【0018】

この形態によれば、ドライエッチング後かつ熱処理前にウェットエッチングを行なうことなく、加熱工程で露出部分を介して効率的にHを除去できるため、P型半導体層のホール濃度を十分に向上させることができる。その結果、半導体装置において、ドライエッチングが施されたP型半導体層の電気的特性を向上させることができる。

【図面の簡単な説明】

10

【0019】

【図1】第1実施形態における半導体装置10の構成を模式的に示す断面図。

【図2】半導体装置10の製造方法を示す工程図。

【図3】評価試験に用いた試料40の構成を模式的に示す断面図。

【図4】H濃度と半導体層の深さとの関係を示すグラフ。

【図5】第2評価試験に用いた試料50の構造を模式的に示す断面図。

【図6】H濃度と半導体層の深さとの関係を示すグラフ。

【図7】H濃度と半導体層の深さとの関係を示すグラフ。

【発明を実施するための形態】

【0020】

20

A. 第1実施形態：

A1. 半導体装置10の構成：

図1は、第1実施形態における半導体装置10の構成を模式的に示す断面図である。半導体装置10は、窒化ガリウム(GaN)を用いて形成されたGaN系の半導体装置である。本実施形態では、半導体装置10は、電力制御に用いられ、パワーデバイスまたは高周波デバイスとも呼ばれる。

【0021】

半導体装置10は、基板110と、N型半導体層120と、P型半導体層130と、N型半導体層140と、電極210, 230, 240, 250と、絶縁膜340とを備える。半導体装置10は、NPN型の半導体装置であり、N型半導体層120とP型半導体層130とN型半導体層140とが順に接合した構造を有する。

30

【0022】

半導体装置10のN型半導体層120、P型半導体層130、およびN型半導体層140は、有機金属気相成長法(MOCVD)による結晶成長によって形成された半導体層である。半導体装置10には、ドライエッチングによって、凹部182と、凹部184と、凹部186とが形成されている。

【0023】

図1には、相互に直交するXYZ軸が図示されている。図1のXYZ軸のうち、X軸は、基板110に対してN型半導体層120が積層する積層方向に沿った軸である。X軸に沿ったX軸方向のうち、+X軸方向は、基板110からN型半導体層120に向かう方向であり、-X軸方向は、+X軸方向に対向する方向である。図1のXYZ軸のうち、Y軸およびZ軸は、X軸に直交すると共に相互に直交する軸である。Y軸に沿ったY軸方向のうち、+Y軸方向は、図1の紙面左から紙面右に向かう方向であり、-Y軸方向は、+Y軸方向に対向する方向である。Z軸に沿ったZ軸方向のうち、+Z軸方向は、図1の紙面手前から紙面奥に向かう方向であり、-Z軸方向は、+Z軸方向に対向する方向である。

40

【0024】

半導体装置10の基板110は、Y軸およびZ軸によって規定される面方向に沿って広がる半導体層である。本実施形態では、基板110は、窒化ガリウム(GaN)から主に形成され、N型半導体層120よりも高い濃度でゲルマニウム(Ge)、酸素(O)、ケイ素(Si)などのN型不純物をドナーとして含有する。なお、窒化ガリウム(GaN)

50

から主に形成されるとは、モル分率において、窒化ガリウム (GaN) を 90% 以上含有することを示す。

【0025】

半導体装置 10 の N 型半導体層 120 は、基板 110 の + X 軸方向側に積層され、Y 軸および Z 軸によって規定される面方向に沿って広がる半導体層である。N 型半導体層 120 は、窒化ガリウム (GaN) から主に形成されると共に、N 型半導体層 140 よりも低い濃度でケイ素 (Si) をドナーとして含有する。N 型半導体層 120 は、「n⁻-GaN」とも呼ばれる。

【0026】

半導体装置 10 の P 型半導体層 130 は、N 型半導体層 120 の + X 軸方向側に積層され、Y 軸および Z 軸によって規定される面方向に沿って広がる半導体層である。P 型半導体層 130 は、窒化ガリウム (GaN) から主に形成され、マグネシウム (Mg) を P 型不純物として含有する。P 型半導体層 130 は、「p-GaN」とも呼ばれる。

10

【0027】

半導体装置 10 の N 型半導体層 140 は、P 型半導体層 130 の + X 軸方向側に積層され、Y 軸および Z 軸によって規定される面方向に沿って広がる半導体層である。N 型半導体層 140 は、窒化ガリウム (GaN) から主に形成され、N 型半導体層 120 よりも高い濃度でケイ素 (Si) をドナーとして含有する。N 型半導体層 140 は、「n⁺-GaN」とも呼ばれる。

【0028】

半導体装置 10 の凹部 182 は、ドライエッチングによって形成され、N 型半導体層 140 の + X 軸方向側から P 型半導体層 130 が露出した部位である。凹部 182 は、P 型半導体層の厚み方向の面を備える。凹部 182 は、リセス (recess) とも呼ばれる。なお、図 1 において、凹部 182 は P 型半導体層 130 まで窪んでいるが、窪んでいなくてもよい。つまり、P 型半導体層の厚み方向の面は、+ X 軸方向側に露出していればよい。

20

【0029】

また、ドライエッチング工程によって露出する P 型半導体層 130 の面は、c 面であることが好ましい。このようにすることにより、P 型半導体層 130 における水素原子 (H) を効果的に取り除くことができるため、P 型半導体層 130 のホール濃度を十分に向上させることができる。

30

【0030】

ドライエッチング工程によって露出する P 型半導体層 130 の一部の幅 Q は、1 μm 以上が好ましい。このようにすることにより、P 型半導体層 130 における水素原子を効果的に取り除くことができる。なお、幅 Q とは、X 軸方向に垂直な面において P 型半導体層 130 が露出している部分の距離をいう。

【0031】

また、P 型半導体層 130 における水素原子を効果的に取り除く観点から、幅 Q は、半導体装置 10 のハーフピッチ R に対して 1% 以上とすると好ましい。なお、ハーフピッチ R とは、線幅と線間隔との和の半分の距離をいう。図 1 において、ハーフピッチ R は、凹部 182 の中心軸と凹部 184 の中心軸との Y 方向の距離をいう。ハーフピッチ R は、10 μm 以下であることが好ましい。

40

【0032】

なお、ドライエッチング後、P 型半導体層 130 は、加熱処理 (活性化アニール処理) される。これによって、P 型半導体層 130 の全域における H/Mg 割合は、P 型半導体層としての電気的特性の実現に必要とされる 65% 以下になる。H/Mg 割合は、P 型半導体層 130 におけるマグネシウム (Mg) の平均濃度に対する水素原子 (H) の平均濃度の比率である。P 型半導体層 130 のホール濃度を十分に向上させる観点から、P 型半導体層 130 における水素原子の濃度は少ないほどよい。このため、H/Mg 割合が 40% 以下だと、より好ましい。

【0033】

50

半導体装置 10 の凹部 184 は、ドライエッチングによって形成され、N 型半導体層 140 の + X 軸方向側から P 型半導体層 130 を貫通し N 型半導体層 120 にまで窪んだ位である。凹部 184 は、トレンチ (trench) とも呼ばれる。本実施形態では、凹部 184 は、凹部 182 の + Y 軸方向側に位置する。

【0034】

凹部 184 の表面には、N 型半導体層 140 の + X 軸方向側に至るまで、絶縁膜 340 が形成されている。本実施形態では、絶縁膜 340 は、二酸化ケイ素 (SiO_2) から形成される。

【0035】

半導体装置 10 の凹部 186 は、ドライエッチングによって形成され、N 型半導体層 140 の + X 軸方向側から P 型半導体層 130 を貫通し N 型半導体層 120 にまで窪んだ位である。凹部 186 は、トレンチとも呼ばれる。本実施形態では、凹部 186 は、凹部 184 の - Y 軸方向側に位置する。

【0036】

半導体装置 10 の電極 210 は、基板 110 の - X 軸方向側に形成されたドレイン電極である。本実施形態では、電極 210 は、チタン (Ti) から形成される層にアルミニウム (Al) から形成される層を積層した後に焼成することによって形成される。

【0037】

半導体装置 10 の電極 230 は、凹部 182 の内側に露出する P 型半導体層 130 に形成されたボディ電極である。本実施形態では、電極 230 は、ニッケル (Ni) から形成される層に金 (Au) から形成される層を積層した後に焼成することによって形成される。

【0038】

半導体装置 10 の電極 240 は、凹部 182 と凹部 184 との間における N 型半導体 140 の + X 軸方向側に形成されたソース電極である。本実施形態では、電極 240 は、チタン (Ti) から形成される層にアルミニウム (Al) から形成される層を積層した後に焼成することによって形成される。

【0039】

半導体装置 10 の電極 250 は、凹部 184 における絶縁膜 340 上に形成されたゲート電極である。本実施形態では、電極 250 は、アルミニウム (Al) から形成される。

【0040】

図 2 は、半導体装置 10 の製造方法を示す工程図である。半導体装置 10 を製造する際には、製造者は、まず、基板 110 上に、N 型半導体層 120 と、P 型半導体層 130 と、N 型半導体層 140 とを順に形成する (工程 P120)。これによって、製造者は、基板 110 上に各半導体層を形成した半導体装置 10 の中間製品を得る。本実施形態では、製造者は、有機金属気相成長法 (MOCVD) を実現する MOCVD 装置を用いて、基板 110 上に各半導体層を形成する。

【0041】

各半導体層を形成した後 (工程 P120)、製造者は、ドライエッチング工程 (工程 P140) を行う。ドライエッチング工程 (工程 P140) では、ドライエッチングによって、N 型半導体層 140 を厚み方向に貫通させることにより、P 型半導体層 130 の厚み方向の面を露出させる。つまり、製造者は、半導体装置 10 の中間製品にドライエッチングを施すことによって、凹部 182 を形成する。本実施形態では、製造者は、凹部 182 の他、凹部 184 および凹部 186 をドライエッチングによって形成する。

【0042】

本実施形態では、ドライエッチング工程 (工程 P140) で実施されるドライエッチングは、塩素 (Cl_2) および塩化物 (例えば、塩化ホウ素 (BCl_3)、塩化ケイ素 (SiCl_4)) の少なくとも一方を含有する雰囲気において、半導体装置 10 の中間製品を加工する処理である。本実施形態では、ドライエッチング工程 (工程 P140) で実施されるドライエッチングは、誘電結合プラズマ (ICP: Inductively Coupled Plasma) ドラ

10

20

30

40

50

イエッチングである。

【0043】

ドライエッチング工程（工程P140）を行った後、製造者は、加熱（活性化アニール）工程（工程P160）を行う。加熱工程（工程P160）では、製造者は、酸素（ O_2 ）を含有する気体の中で、半導体装置10の中間製品を加熱処理（活性化アニール処理）する。これによって、P型半導体層130から水素原子（H）が離脱するため、P型半導体層130のアクセプタであるマグネシウム（Mg）が活性化する。

【0044】

加熱工程（工程P160）に用いられる気体の温度（活性化アニール温度）は、700以上であることが好ましく、800以上であることがより好ましい。また、加熱工程に用いられる気体の温度は、1000以下であることが好ましく、900以下であることがいっそう好ましい。上記温度とすることにより、ホール濃度を向上させ、かつ、製造コストを抑えることができる。

10

【0045】

本実施形態では、加熱工程（工程P160）に用いられる気体は、酸素（ O_2 ）と窒素（ N_2 ）とから主に形成される。加熱工程（工程P160）に用いられる気体における窒素（ N_2 ）の流量に対する酸素（ O_2 ）の流量の比率（ O_2/N_2 流量比）は、1%以上であることが好ましく、2%以上であることがさらに好ましく、5%以上であることがいっそう好ましい。加熱工程に用いられる気体に酸素を含有させることにより、効果的にホール濃度が増加する。

20

【0046】

本実施形態では、加熱工程（工程P160）において半導体装置10の中間製品を加熱する時間（活性化アニール時間）は、5分以上であり、60分以下に留めることが好ましい。上記時間とすることにより、ホール濃度を向上させ、かつ、製造コストを抑えることができる。

【0047】

加熱工程（工程P160）の後、製造者は、半導体装置10の中間製品における凹部182に電極230を形成する（工程P180）。本実施形態では、製造者は、電極230の他、電極210、240、250と絶縁膜340とを形成する。これらの工程を経て、半導体装置10が完成する。

30

【0048】

以上説明した第1実施形態によれば、P型半導体層130およびN型半導体層140の表面を荒らすことなく、P型半導体層130のホール濃度を十分に向上させることができる。その結果、GaN系の半導体装置10において、ドライエッチングが施されたP型半導体層130の電気的特性を向上させることができる。

【0049】

B．性能評価：

B1：第1評価試験：

図3は、評価試験に用いた試料40の構成を模式的に示す断面図である。図3には、図1と同様にXYZ軸が図示されている。試料40は、基板410と、バッファ層415と、アンドープ半導体層420と、P型半導体層430と、N型半導体層440とを、この順に備える。

40

【0050】

試料40のバッファ層415と、アンドープ半導体層420と、P型半導体層430と、N型半導体層440とは、MOCVDによる結晶成長によって形成された半導体層である。

【0051】

試料40の基板410は、Y軸およびZ軸によって規定される面方向に沿って広がる半導体層である。基板410は、単結晶サファイアから形成されている。

【0052】

試料40のバッファ層415は、基板410の+X軸方向側に積層されており、Y軸およ

50

びZ軸によって規定される面方向に沿って広がる半導体層である。バッファ層415は、窒化アルミニウム(A1N)から形成されている。バッファ層415の膜厚は、0.2 μmである。

【0053】

試料40のアンドープ半導体層420は、バッファ層415の+X軸方向側に積層されており、Y軸およびZ軸によって規定される面方向に沿って広がる半導体層である。アンドープ半導体層420は、主にGaNから形成される真性半導体層である。アンドープ半導体層420の膜厚は、2 μmである。

【0054】

試料40のP型半導体層430は、アンドープ半導体層420の+X軸方向側に積層されており、Y軸およびZ軸によって規定される面方向に沿って広がる半導体層である。P型半導体層430は、主にGaNから形成されており、Mgをアクセプタとして含有する。Mg濃度は、 $2 \times 10^{19} / \text{cm}^3$ であり、P型半導体層430の膜厚は、0.7 μmである。

10

【0055】

試料40のN型半導体層440は、P型半導体層430の+X軸方向側に積層されており、Y軸およびZ軸によって規定される面方向に沿って広がる半導体層である。N型半導体層440は、主にGaNから形成されており、Siをドナーとして含有する。Si濃度は、 $3 \times 10^{18} / \text{cm}^3$ であり、N型半導体層440の膜厚は、0.2 μmである。

【0056】

試料40は、P型半導体層430の側壁460のみが露出するようにドライエッチングが施されている。また、このドライエッチングにより、基板410の面450が露出する。なお、ドライエッチングが施されていないN型半導体層440の面を、これ以降、面560とも呼ぶ。

20

【0057】

図4は、H濃度と半導体層の深さとの関係を示すグラフである。この結果は、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)により得られた。縦軸は、H濃度($1 / \text{cm}^3$)を示し、横軸は、N型半導体層440の面560(図3参照)を深さ0とした時の-X軸方向側の深さ(μm)を示す。

【0058】

第1評価試験では、試験者は、ドライエッチング後に活性化アニール処理が実施されていない試料40と、ドライエッチング後に活性化アニール処理を実施した試料40とを製作し、これらの試料について、半導体装置の深さ方向に応じたH濃度を測定した。活性化アニール処理の条件は、2通りあり、700 5分の熱処理と、800 5分の熱処理である。

30

【0059】

第1評価試験は、活性化アニール処理の有無によらず、P型半導体層430を示す深さ0.2 μm付近から0.9 μm付近におけるH濃度に大差がないことを示している。つまり、P型半導体層430の側面(Y軸方向の面)のみを露出するようにエッチングを行なっても、その後の加熱工程によりHを効果的に除去できないことを示している。このことは、P型半導体層430のホール濃度を十分に向上させることができないことを示している。

40

【0060】

B2: 第2評価試験:

図5は、第2評価試験に用いた試料50の構造を模式的に示す断面図である。図5には、図1や図3と同様に、XYZ軸が図示されている。試料50は、試料40と異なり、P型半導体層430を露出させるようにドライエッチングが施されている点が異なるが、それ以外は同じである。つまり、試料50は、P型半導体430の面(X軸方向と交わる面。以下、面550とも呼ぶ)を露出させるようにドライエッチングが施されている。

【0061】

50

第2評価試験では、試験者は、ドライエッチング後に活性化アニール処理が実施されていない試料50と、ドライエッチング後に活性化アニール処理を実施した試料50とを製作し、これらの試料について、半導体装置の深さ方向に応じたH濃度を測定した。活性化アニール処理の条件は、3通りあり、800 5分の熱処理と、800 30分の熱処理と、900 30分である。

【0062】

図6は、H濃度と半導体層の深さとの関係を示すグラフである。この結果は、SIMSにより得られた(図7も同様)。縦軸は、H濃度($1/cm^3$)を示し、横軸は、P型半導体層430の面550を深さ0とした時の-X軸方向側の深さ(μm)を示す。

【0063】

図7は、H濃度と半導体層の深さとの関係を示すグラフである。縦軸は、H濃度($1/cm^3$)を示し、横軸は、N型半導体層440の面560を深さ0とした時の-X軸方向側の深さ(μm)を示す。

【0064】

図7は、ドライエッチング処理が行なわれない条件におけるH濃度と半導体層の深さとの関係を示し、図6は、ドライエッチング処理によりP型半導体層430の面550が露出した条件におけるH濃度と半導体層の深さとの関係を示す。

【0065】

第2評価試験の結果から、P型半導体層430を露出させない場所(図7)と比較し、P型半導体層430を露出させた場所は、加熱処理により、H濃度がより効果的に減少することがわかる。とくに、P型半導体層430を露出させた後、900 30分の熱処理を行なうことにより、H濃度がさらに効果的に減少することがわかる(図6)。つまり、第1評価試験ではH濃度が減少していないが、第2評価試験においてP型半導体層430中のH濃度が減少している。なお、900 30分の熱処理を行なった結果のH濃度の触れ幅が大きい原因は、 $2 \times 10^{17}/cm^3$ が検出下限となる条件において、試験を行なったためである。

【0066】

C. 変形例:

この発明は上記の実施形態に限られるものではなく、その要旨を逸脱しない範囲において種々の形態において実施することが可能であり、例えば次のような変形も可能である。

【0067】

C1. 変形例1:

本実施形態において、基板とN型半導体層との少なくとも一方に含まれるドナーとして、ケイ素(Si)を用いているが、本発明はこれに限られない。ドナーとして、ゲルマニウム(Ge)や、酸素(O)を用いてもよい。

【0068】

C2. 変形例2:

本実施形態において、P型半導体層に含まれるアクセプタとして、マグネシウム(Mg)を用いているが、本発明はこれに限られない。アクセプタとして、亜鉛(Zn)や、炭素(C)を用いてもよい。

【0069】

C3. 変形例3:

本実施形態において、半導体はIII族窒化物である窒化ガリウムを用いている。しかし、本発明はこれに限らない。半導体としては、例えば、窒化アルミニウムや窒化インジウムなどのIII族窒化物を用いてもよく、シリコンや、ガリウムヒ素や、シリコンカーバイドなどを用いてもよい。

【0070】

本発明は、上述の実施形態や変形例に限られるものではなく、その趣旨を逸脱しない範囲において種々の構成で実現することができる。例えば、発明の概要の欄に記載した各形態中の技術的特徴に対応する実施形態、変形例中の技術的特徴は、上述の課題の一部又は

10

20

30

40

50

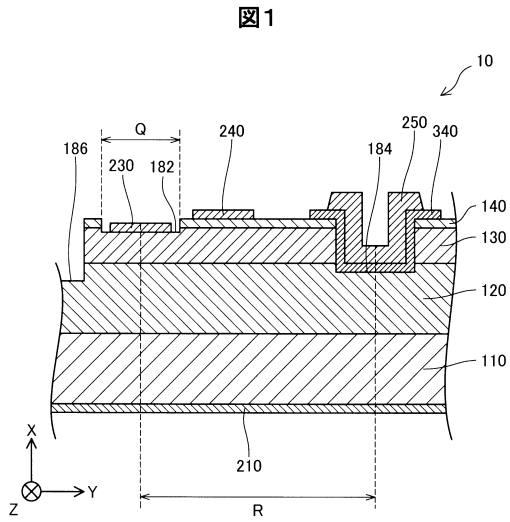
全部を解決するために、あるいは、上述の効果の一部又は全部を達成するために、適宜、差し替えや、組み合わせを行うことが可能である。また、その技術的特徴が本明細書中に必須なものとして説明されていなければ、適宜、削除することが可能である。

【符号の説明】

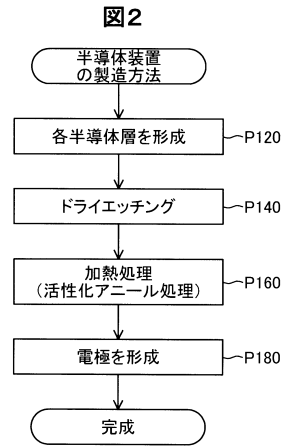
【0071】

10 ... 半導体装置	
40 ... 試料	
50 ... 試料	
110 ... 基板	
120 ... N型半導体層	10
130 ... P型半導体層	
140 ... N型半導体層	
182 ... 凹部	
184 ... 凹部	
186 ... 凹部	
210 ... 電極	
230 ... 電極	
240 ... 電極	
250 ... 電極	
340 ... 絶縁膜	20
410 ... 基板	
415 ... バッファ層	
420 ... アンドープ半導体層	
430 ... P型半導体層	
440 ... N型半導体層	
550 ... 面	
560 ... 面	
R ... ハーフピッチ	

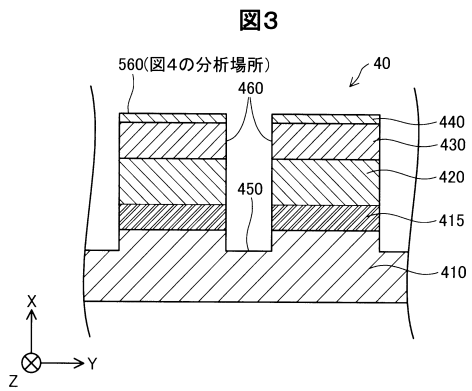
【図1】



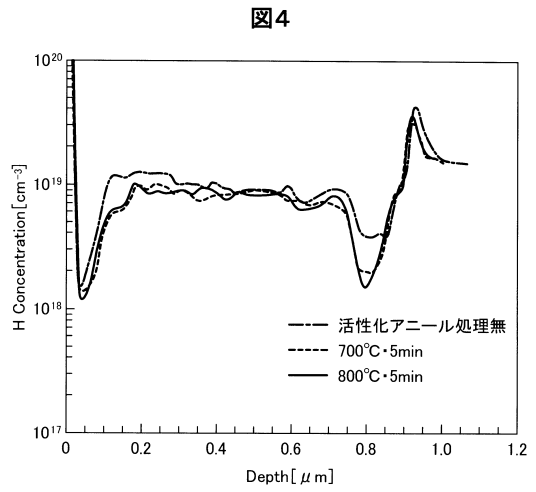
【図2】



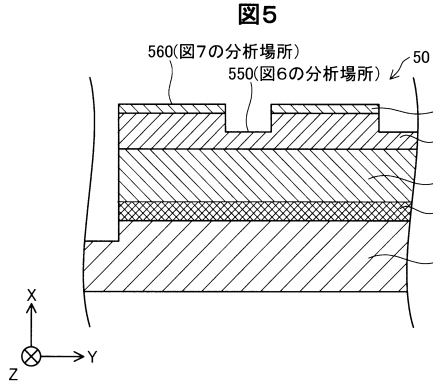
【図3】



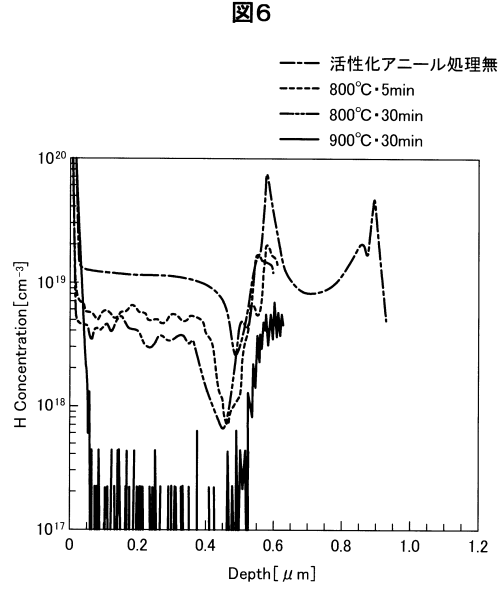
【図4】



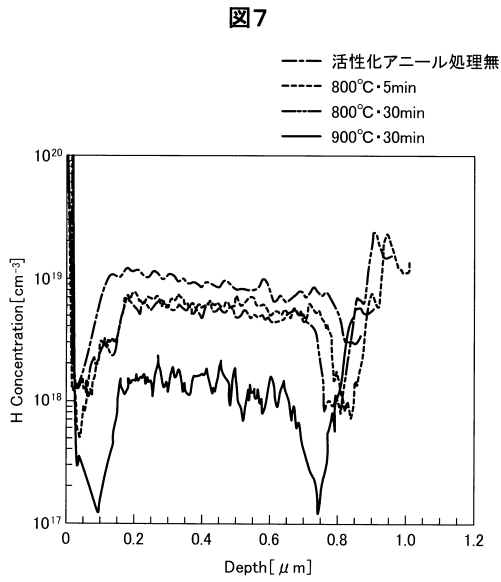
【 図 5 】



【 図 6 】



【 図 7 】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 21/302 1 0 1 C

(56)参考文献 特開2014-135316(JP,A)
特開2014-154808(JP,A)
特開2003-068745(JP,A)
特開2003-051613(JP,A)
特開2010-062381(JP,A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 1 / 3 0 6 5
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 9 / 1 2
H 0 1 L 2 9 / 7 8