



(12) 发明专利

(10) 授权公告号 CN 102376760 B

(45) 授权公告日 2013. 12. 18

(21) 申请号 201010265787. 6

(第 8 期), 753-754.

(22) 申请日 2010. 08. 25

审查员 马泽宇

(73) 专利权人 财团法人交大思源基金会
地址 中国台湾新竹市

(72) 发明人 张翼 张嘉华 林岳钦

(74) 专利代理机构 北京律诚同业知识产权代理
有限公司 11006
代理人 梁挥 鲍俊萍

(51) Int. Cl.

- H01L 29/778(2006. 01)
- H01L 21/335(2006. 01)
- H01L 29/06(2006. 01)
- H01L 29/12(2006. 01)

(56) 对比文件

X. Hu, etc. Enhancement mode AlGaIn/GaN HFET with selectively grown pn junction gate. 《Electronics Letters》. 2000, 第 36 卷

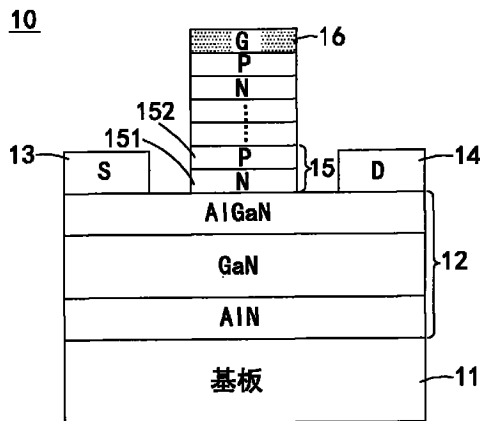
权利要求书2页 说明书4页 附图5页

(54) 发明名称

增强式高电子移动率晶体管及其制造方法

(57) 摘要

本发明揭示一种增强式高电子移动率晶体管及其制造方法,其包括:一缓冲层,磊晶于一基板上;一源级及漏极,形成于该缓冲层上;多个 P-N 界面,其是由多层堆栈的 P-N 界面形成于该缓冲层上、及该源级与漏极之间;及一栅极,形成于该 P-N 界面的堆栈上;其中该 P-N 界面由一 P 型及一 N 型半导体层所构成。本发明的增强式高电子移动率晶体管及其制造方法,可改善现有技术的深凹陷式栅极结构或四氟化碳等离子处理方式制作增强式氮化镓晶体管效能不佳的问题。并大幅提高增强式高电子移动率晶体管的临限电压。



1. 一种增强式高电子移动率晶体管,其特征在于,包括:
 - 一缓冲层,磊晶于一基板上,该缓冲层的结构由上而下依序为氮化镓 / 氮化镓铝 / 氮化铝 / 氮化镓 / 氮化铝;
 - 一源极及一漏极,形成于该缓冲层上;
 - 多个 P-N 界面,其由多层堆栈的 P-N 界面形成于该缓冲层上、及该源极与漏极之间,且所述堆栈从上至下以 PN 的顺序排列;及
 - 一栅极,形成于该 P-N 界面的堆栈上。
2. 根据权利要求 1 所述的晶体管,其特征在于,该源极或漏极与该 P-N 界面的堆栈相隔离。
3. 根据权利要求 1 所述的晶体管,其特征在于,该基板材料选自砷化镓、氮化镓、硅、碳化硅、及蓝宝石。
4. 根据权利要求 1 所述的晶体管,其特征在于,该缓冲层的结构由多层的材料层所构成。
5. 根据权利要求 4 所述的晶体管,其特征在于,该缓冲层的材料选自砷化镓、氮化镓、氮化铝、氮化镓铝、及上述材料的组合。
6. 根据权利要求 1 所述的晶体管,其特征在于,该源极或漏极的材料选自钛、铝、钨、镍、及金。
7. 根据权利要求 1 所述的晶体管,其特征在于,该 P-N 界面由一 P 型及一 N 型半导体层所构成。
8. 根据权利要求 1 所述的晶体管,其特征在于,该 P-N 界面的材料选自砷化镓、氮化镓、氮化铝、及氮化镓铝。
9. 根据权利要求 1 所述的晶体管,其特征在于,该栅极的材料选自铂、铝、钛、金、氮化钨、及上述材料的组合。
10. 一种增强式高电子移动率晶体管的制造方法,其特征在于,包括下列步骤:
 - 提供一具有一缓冲层的基板,该缓冲层的结构由上而下依序为氮化镓 / 氮化镓铝 / 氮化铝 / 氮化镓 / 氮化铝;
 - 形成具有多个 P-N 界面的多层堆栈于该缓冲层上,且所述堆栈从上至下以 PN 的顺序排列;去除于预定的栅极区域之外的 P-N 界面堆栈;
 - 于该缓冲层上及分别于该预定栅极区域的两侧形成一源极及漏极;及
 - 形成一栅极于该 P-N 界面堆栈之上。
11. 根据权利要求 10 所述的晶体管的制造方法,其特征在于,该源极或漏极与该 P-N 界面的堆栈相隔离。
12. 根据权利要求 10 所述的晶体管的制造方法,其特征在于,该基板材料选自砷化镓、氮化镓、硅、碳化硅、及蓝宝石。
13. 根据权利要求 10 所述的晶体管的制造方法,其特征在于,该缓冲层的结构是由多层的材料层所构成。
14. 根据权利要求 13 所述的晶体管的制造方法,其特征在于,该缓冲层的材料选自砷化镓、氮化镓、氮化铝、氮化镓铝、及上述材料的组合。
15. 根据权利要求 10 所述的晶体管的制造方法,其特征在于,该源极或漏极的材料选

自钛、铝、钨、镍、及金。

16. 根据权利要求 10 所述的晶体管的制造方法,其特征在于,该 P-N 接面由一 P 型及一 N 型半导体层所构成。

17. 根据权利要求 10 所述的晶体管的制造方法,其特征在于,该 P-N 接面的材料选自砷化镓、氮化镓、氮化铝、及氮化镓铝。

18. 根据权利要求 10 所述的晶体管的制造方法,其特征在于,该栅极的材料选自铂、铝、钛、金、氮化钨、及上述材料的组合。

增强式高电子移动率晶体管及其制造方法

技术领域

[0001] 本发明涉及增强式高电子移动率晶体管 (High-Electron-Mobility Transistor, HEMT) 技术, 尤其涉及一种以 P-N 接面多层堆栈提高极限电压的增强式高电子移动率晶体管及其制造方法。

背景技术

[0002] 氮化镓高电子移动率晶体管由于具有高输出功率、高崩溃电压、耐高温等特性, 近年来已被应用于高功率元件中。然而由于其结构中的氮化镓 / 氮化铝镓具大量的极化电荷, 而形成二维电子气 (Two-Dimensional Electron Gas, 2DEG), 使得此类晶体管通常操作在空乏式 (Depletion Mode), 而属于常开式 (Normally On) 晶体管, 其极限电压 (Threshold Voltage, V_T) 为负值。因此, 此类晶体管即使在栅极偏压为零的情况下, 晶体管仍会导通电流, 形成额外的功率损耗, 也易导致高功率元件的不正常导通而引发电路的误动作。

[0003] 目前由于环保意识抬头, 使电动车受到高度重视, 而高功率的高电子移动率晶体管更为电动车的功率电路中不可或缺的电子元件。由于车用电路通常需在高偏压下操作, 此类环境容易伴随瞬间脉冲电压, 使晶体管在非预期情况下导通, 影响车辆的安全性。虽然已有现有技术提出以深凹陷式栅极结构 (Deeply Recessed Gate) 或四氟化碳 (CF₄) 等离子处理方式制作增强式 (Enhancement Mode) 的氮化镓高电子移动率晶体管, 而为常关式 (Normally Off) 的操作特性, 然而其极限电压至多只可提升至 +0.9V, 仍不足以满足实际应用电路上的需求。此外, 深凹陷式栅极结构须导入表面蚀刻制程, 而四氟化碳等离子处理方式也需利用等离子将氟离子导入元件中, 这两种方式都容易造成晶体管的表面状态 (Surface State) 密度增加, 影响晶体管的效能及可靠度。

发明内容

[0004] 本发明的一目的是提供一种增强式高电子移动率晶体管及其制造方法, 欲改善现有技术的深凹陷式栅极结构或四氟化碳等离子处理方式制作增强式氮化镓晶体管效能不佳的问题。

[0005] 本发明的另一目的是提供一种增强式高电子移动率晶体管及其制造方法, 欲大幅提高增强式高电子移动率晶体管的极限电压。

[0006] 为达成上述的目的, 在本发明的一方面揭示一种增强式高电子移动率晶体管, 包括: 一缓冲层, 磊晶于一基板上; 一源级及一漏极, 形成于该缓冲层上; 多个 P-N 接面, 其是由多层堆栈的 P-N 接面形成于该缓冲层上、及该源级与漏极之间; 及一栅极, 形成于该 P-N 接面的堆栈上; 其中该 P-N 接面由一 P 型及一 N 型半导体层所构成。

[0007] 其中, 该源级或漏极与该 P-N 接面的堆栈相隔离。

[0008] 其中, 该基板材料选自砷化镓、氮化镓、硅、碳化硅、及蓝宝石。

[0009] 其中, 该缓冲层的结构由多层的材料层所构成。

[0010] 其中, 该缓冲层的材料选自砷化镓、氮化镓、氮化铝、氮化镓铝、及上述材料的组

合。

[0011] 其中,该缓冲层的结构由上而下依序为氮化镓铝/氮化镓/氮化铝、或氮化镓/氮化镓铝/氮化铝/氮化镓/氮化铝。

[0012] 其中,该源级或漏极的材料选自钛、铝、钨、镍、及金。

[0013] 其中,该 P-N 接面由一 P 型及一 N 型半导体层所构成。

[0014] 其中,该 P-N 接面的材料选自砷化镓、氮化镓、氮化铝、及氮化镓铝。

[0015] 其中,该栅极的材料选自铂、铝、钛、金、氮化钨、及上述材料的组合。

[0016] 在本发明的另一方面揭示一种增强式高电子移动率晶体管的制造方法,其包括下列步骤:提供一具有一缓冲层的基板;形成多个 P-N 接面,多层堆栈于该缓冲层上;去除于预定的栅极区域之外的 P-N 接面堆栈;于该缓冲层上及分别于该预定栅极区域的两侧形成一源级及漏极;及形成一栅极于该 P-N 接面堆栈之上。

[0017] 其中,该源级或漏极与该 P-N 接面的堆栈相隔离。

[0018] 其中,该基板的材料选自砷化镓、氮化镓、硅、碳化硅、及蓝宝石。

[0019] 其中,该缓冲层的结构是由多层的材料层所构成。

[0020] 其中,该缓冲层的材料选自砷化镓、氮化镓、氮化铝、氮化镓铝、及上述材料的组合。

[0021] 其中,该缓冲层的结构由上而下依序为氮化镓铝/氮化镓/氮化铝、或氮化镓/氮化镓铝/氮化铝/氮化镓/氮化铝。

[0022] 其中,该源级或漏极的材料选自钛、铝、钨、镍、及金。

[0023] 其中,该 P-N 接面由一 P 型及一 N 型半导体层所构成。

[0024] 其中,该 P-N 接面的材料选自砷化镓、氮化镓、氮化铝、及氮化镓铝。

[0025] 其中,该栅极的材料选自铂、铝、钛、金、氮化钨、及上述材料的组合。

[0026] 本发明的增强式高电子移动率晶体管及其制造方法,可改善现有技术的深凹陷式栅极结构或四氟化碳等离子处理方式制作增强式氮化镓晶体管效能不佳的问题。并大幅提高增强式高电子移动率晶体管的临限电压。

[0027] 以下结合附图和具体实施例对本发明进行详细描述,但不作为对本发明的限定。

附图说明

[0028] 图 1 根据本发明的增强式高电子移动率晶体管的一实施例的结构剖面示意图;

[0029] 图 2 根据本发明另一实施例的增强式高电子移动率晶体管制造方法的示意流程图;

[0030] 图 3 至图 9 根据本发明实施例应用于与现有的场效晶体管整合的元件结构流程示意图。

[0031] 其中,附图标记:

[0032] 10:晶体管

[0033] 11:基板

[0034] 12:缓冲层

[0035] 121:缓冲层的氮化镓

[0036] 122:缓冲层的氮化镓铝

- [0037] 13 :源级
- [0038] 14 :漏极
- [0039] 15 :P-N 界面
- [0040] 151 :P-N 界面的 N 型区
- [0041] 152 :P-N 界面的 P 型区
- [0042] 16 :栅极
- [0043] 18 :光刻胶

具体实施方式

[0044] 为使贵审查委员能对本发明的特征、目的及功能有更进一步的认知与了解,兹配合图式详细说明如后:

[0045] 请参照图 1,为根据本发明的具有多重 PN 界面的增强式高电子移动率晶体管的一实施例的结构剖面示意图。如图所示,本实施例的增强式高电子移动率晶体管 10 在结构上包括:一基板 11、一缓冲层 12、一源级 13 及漏极 14、多个 P-N 界面 15 的多层堆栈、及一栅极 16。该基板 11 用以支持建构于其上的半导体元件,其材料并没有特殊的限定,可以是砷化镓 (GaAs)、氮化镓 (GaN)、硅 (Si)、碳化硅 (SiC)、蓝宝石 (Sapphire)、或其它半导体材料。一多层结构的缓冲层 12 磊晶于该基板 11 上,各层由上而下依序为氮化镓铝 (AlGaN)/氮化镓/氮化铝 (AlN);其最上层的氮化镓铝层及氮化镓层间形成有阱区 (Well),以提供半导体元件及场效晶体管通道 (Channel) 的建构区;该缓冲层也可适度地缓和该基板及元件建构区之间的材料结晶不匹配,而影响元件的制造或特性;缓冲层 12 的材料也可以是砷化镓、氮化镓、氮化铝、氮化镓铝、及上述材料的组合。一源级 13 及漏极 14 分别形成于该缓冲层 12 上及该晶体管通道的两侧,其材料为金属,可以是钛 (Ti)、铝 (Al)、钨 (W)、镍 (Ni)、或金 (Au),但并不限于此。

[0046] 为了有效提高增强式高电子移动率晶体管的临限电压,本实施例于晶体管通道所在的该缓冲层 12 上,成长 P-N 型界面 15,下层为 N 型 151 且上层为 P 型 152 半导体;其材料可以是砷化镓、氮化镓、氮化铝、或氮化镓铝,并以磊晶或化学气相沉积的工艺形成,但不以此为限,也可采用其它的半导体材料及工艺。由于单一个 P-N 界面的内建电压约为 0.7V,当与现有的场效晶体管整合,可使晶体管导通所需的临限电压提升约 0.7V。在某些特定应用的电路中,为了避免晶体管遭受不正常的开启,本实施例的晶体管将多层堆栈 M 个 P-N 界面 15 于该缓冲层上,则晶体管的临限电压将可提高 0.7V 的整数倍,或是说提高 $0.7 \times M$ V。例如,若一晶体管的临限电压希望为 50V,则其结构设计为 72 个 P-N 界面多层堆栈于该缓冲层上,临限电压可提高约 50V;而 M 值的选用,端视实际需要而定,并没有一定的限定。最后,一栅极 16 形成于该 P-N 界面的堆栈上,而达成一高临限电压的高电子移动率晶体管;该栅极 16 的材料可为铂 (Pt)、铝、钛 (Ti)、金、氮化钨 (WNx)、或上述材料的组合;其中该源级 13 或漏极 14 与该 P-N 界面 15 的堆栈相隔离。

[0047] 根据本发明的另一实施例,提供一种增强式高电子移动率晶体管的制造方法,其步骤流程请参照图 2。首先,步骤 21 提供一具有缓冲层的基板,该基板材料并没有特殊的限定,可以是砷化镓、氮化镓、硅、碳化硅、蓝宝石、或其它半导体材料;该缓冲层的材料可以是砷化镓、氮化镓、氮化铝、氮化镓铝、及上述材料多层的组合,例如:由上而下依序为一氮

化镓铝 / 氮化镓 / 氮化铝、或氮化镓 / 氮化镓铝 / 氮化铝 / 氮化镓 / 氮化铝。其次,步骤 23 形成多个 P-N 界面,多层堆栈于该缓冲层上,其中该单一个 P-N 型界面的下层为 N 型且上层为 P 型半导体;其材料可以是砷化镓、氮化镓、氮化铝、或氮化镓铝,并以磊晶或化学气相沉积的工艺形成,但不以此为限,也可采用其它的半导体材料及工艺。再其次,步骤 25 将栅极的预定区域之外的 P-N 界面堆栈去除,可采用光微影蚀刻 (Photolithography) 或其它的半导体工艺技术。又其次,步骤 27 则于该缓冲层上、及分别于该预定栅极区域的两侧形成一源级及漏极,其材料为金属,可以是钛、铝、钨、镍、或金,但并不限于此。最后,步骤 29 于该 P-N 界面堆栈之上形成一栅极,而完成一高临限电压的高电子移动率晶体管,其材料可为铂、铝、钛、金、氮化钨、或上述材料的组合;其中该源级或漏极与该 P-N 界面的堆栈相隔离。

[0048] 本发明的另一方面,也可与现有的空乏式或增强式场效晶体管进行整合,进一步提升晶体管之临限电压,以下举一例子说明。首先以图 3 所示意的氮化镓铝 122/ 氮化镓 121 的磊晶基板 11,利用光微影蚀刻技术,以光刻胶 18 定义出栅极区域,接着进行四氟化碳等离子处理,如图 4 所示,使氟离子进入氮化铝镓 122 的通道层中,以空乏通道中的电荷,使晶体管成为增强式场效晶体管。接着将光刻胶 18 移除,并成长 P-N 界面 15 的多层堆栈,如图 5 所示;如此可以利用氟离子空乏通道中的电荷的优点,及结合多层堆栈 P-N 界面提升晶体管临限电压的功效。接着将晶体管栅极区域以外的 P-N 界面多层堆栈去除,保留栅极下方的 P-N 界面多层堆栈,用以控制临限电压,如图 6 所示。接着制作晶体管的源级 13 (图中用 S 表示) 及漏极 14 (图中用 D 表示),如图 7 所示。接着以光微影蚀刻技术的光刻胶层定义出栅极区域,蒸镀金属层作为栅极 16 电极及该 P-N 界面之欧姆接触,如图 8 所示。最后,以金属剥离 (Lift-off) 技术,利用丙酮辅以超音波震荡的方式,将多余的光刻胶剥落,完成具多层堆栈 PN 界面的增强式场效晶体管结构,如图 9 所示。

[0049] 当然,本发明还可有其它多种实施例,在不背离本发明精神及其实质的情况下,熟悉本领域的技术人员可根据本发明作出各种相应的改变和变形,但这些相应的改变和变形都应属于本发明权利要求的保护范围。

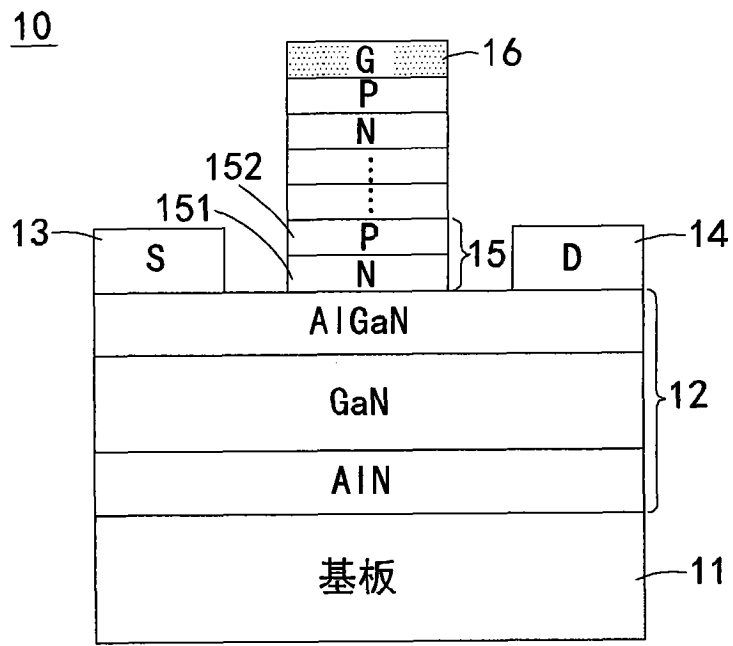


图 1

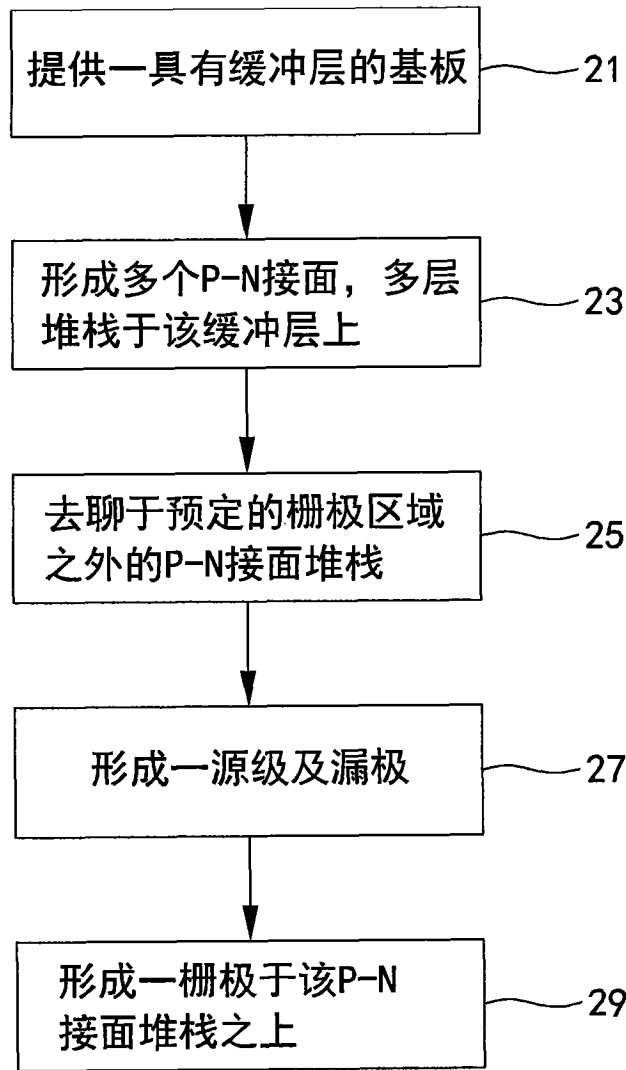


图 2

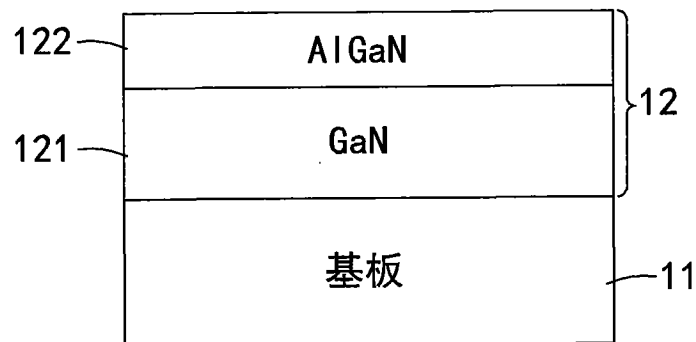


图 3

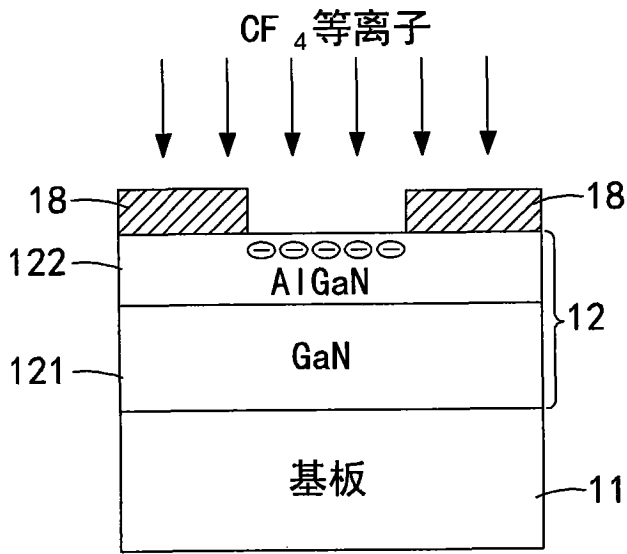


图 4

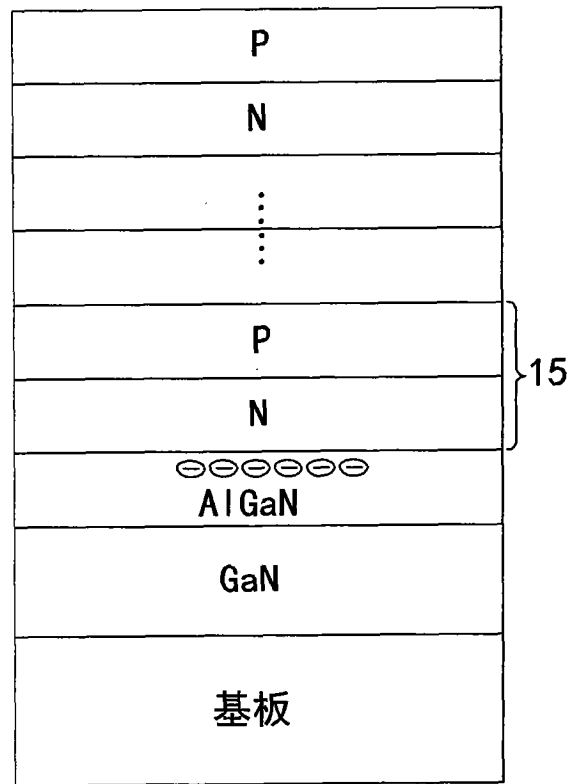


图 5

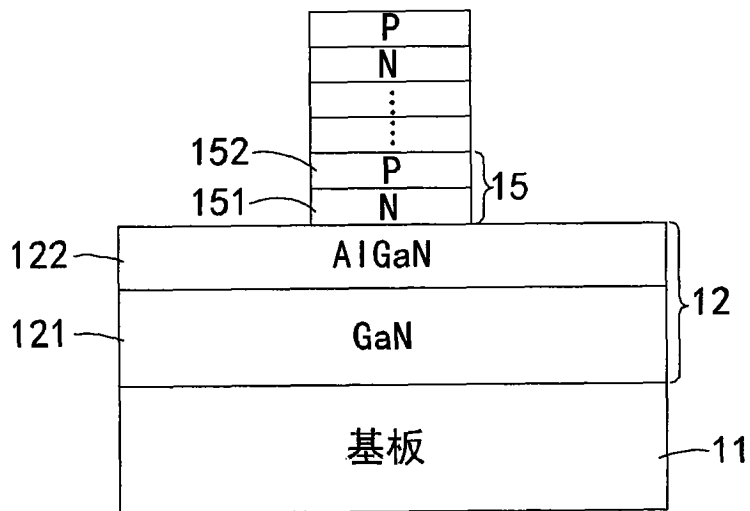


图 6

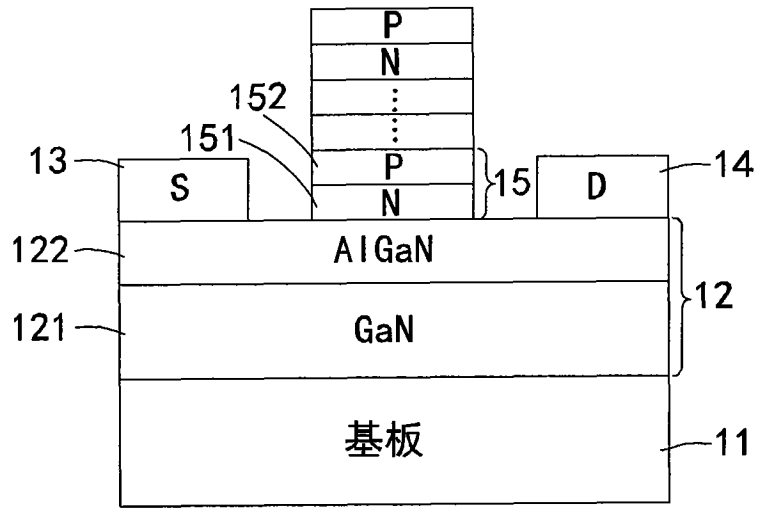


图 7

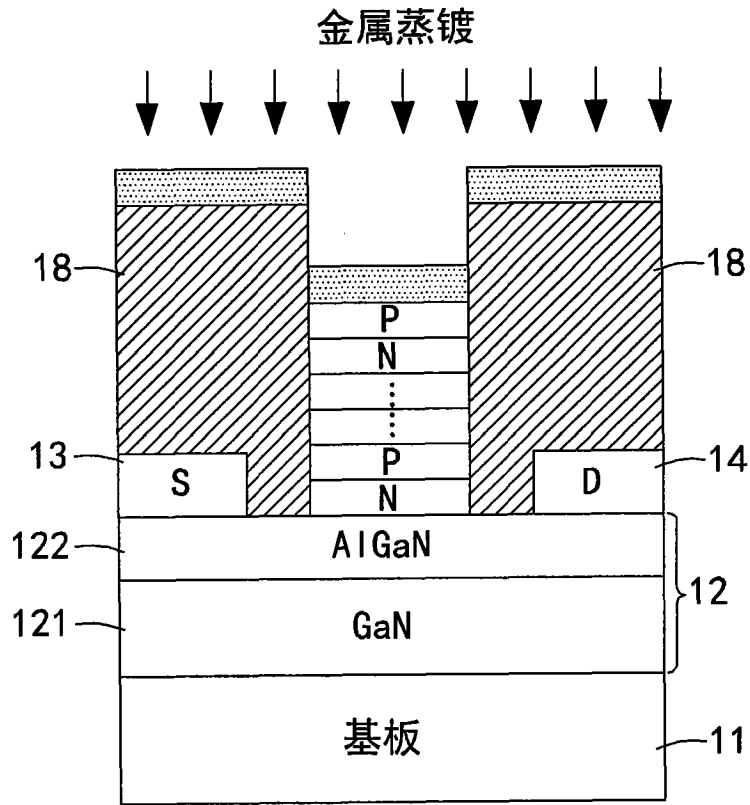


图 8

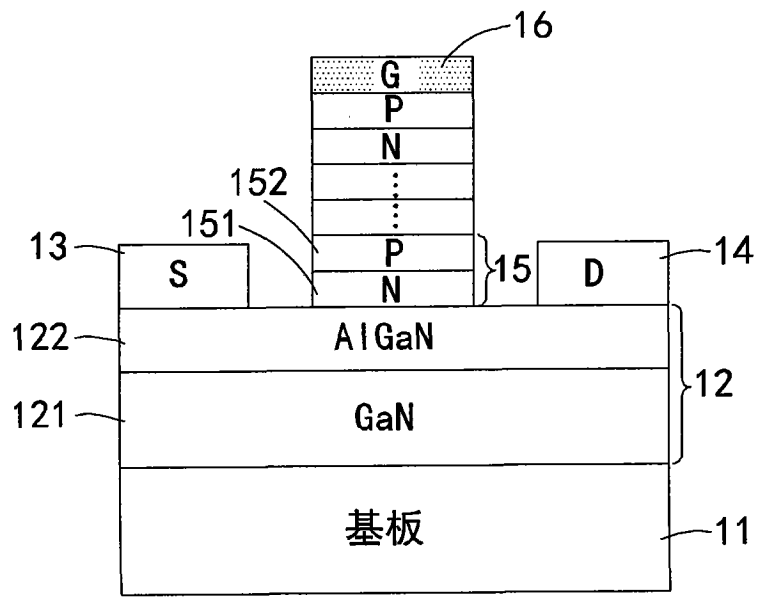


图 9