



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년11월02일
 (11) 등록번호 10-0712461
 (24) 등록일자 2007년04월23일

(51) Int. Cl.
H01L 29/78(2006.01)
 (21) 출원번호 10-1997-0072217
 (22) 출원일자 1997년12월23일
 심사청구일자 2002년12월18일
 (65) 공개번호 10-1998-0064498
 공개일자 1998년10월07일
 (30) 우선권주장
 96-347138 1996년12월26일 일본(JP)
 97-339637 1997년12월10일 일본(JP)
 (56) 선행기술조사문헌
 04150068
 05559368
 1019960026939
 63241967

(73) 특허권자
가부시끼가이샤 히다치 세이사꾸쇼
 일본국 도쿄도 치요다쿠 마루노우치 1초메 6반 6고
 (72) 발명자
히사모토 다이
 미국 캘리포니아주 94706 알바니 솔라노 에비뉴 아파트 8, 1400
스도우 요시미
 일본국 도쿄도 아키투노시 아메마 1858-13
 (74) 대리인
특허법인 원전

전체 청구항 수 : 총 12 항

심사관 : 임동우

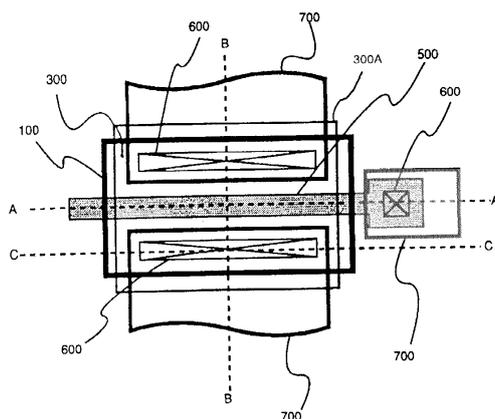
(54) 반도체장치및그제조방법

(57) 요약

반도체장치, 특히 SOI(Silicon On Insulator)구조의 절연게이트형 전계효과트랜지스터에 관한 것으로서, SOI-MOSFET에서는 얇은 단결정실리콘층의 바닥부에는 절연층(또는 절연기관)이 있기 때문에 채널하부에서 바이어스할 수가 없어 불안정한 동작을 일으키는 “기관플로팅”이라 불리는 문제를 해결하기 위해, 주면이 절연체로 이루어지는 지지본체, 절연체주면에 패턴형성된 제1 도전형 단결정반도체층, 단결정반도체층의 주면에 형성된 게이트절연막, 게이트절연막상에 패턴형성된 제1 게이트층 및 상기 제1 게이트층에 접속된 제2 게이트층을 포함하고, 제2 게이트층은 상기 단결정반도체층의 측면부에서 접속되어 있는 구성으로 하였다.

이렇게 하는 것에 의해서, 게이트전극이 채널로 되는 기관과 전기적으로 접속되어 있기 때문에 채널에 대해서 급전할 수 있으므로 기관플로팅의 문제를 억제할 수 있다는 효과를 얻을 수 있다.

대표도 - 도1



특허청구의 범위

청구항 1

절연체를 구비하는 주면을 갖는 지지기판;
상기 절연체 주면에 패턴형성된 제1 도전형의 단결정 반도체층;
상기 단결정 반도체층의 주면에 형성된 게이트절연막;
상기 게이트절연막상에 패턴형성된 제1 게이트층 및;
상기 제1 게이트층에 접속되는 제2 게이트층을 포함하고,
상기 제2 게이트층은 상기 단결정 반도체층의 측면부에서 접속되는 것을 특징으로 하는 반도체장치.

청구항 2

제1항에 있어서,
상기 지지기판은
단결정 반도체와
상기 반도체 주면에 형성된 실리콘산화막을 갖는 절연체를 포함하는 것을 특징으로 하는 반도체장치.

청구항 3

절연체를 구비하는 주면을 갖는 지지기판;
상기 절연체 주면에 형성된 직사각형을 갖는 제1 도전형의 단결정 반도체층;
상기 단결정 반도체층의 주면에 형성된 게이트절연막;
상기 게이트절연막상에 패턴형성된 제1 게이트층 및;
상기 제1 게이트층에 접속되는 제2 게이트층을 포함하고,
상기 제2 게이트층은 상기 단결정 반도체층이 서로 대향하는 양측면부에서 접속되는 것을 특징으로 하는 반도체장치.

청구항 4

제3항에 있어서,
상기 지지기판은
단결정 반도체와
상기 반도체 주면에 형성된 실리콘산화막을 갖는 절연체를 포함하는 것을 특징으로 하는 반도체장치.

청구항 5

제3항에 있어서,
상기 제1 게이트층은 다결정실리콘과 티탄나이트라이드의 적층막을 포함하고,
상기 제2 게이트층은 다결정 실리콘을 포함하는 것을 특징으로 하는 반도체장치.

청구항 6

절연체를 구비하는 주면을 갖는 지지기판;
상기 절연체 주면에 형성된 여러개의 직사각형을 갖는 제1 도전형의 단결정 반도체층;
상기 각각의 단결정 반도체층의 주면에 형성된 게이트절연막;

상기 각각의 게이트절연막상에 패턴형성된 제1 게이트층 및;

상기 여러개의 단결정 반도체층상으로 연장하여 형성되고 상기 제1 게이트층에 접속되는 제2 게이트층을 포함하고,

상기 제2 게이트층은 상기 각각의 단결정 반도체층의 측면부에서 접속되는 것을 특징으로 하는 반도체집적회로 장치.

청구항 7

절연체상에 탑재된 단결정 반도체층 및

상기 단결정 반도체층상에 형성된 게이트, 소오스 및 드레인전극을 갖는 절연게이트형 전계효과 트랜지스터를 포함하고,

상기 게이트전극은 상부게이트층과 하부게이트층의 2층구조를 갖고, 상기 상부게이트층은 상기 절연게이트형 전계효과 트랜지스터의 채널형성영역에 전기적으로 접속되는 것을 특징으로 하는 반도체장치.

청구항 8

제7항에 있어서,

상기 단결정 실리콘층의 측면과 상기 게이트전극은 서로 접촉되어 있는 것을 특징으로 하는 반도체 장치.

청구항 9

제7항에 있어서,

상기 하부게이트층과 활성영역은 동일 패턴으로 형성되는 것을 특징으로 하는 반도체장치.

청구항 10

절연체를 포함하는 주면을 갖는 지지기판;

상기 절연체 주면에 패턴형성된 제1 도전형의 반도체층;

상기 제1 도전형 반도체층의 주면에 형성된 게이트절연막;

상기 게이트절연막상에 패턴형성된 제1 게이트층 및;

상기 제1 게이트층에 접속되는 제2 게이트층을 포함하고,

상기 제2 게이트층은 상기 제1 도전형의 반도체층의 측면부에서 상기 제1 도전형의 반도체층에 전기적으로 접속되는 것을 특징으로 하는 반도체장치.

청구항 11

기판;

상기 기판상에 형성된 절연층;

상기 절연층상에 패턴형성된 실리콘층;

상기 실리콘층이 주면에 형성된 게이트 절연막 및;

상기 절연층, 상기 실리콘층 및 상기 게이트절연막상에 패턴형성된 게이트층을 포함하고,

상기 게이트층은 상기 실리콘층의 측면부에서 상기 실리콘층에 전기적으로 접속되는 것을 특징으로 하는 반도체 장치.

청구항 12

제11항에 있어서,

상기 실리콘층은 확산층을 포함하고,

상기 실리콘층과 상기 게이트층 사이의 상기 확산층과 콘택트부는 서로 떨어져 배치되어 있는 것을 특징으로 하는 반도체장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <31> 본 발명은 반도체장치, 특히 SOI(Silicon On Insulator)구조의 절연게이트형 전계효과트랜지스터에 관한 것이다.
- <32> 절연기관상의 얇은 단결정실리콘층에 형성된 SOI-MOSFET는 실리콘의 미세가공프로세스를 사용해서 하나의 기관상에 대집적화할 수 있다. 또, 종래의 단결정실리콘기관을 사용한 경우에 비해 형성된 트랜지스터가 갖는 기생용량이 작기 때문에 고속 동작에 적합하다는 점에서 주목받아 왔다.
- <33> 종래의 단결정실리콘기관을 사용한 반도체장치(MOSFET)에서는 기관전극을 사용해서 채널부에 바이어스하고 있다. 이것에 대해 SOI-MOSFET에서는 얇은 단결정실리콘층의 바닥부에는 절연층(또는 절연기관)이 있기 때문에 채널하부에서 바이어스할 수가 없어 불안정한 동작을 일으키는 “기관플로팅”이라 불리는 과제가 있었다.
- <34> 즉, NMOS(N채널MOS)에서는 채널부에 홀이 축적되는 것에 의해 오프상태에서 큰 누설전류를 흐르게 하는 것, 또 온상태에서도 전류특성에 키크(kink effect)를 발생하는 것 등이 보고되어 있다. 이 문제는 충돌전리계수(impact ionization)가 큰 NMOS에 있어서 현저하게 나타나는 것이 알려져 있다.
- <35> 이 과제를 해결하기 위한 기술은 예를 들면 일본국 특허공개공보 평성4-34980호 또는 일본국 특허공개공보 평성7-273340호에 개시되어 있다.
- <36> 또, IEEE Electron Devices Letters, 1994년 12월호 제510페이지~제512페이지에 기술되어 있는 바와 같이, 채널부(P-silicon)에 게이트전극을 거쳐서 바이어스하는 것이 고려되고 있다. 이 기관과 게이트를 연결한 구조를 갖는 MOSFET는 FET와 횡형 바이폴라다이오드를 공존시킨 디바이스로 간주할 수 있다. 이와 같은 MOSFET에 의하면, 특히 저전압동작(0.6V 이하)에 있어서 우수한 특성을 얻을 수 있다는 것이 보고되어 있다.
- <37> 도 22는 상기 문헌에 개시되어 있는 디바이스구조를 도시한 평면배치도이다. 평면배치는 종래의 단결정실리콘기관에 형성된 MOSFET와 동일한 배치를 채용하고 있다. 이 구조의 특징은 얇은 단결정실리콘층으로 이루어지는 활성영역(100)의 일부가 게이트(전극)(500)과 동일 형상으로 패터닝되어 있다. 그리고, 게이트의 콘택트(600)에 있어서 그 게이트(500)과 동시에 활성영역에 대해서 배선에 의해 접촉되어 있다.
- <38> 도 23은 도 22의 활성영역(100)만을 도시한 것으로서, 게이트의 콘택트부에서는 소위 도그본(dog bone) 모양으로 활성영역이 패터닝되어 있다. 콘택트의 단면구조를 도 24에 도시한다. 도 24에 도시한 단면구조는 A-A 절단단면도이다. 도 24에 도시한 바와 같이, 게이트(500)와 활성영역(100)의 콘택트는 게이트(500) 및 게이트산화막(910)을 관통한 콘택트홀을 형성하고, 상기 게이트산화막(910)하부의 활성영역(100)을 노출시켜 상기 콘택트홀내에 형성한 금속배선(700)에 의해서 달성된다.

발명이 이루고자 하는 기술적 과제

- <39> 상기 문헌에 개시된 기술에서는 활성영역을 가공할 때 미리 게이트에 일치시킨 미세한 패터닝을 실행할 필요가 있다. 콘택트형성시에는 게이트를 관통하는 가공을 실행하고 또한 박막실리콘층을 관통하지 않도록 가공을 멈출 필요가 있다. 그리고, 게이트로의 콘택트를 게이트층측면(콘택트홀내벽)에서 실행하지 않으면 안된다. 이 때문에 통상의 MOS트랜지스터프로세스(종래의 단결정기관에 MOS트랜지스터를 형성하기 위한 프로세스)와 결합성을 취할 수 없다는 가공상의 문제가 있어 집적화에는 적합하지 않다.
- <40> 따라서, 특수한 가공을 실시하는 일 없이 기관플로팅의 문제를 해결할 필요가 있다.
- <41> 본 발명의 목적은 채널형성영역에 전위를 인가하는 새로운 SOI구조의 반도체장치를 제공하는 것이다.
- <42> 본 발명의 다른 목적은 채널형성영역에 전위를 인가하는 새로운 SOI구조의 절연게이트 전계효과트랜지스터가 하

나의 지지본체에 여러개 구성된 반도체집적회로장치를 제공하는 것이다.

<43> 또, 본 발명의 다른 목적은 채널형성영역에 전위를 인가하기 위한 새로운 SOI구조의 반도체장치의 제조방법을 제공하는 것이다.

발명의 구성 및 작용

<44> 본 발명의 반도체장치에 의하면 절연체상에 반도체단결정층이 마련되고, 이 반도체단결정층에 형성된 게이트, 소오스, 드레인전극을 갖는 절연게이트형 전계효과트랜지스터를 포함하는 반도체장치에 있어서, 게이트전극이 상부게이트층 및 하부게이트층의 2층구조로 이루어지고, 그 상부게이트층이 상기 절연게이트형 전계효과트랜지스터의 채널형성영역과 전기적으로 접속되어 있는 것을 특징으로 한다.

<45> 본 발명에 의하면, 게이트전극을 거쳐서 기관바이어스되어 있으므로 기관플로팅의 문제는 회피할 수 있다.

<46> 또, 후술하는 형성공정의 설명에서 명확한 바와 같이, 본 발명의 구조는 자기정합적으로 실현되기 때문에, 종래 기술과 같은 가공상 정합성을 취할 수 없다는 등의 문제를 발생시키는 일이 없는 것은 명확하다.

<47> 즉, 하부게이트전극의 가공시에 SOI층(반도체단결정층)까지 연속해서 에칭에 의해 가공하고 SOI층의 측면을 노출시킨다. 이 가공에 의해 게이트와 SOI층(즉, 채널형성영역)의 콘택트를 위한 측면부가 형성된다. 그리고 하부게이트층상에 상부게이트층을 퇴적하는 것에 의해서 자동적으로 하부게이트층과 SOI층이 그 측면부에 있어서 접속된다.

<48> 이하, 본 발명의 상세한 내용을 실시예에 따라 설명한다.

<49> 도 1은 본 발명에 있어서의 제1 실시예로서, SOI구조의 반도체장치를 마스크레이아웃으로 나타낸 대표적인 평면도이다. 먼저, N채널형 절연게이트 전계효과트랜지스터(이하, 간단히 'NMOS'로서 나타낸다)로 예를 들고, 그 구조 및 형성공정을 설명한다.

<50> 굵은 선으로 나타낸 직사각형의 활성영역(얇은 단결정실리콘층)(100)상에 걸쳐 있도록 게이트패턴(500)이 위치되어 있다. (300A)는 N형 불순물을 이온주입해서 NMOS의 소오스, 드레인전극을 형성할 때의 개구마스크의 위치를 나타낸다. (600)은 소오스영역, 드레인영역 및 게이트전극 각각에 대한 배선의 콘택트부를 나타낸다. 또, (700)은 배선의 위치를 나타내고 있다.

<51> 상기 배치의 NMOS의 단면구조를 도 2, 도 3, 도 4에 도시한다. 도 2, 도 3 및 도 4는 각각 도 1에 있어서의 A-A선(채널수직방향 또는 채널폭방향), B-B선(채널길이방향) 및 C-C선에서의 절단단면이다. 각각의 도면에 있어서, (120)은 예를 들면 고저항 단결정실리콘으로 이루어지는 지지본체이다. (110)은 절연막으로서 예를 들면 실리콘산화막으로 이루어진다. (100)은 절연막(110)상에 위치한 제1 도전형 단결정실리콘층(즉, SOI층)이다. (910)은 게이트절연막으로서 구체적으로는 실리콘산화막으로 이루어진다. (550)은 하부게이트층, (500)은 상부게이트층이다. (350)은 제1 도전형에 대해 반대의 도전형을 나타내는 소오스, 드레인확산층이다. 채널부의 실리콘, 즉 SOI층(100)은 저농도의 P도전형을 나타낸다. 소오스, 드레인확산층은 N도전형을 나타낸다. (700)은 금속배선층을 나타내고 각각의 확산층 및 전극에 접속되어 있다.

<52> 본 발명의 특징을 도 2에 도시한다. 도 2에 있어서, SOI층(100)에 있어서의 서로 대향하는 양측면은 게이트절연막(910)이 없기 때문에 상부게이트층(500)과 접하고 있어 전기적 도통이 취해지고 있다. 따라서, 금속배선(700)에 인가된 바이어스는 상층게이트층(500)을 거쳐서 SOI층(100)(게이트전극하부의 채널형성영역)에 인가된다. 또, 하부게이트층(550)은 게이트절연막(910)을 거쳐서 전계효과를 미치고, 전계효과트랜지스터(FET)로서의 동작을 실행할 수 있다. 그리고, 도 4에 도시한 바와 같이, SOI층(100)의 측면과 확산층(350)이 떨어져 배치되어 있다. 즉, 확산층(350)과 SOI층(100)으로 구성되는 PN접합은 SOI층(100)의 측면에 도달하지 않도록 그 SOI층(100)내에 형성된다. 게이트와의 콘택트부와 확산층 사이에 거리가 있기 때문에 게이트와 드레인간의 내압은 충분히 얻을 수 있다.

<53> 도 3에 도시한 단면구조에 대응시켜서 다른 실시예를 각각 도 5, 도 6 및 도 7에 도시한다.

<54> 도 5에 도시한 제2 실시예는 SOI층(100)을 박막화한 경우를 도시하고 있다. 이 SOI층(100)의 두께는 예를 들면 10nm를 갖고, 게이트절연막(910)의 두께는 그 SOI층(100)의 두께의 약 1/2이다.

<55> 이 실시예에 있어서의 게이트와 채널형성영역의 전기적인 접속은 도 2에 도시한 구조에 의해 달성된다.

<56> 이 실시예에 의하면, 서브스레시홀드동작영역에서의 특성개선이 도모된다. 즉, 게이트전극과 채널형성영역이

전기적으로 접속되어 있기 때문에, 트랜지스터(NMOS)의 게이트전압(VG)=0V일 때(오프상태)에는 그 트랜지스터의 오프상태를 강하게 한다. 즉, 스레시홀드전압을 높인다. 따라서, 서브스레시홀드 누설전류의 저감을 도모할 수 있다.

- <57> 또, SOI구조의 고유의 효과이지만 확산층의 기생용량을 저감할 수가 있다.
- <58> 도 6에 도시한 제3 실시예는 LDD구조로서 알려져 있는 얇은 저농도불순물확산층(340)을 마련한 SOI구조의 NMOS이다. 즉, 이 확산층금속배선이 접속되어 있는 소오스, 드레인확산층보다 저농도를 갖고 또한 얇게 형성되어 있다. 이와 같이 LDD구조를 채용한 것에 의해, 열전자효과를 저감할 수 있어 SOI구조의 NMOS의 미세화가 도모된다.
- <59> 그리고, 이 실시예에 있어서의 게이트와 채널형성영역의 전기적인 접속은 도 2에 도시한 구조에 의해 달성된다.
- <60> 또한, 도 6에 있어서, 게이트전극(500), (550)에 대한 사이드월스페이서는 생략되어 있다.
- <61> 도 7에 도시한 제4 실시예는 DDD(Double Diffused Drain)구조라 불리는 저농도확산층(340)에 의해 금속배선(700)이 접속되는 고농도확산층(350)을 둘러싼 구조로서, 드레인내압을 향상시킬 수 있다.
- <62> 이 실시예에 있어서도 게이트와 채널형성영역의 전기적인 접속은 도 2에 도시한 구조에 의해 달성된다.
- <63> 또한, 도 7에 있어서, 고농도확산층(350)은 게이트전극(500), (550)의 끝부에서 떨어져 있다. 그러나, 실제로는 저농도확산층(340)과 마찬가지로 게이트전극(500), (550)의 끝부에 대해서 자기정합으로 형성되어 있다. 이 때문에, 게이트절연막(109)에 접한 고농도확산층(350)의 끝부는 게이트전극하부에 위치한다.
- <64> 다음에, 도 1에 도시한 제1 실시예의 제조방법을 설명한다.
- <65> 도 8~도 11은 제1 실시예의 제조과정을 도시한 단면구조도이다. 도 8~도 11은 도 1에 도시한 게이트를 포함한 반도체장치의 A-A선 절단단면에서의 제조과정이다.
- <66> 도 8에 도시한 바와 같이, 지지본체로서의 실리콘기판(120)상에 실리콘산화막(110)이 형성되어 있다. 실리콘기판(120)은 비교적 고저항의 단결정실리콘이다. 그리고, 그 실리콘산화막(110)상에 두께 100nm, P도전형의 1Ωcm의 저항율을 갖는 단결정실리콘층(SOI층)(100)이 형성된다. 이것에 의해, 개시재료(starting material)로서의 SOI기판이 준비된다. 그리고, 이 SOI기판표면에 열산화에 의해 10nm의 게이트산화막(910)을 형성하고, 그리고 CVD법을 사용해서 P도전형에 도핑된 다결정실리콘층(550)을 100nm 퇴적시킨다.
- <67> 다음에, 도 9에 도시한 바와 같이, 포토레지스트법을 사용해서 활성영역을 패터닝한다. 즉, 포토레지스트마스크를 사용해서 하부게이트층(550), 게이트절연막(910), SOI층(100)을 순차 에칭가공한다. 이 때, SOI층(100)측면을 활성영역 형태로 노출시킬 수 있다.
- <68> 또한, 활성영역은 절연게이트 전계효과 트랜지스터가 형성되는 영역을 말하고, 소오스, 드레인영역 및 그들 사이의 채널형성영역을 포함하고 있다.
- <69> 다음에, 도 10에 도시한 바와 같이, CVD법을 사용해서 고농도로 붕소를 도핑한 다결정실리콘(상부게이트층)(500)을 퇴적시킨다. 이것에 의해, 하부게이트층(550)과 SOI층(100)이 노출된 SOI층 측면에서 접속된다. 다결정실리콘층에 도핑된 붕소는 이후의 열처리공정(예를 들면 CVD보호막 형성등의 열처리)에 의해 SOI층 측면에서 확산하여 SOI층중에 고농도층을 형성한다. 이 고농도층은 프로세스를 저온화(예를 들면, 60000℃~700℃정도)하는 것에 의해 얇게 알 수 있기 때문에 도면중에서는 생략한다.
- <70> 다음에, 도 11에 도시한 바와 같이, 포토레지스트법에 의해 게이트전극을 패터닝한다. 구체적으로는, 이방성 드라이에칭에 의해 게이트전극의 가공을 실행한다. 이 때, SOI층(110)상에서는 상부게이트층(500)과 하부게이트층(550)을 함께 가공할 수 있다. 즉, 도 1에 도시한 바와 같이 게이트전극(500)이 형성된다.
- <71> 일반적으로, SOI층(100)과 같은 단차가 있으면, 그 SOI층 측면에 상부게이트층(550)의 에칭잔여물이 발생한다. 그러나, 게이트절연막(910)과 상부게이트층(550)의 에칭의 선택비가 높은 조건을 사용하는 것에 의해 가공할 수 있다.
- <72> 이하, 통상의 MOSFET와 동일한 형성공정이므로 도면은 생략한다. 게이트전극(500) 및 개구마스크(300A)(도 1 참조)를 마스크에 비소를 이온 도즈량 $5 \times 10^{15} \text{ cm}^{-2}$, 주입에너지 25keV로 가속한 이온주입하고, 그 후 어닐하는 것에 의해 확산층(소오스, 드레인영역)(300)을 형성한다. 개구마스크(300A)를 사용하는 것에 의해 확산층과 게이트전극과 접속되어 있는 SOI층 측면 사이를 0.3미크론(μm)떨어뜨렸다. 이것에 의해, 게이트(500)에서 SOI

층 표면으로 확산해서 형성되어 있는 P형 고농도층(얇은 접합이기 때문에 도시하지 않음)과 확산층(300)의 접합 내압을 높일 수 있다. 그리고, CVD법에 의해 BPSG(Boro-Phospho Silicate Glass)를 퇴적하고 열처리하는 것에 의해서 평탄화하고 난 후 각각의 전극에 콘택트를 형성한다. 금속배선을 퇴적가공하는 것에 의해 소자(NMOS)가 형성된다.

- <73> 상기의 공정에서 명확한 바와 같이, SOI층에는 콘택트패턴을 마련하는 일 없이 기판(100)과 게이트전극을 도통시킬 수 있다.
- <74> 또한, 여기서 사용한 도전형을 반대로 하는 것에 의해 PMOS(P채널MOS)를 형성할 수 있다. 또, 실리콘산화막(110)상에 P도전형 SOI층과 N도전형 SOI층을 각각 마련하고, PMOS형성용 마스크와 NMOS형성용 마스크를 구별하여 사용하는 것에 의해서 CMOS프로세서를 달성할 수 있다는 것은 명확하다.
- <75> 도 12는 제5 실시예를 도시한 도면이다. 특히, 큰 전류를 취하기 위해, 여러개의 게이트(전극)를 평행하게 배치한 소위 듀얼게이트구조를 갖는 SOI-NMOS의 레이아웃을 도시하고 있다. 도 12에 있어서, 확산층(300)은 활성영역(SOI층)(100)의 패턴보다 작게 형성되어 있다.
- <76> 이 실시예에 있어서도 각각의 게이트전극(500)은 도 2에 도시한 바와 같이, 상부게이트층 및 하부게이트층으로 이루어지는 2층구조를 갖고, 상부게이트층과 활성영역의 측면에 접촉되어 있다.
- <77> 본 발명의 구조 및 형성프로세스를 사용하면, 확산층과는 반대로전형을 갖는 전극(P도전형 게이트전극(500))과 활성영역의 콘택트는 그들이 동일 도전형이기 때문에 용이하게 달성할 수 있다. 또, 바이폴라트랜지스터가 동시에 얻어진다.
- <78> 도 13은 제6 실시예를 도시한 도면으로서, 그 바이폴라트랜지스터의 기본적인 배치를 도시한다. 예를 들면, PMOS의 경우 그 트랜지스터의 구성은 게이트(500)이 접속된 N도전형 SOI층을 N형 베이스로 하고, P형 소오스영역 및 P형 드레인영역을 각각 에미터 및 콜렉터로 하고, 횡형 PNP바이폴라트랜지스터로서 동작시킬 수 있다.
- <79> 도 14는 본 발명의 제7 실시예의 반도체장치의 평면배치도이다. 이 실시예는 MOSFET가 아니라 횡형 바이폴라트랜지스터만을 구성하고 있다. 즉, 도 14에 도시한 바와 같이, 전극(500)은 베이스인출전극으로서 패턴되어 있다. 상기 제6 실시예와 마찬가지로 이 전극(500)은 SOI층(100)측면에 접속되어 있다. 에미터영역 및 콜렉터영역은 개구마스크패턴(300), (310)을 마스크로 해서 주지의 이온주입에 의해 SOI층(100)내에 선택적으로 형성할 수 있다.
- <80> 도 15는 본 발명의 제8 실시예의 반도체장치의 평면배치도이다.
- <81> 도 15에 도시한 바와 같이, 링형상으로 활성영역(SOI층)(100)을 절연막(도시하지 않음)에 배치시켜 디바이스를 형성할 수가 있다. 이 디바이스는 예를 들면 SOI-MOSFET의 입력보호용 다이오드(PN접합다이오드)로서 적용할 수 있다. 즉, N도전형SOI층(100)에 P도전형 확산층(300)이 상기 절연막에 도달하도록 선택적으로 형성되어 있다. P도전형 고농도불순물확산층(300)이 형성되어 있는 링형상 SOI층(100)의 내측의 측면에는 전극(500)이 접촉되어 있다. 전극(500)주면 및 SOI층 주면에 층간절연막(도시하지 않음)이 피복되고, 이 층간절연막에는 콘택트홀(600)이 배치되어 있다. 그리고, 점선으로 나타낸 바와 같이, 양극(anode)배선 M_1 및 배선 M_2 가 접속되어 있다.
- <82> 이 실시예에 의하면, 전극(500)이 PN접합 전체에 대향해서 링형상 SOI층(100)의 내측의 측면에 접촉되어 있기 때문에 서지전류를 균일하게 흐르게 하는 것이 가능하다.
- <83> 다음에, 도 16~도 18에 제9 실시예인 다른 반도체장치의 제조방법을 도시한다.
- <84> 또한, 도 16~도 18에 도시한 단면도는 도 1에 도시한 A-A선 절단방향의 단면도에 대응한다.
- <85> 도 9에 도시한 하부게이트층(550)을 가공할 때, 하부게이트층(550)상에 실리콘질화막(925)를 퇴적하고 실리콘질화막(925) 및 하부게이트층(550)을 에칭하고 게이트절연막(910)에서 가공을 일단 정지시킨다. 다음에, 이미 알려진 CVD법과 드라이에칭(이방성 에칭)을 조합한 스페이서형성기술에 의해 하부게이트층(550)측면에 스페이서(920)을 형성할 수 있다(도 16).
- <86> 다음에, 실리콘질화막(925) 및 스페이서(920)을 마스크로 해서 SOI층(100)을 가공한다(도 17).
- <87> 다음에, 스페이서(920) 및 실리콘질화막(925)를 제거하고 하부게이트층(550)을 마스크로 해서 이온주입하는 것에 의해서, SOI층(100)주변부에 자기정합적으로 P도전형의 고농도불순물확산층(330)을 마련할 수 있다. 이

후, 도 10에 도시한 실시예 1의 형성프로세스(게이트에칭)를 실행하는 것에 의해 소자를 얻을 수 있다(도 18).

이 프로세스를 실행하는 것에 의해서 금속재를 상부게이트층(500)으로서 사용해도 SOI층(기판)과 쇼트키 배리어(schottky barrier)를 갖는 일 없이 저저항으로 도통을 얻을 수 있다.

- <88> 본 발명의 구조에서는 다른 재질을 적층하는 것에 의해 게이트를 형성할 수 있다는 것은 명확하고, 필요한 게이트저항을 얻도록 조합을 설계할 수 있다. 지금까지 2층의 게이트구성을 설명했지만 예를 들면 하부게이트를 N형 다결정실리콘과 그 N형 다결정실리콘상의 티탄나이트라이드(TiN)의 적층막으로 하고, 상부게이트를 P형 다결정실리콘으로 할 수가 있다. 즉, 게이트의 저저항화나 임계값(스레시홀드전압)설정을 위해 개발되어 있는 폴리사이드게이트나 살리사이드게이트(salicide gate)와 같은 적층게이트구조를 그대로 사용할 수 있다.
- <89> 도 19는 제10 실시예를 도시한 도면으로서, 상부게이트(500)와 하부게이트(550) 사이에 절연막(930)을 배치한 경우를 도시하고 있다. 이것에 의해, 용이하게 부유게이트형 메모리셀을 얻을 수 있다.
- <90> 따라서, SOI층(100)에 상기 실시예(예를 들면 제1 실시예)와 같은 상부게이트층 및 하부게이트층으로 이루어지는 2층구조를 갖고, 상부게이트층과 활성영역의 측면에 접촉되어 있는 MOSFET와 상기 부유게이트형 메모리셀이 탑재된 반도체집적회로장치를 형성하는 것이 가능하다.
- <91> 또, 도 20 및 도 21은 각각 제11 실시예 및 제12 실시예를 도시한 도면으로서, 상기 실시예의 MOSFET와 함께 SOI층(100)에 형성이 가능한 PN접합다이오드의 변형예를 도시한다.
- <92> 도 20에 도시한 다이오드는 P도전형SOI층(기판)(100)과 N형 층(370) 사이의 PN접합으로 구성된다. 이 다이오드의 형성방법을 이하 간단히 설명한다.
- <93> 먼저, 게이트절연막을 기판(100)표면에 배치하지 않고 하부게이트층(550) 및 상부게이트층(500)을 퇴적한다. 구체적으로는 도 8에 도시한 게이트절연막(910)을 형성한 후, 다이오드가 형성될 기판(100)표면에 형성된 게이트절연막(910)의 일부를 제거한다. 그리고, 하부게이트층(550) 및 상부게이트층(500)을 퇴적한다. 게이트전극패터닝공정에 의해 그 게이트절연막이 없기 때문에 기판(100)을 에칭할 수 있다. 이 때 형성되는 측면의 단차를 이용해서 절연막스페이서(960)을 형성한다. 그리고, 노출한 다결정실리콘(500) 및 기판(100)에 선택적으로 텅스텐(710)을 퇴적한다. 기판(100)에는 텅스텐퇴적전에 인을 이온주입하는 것에 의해 상기 절연막스페이서(960)에 의해서 규정된 N형층(370)을 형성한다. (360)은 게이트절연막이 없기 때문에 (550)에서 확산되어 오는 P형 불순물층을 나타낸 것이다.
- <94> 이 실시예는 2층 게이트패터닝에칭을 이용해서 PN접합다이오드를 선택적으로 형성할 수 있다.
- <95> CMOS프로세스에서는 게이트의 다결정실리콘에 N형 및 P형의 양자를 사용하고 있다. 이것을 이용하는 것에 의해서, 다이오드를 형성할 수 있다. 도 21에 대표적인 레이아웃을 도시한다. 활성영역(P도전형 SOI층)(100)의 좌측면(CNT1)에서 N도전형 영역으로의 콘택트가 실행되고, 우측면(CNT2)에서 P도전형 영역으로의 콘택트를 취할 수가 있다.
- <96> 또한, N도전형 영역(300)은 개구마스크(300A)를 사용한 비소이온의 주입에 의해 형성된다.
- <97> 본 발명에 의한 게이트와 기판(SOI층)의 콘택트(이하, 기판콘택트라고 한다)는 게이트가 여러개의 활성영역상에 걸쳐있을 때 유효하다. 즉, 본 발명은 고집적화에 적합한 구조이다. 도 25, 도 26 그리고 도 27은 제13, 제14 그리고 제15 실시예를 각각 도시한 도면이다. LSI에서 사용되고 있는 대표적인 활성영역(100)과 게이트(500)의 배치예를 각각 도시한다.
- <98> 종래의 기판콘택트에서는 여러개의 콘택트형성영역을 마련할 필요가 있다.
- <99> 그러나, 본 발명에 의하면 활성영역(100)의 측면에서 기판콘택트를 달성하고 있기 때문에 도 25~도 27에 각각 도시한 배치의 활성영역에 대한 기판콘택트가 용이하게 실행할 수 있다. 따라서, 고집적화된 저전압구동의 반도체집적회로장치가 얻어진다.
- <100> 그런데, 본 발명의 디바이스구조는 높은 전압($V_{CC} = 1.2V \sim 1.5V$)에서는 누설전류가 증대하기 때문에 특히 낮은 전압($V_{DL} \leq 0.6V$)에서의 동작에 있어서 효과가 있다. 이 때문에, 기판콘택트가 없는 SOI-MOSFET와 본 발명과 같은 기판콘택트를 갖는 SOI-MOSFET를 집적화한 반도체집적회로장치(이하, IC라고 한다)의 경우, 도 28에 도시한 바와 같은 전압리미터를 그 IC내에 마련하고, 구동전압 V_{DL} 에 의해서 동작시키는 내부회로를 상기 본 발명의 SOI-MOSFET에 의해 구성할 수 있다.

- <101> 또한 도 28에 있어서, 저항R1, R2는 기준전압Vref($\leq 0.6V$)가 얻어지도록 설정된다. DA는 차동앰프이다.
- <102> 본 발명의 SOI - MOSFET를 게이트보호회로소자로서 사용한 실시예를 도 29에 도시한다. 본 실시예에서는 IC 내에 있어서 본딩패드BP와 내부회로(1) 사이에 본 발명에서 구성된 큰 인버터(CMOS인버터)를 접속하는 것에 의해 게이트보호소자로서 동작시킬 수가 있다. 즉, 게이트전극은 전원V_{CC} 또는 접지선V_{SS}에 대해 각각 PN접합을 거쳐서 접속되어 있다. 이 때문에, 예를 들면 정의 서지전압이 본딩패드BP에 인가된 경우, NMOS의 PN접합을 통해서 접지선V_{SS}로 인출된다. 한편, 부의 서지전압이 본딩패드BP에 인가된 경우, PMOS의 PN접합을 통해서 접지선V_{CC}로 인출된다.
- <103> 본 발명에 의하면, 저전압에서 동작하는 특성을 갖는다. 따라서, 전압의 낮음이 과제였던 광기전력효과(phtovoltaic effect)를 이용한 수광소자, 예를 들면 태양전지와 본 발명의 SOI - MOSFET를 집적화할 수가 있다. 예를 들면, 도 30에 도시한 전자카드가 조립된다. 도 30에 있어서, 실리콘기판(120)에 마련된 웰에 수광소자(122)가 형성되고, 그 기판(120)의 일부에 매립산화막(110)이 형성되어 있다. 매립산화막(110)상에는 본 발명의 SOI - MOSFET가 형성되어 있다. 그리고, 예를 들면 투명한 수지체(10)에 의해 실리콘기판(120)이 봉지되어 있다. 그리고 또, 수지체(10)의 코너에는 외부단자(11)이 마련되어 있다.
- <104> 또한, 본 발명의 SOI - MOSFET를 기판(120)의 한쪽의 주면에 마련하고, 그 한쪽의 주면과는 반대인 다른쪽의 주면에 수광소자를 마련하고, 한쪽의 주면은 불투명한 수지체에 의해 보호하고 그리고 다른쪽의 주면은 투명한 수지체에 의해 보호해도 좋다.

발명의 효과

- <105> 이상, 본 발명에 의하면 게이트전극이 채널로 되는 기판과 전기적으로 접속되어 있기 때문에 채널에 대해서 급전할 수 있으므로 기판플로팅의 문제를 억제할 수 있다.

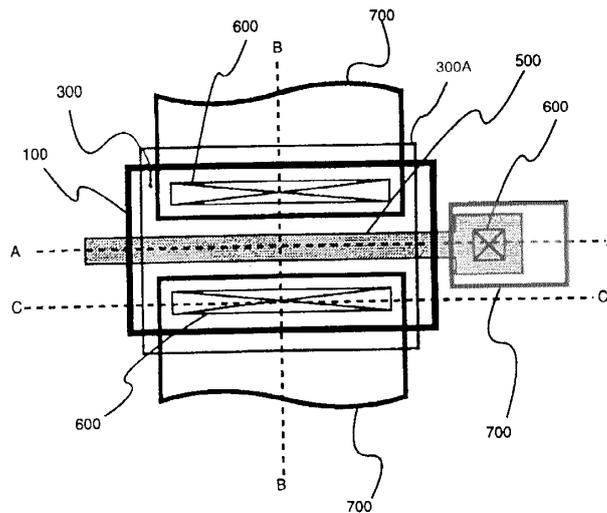
도면의 간단한 설명

- <1> 도 1은 본 발명의 제1 실시예인 반도체장치를 도시한 평면도,
- <2> 도 2는 도 1에 도시한 반도체장치의 A-A선 절단단면도,
- <3> 도 3은 도 1에 도시한 반도체장치의 B-B선 절단단면도,
- <4> 도 4는 도 1에 도시한 반도체장치의 C-C선 절단단면도,
- <5> 도 5는 본 발명의 제2 실시예의 반도체장치를 도시한 단면도,
- <6> 도 6은 본 발명의 제3 실시예의 반도체장치를 도시한 단면도,
- <7> 도 7은 본 발명의 제4 실시예의 반도체장치를 도시한 단면도,
- <8> 도 8은 도 1에 도시한 반도체장치의 제조과정을 도시한 단면도,
- <9> 도 9는 도 8에 계속되는 반도체장치의 제조과정을 도시한 단면도,
- <10> 도 10은 도 9에 계속되는 반도체장치의 제조과정을 도시한 단면도,
- <11> 도 11은 도 10에 계속되는 반도체장치의 제조과정을 도시한 단면도,
- <12> 도 12는 본 발명의 제5 실시예의 반도체장치의 평면배치도,
- <13> 도 13은 본 발명의 제6 실시예의 반도체장치의 평면배치도,
- <14> 도 14는 본 발명의 제7 실시예의 반도체장치의 평면배치도,
- <15> 도 15는 본 발명의 제8 실시예의 반도체장치의 평면배치도,
- <16> 도 16은 본 발명의 제9 실시예의 반도체장치의 제조과정을 도시한 단면도,
- <17> 도 17은 본 발명의 제9 실시예의 반도체장치의 제조과정을 도시한 단면도,
- <18> 도 18은 본 발명의 제9 실시예의 반도체장치의 제조과정을 도시한 단면도,

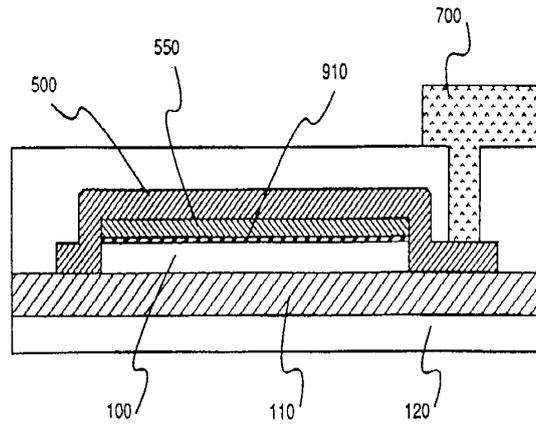
- <19> 도 19는 본 발명의 제10 실시예의 반도체장치를 도시한 단면도,
- <20> 도 20은 본 발명의 제11 실시예의 반도체장치를 도시한 단면도,
- <21> 도 21은 본 발명의 제12 실시예의 반도체장치의 평면배치도,
- <22> 도 22는 종래의 SOI구조의 반도체장치의 평면도,
- <23> 도 23은 도 22에 도시한 종래의 반도체장치의 박막단결정실리콘층의 평면도,
- <24> 도 24는 도 22에 도시한 종래의 반도체장치의 A-A선 절단단면도,
- <25> 도 25는 본 발명의 제13 실시예의 반도체집적회로장치의 평면도,
- <26> 도 26은 본 발명의 제14 실시예인 반도체집적회로장치의 평면도,
- <27> 도 27은 본 발명의 제15 실시예인 반도체집적회로장치의 평면도,
- <28> 도 28은 본 발명의 각각의 실시예의 반도체장치(또는 반도체집적회로장치)를 구동하기 위한 전원회로(전압리미터)를 도시한 회로도,
- <29> 도 29는 본 발명의 반도체장치를 보호소자로서 사용한 입출력보호회로를 도시한 회로도,
- <30> 도 30은 본 발명의 반도체장치(또는 반도체집적회로장치)가 조립된 전자카드를 도시한 단면도.

도면

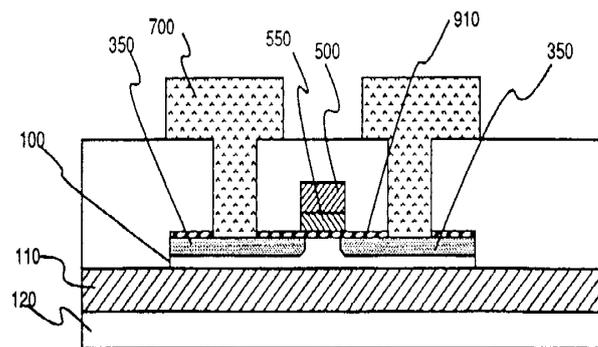
도면1



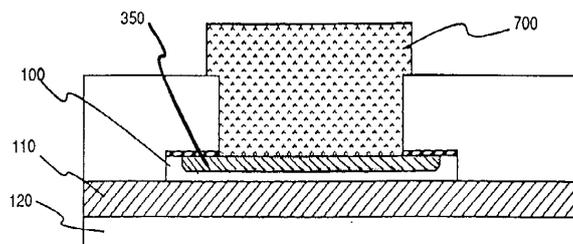
도면2



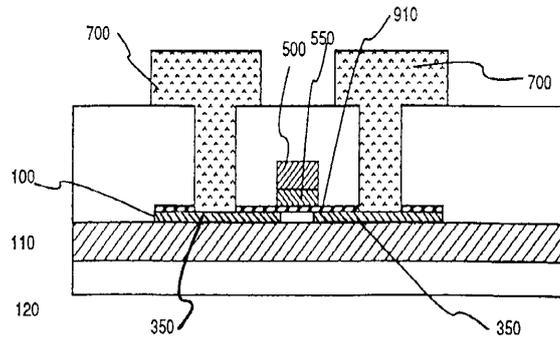
도면3



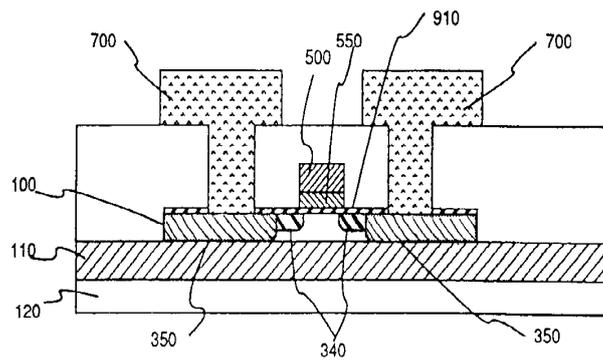
도면4



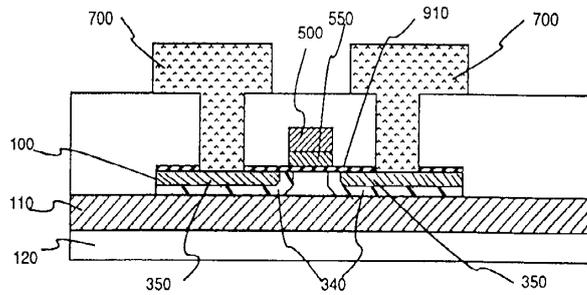
도면5



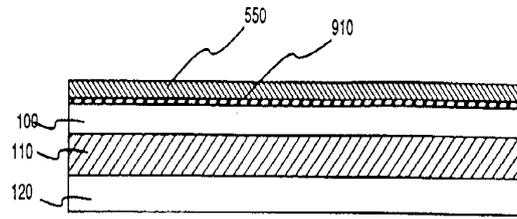
도면6



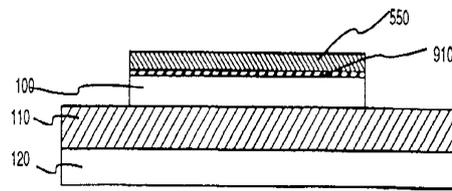
도면7



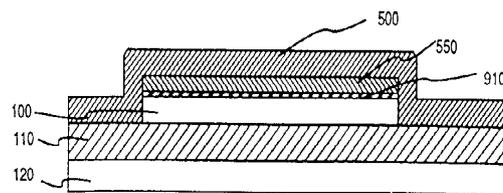
도면8



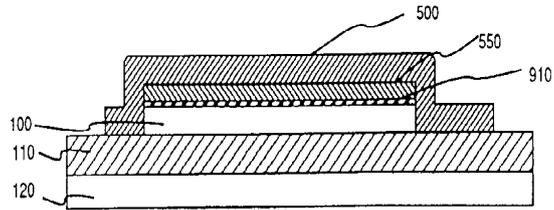
도면9



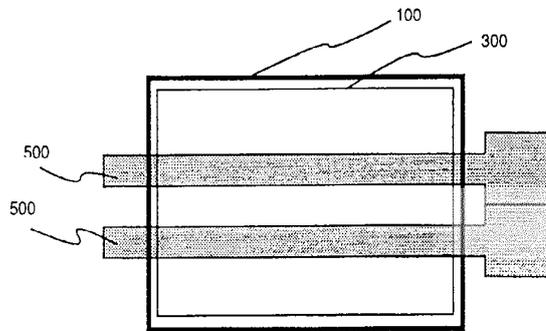
도면10



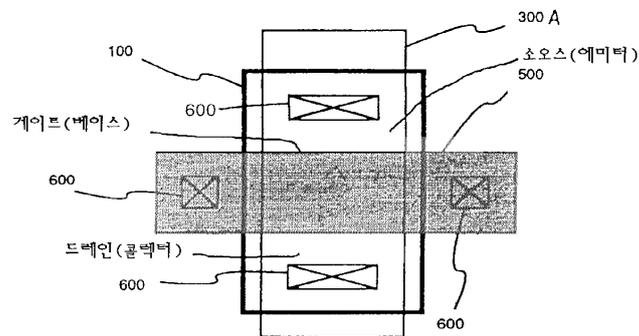
도면11



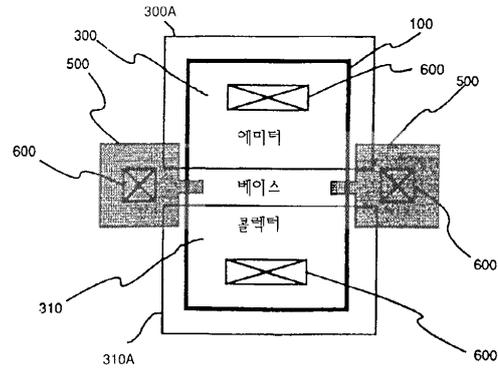
도면12



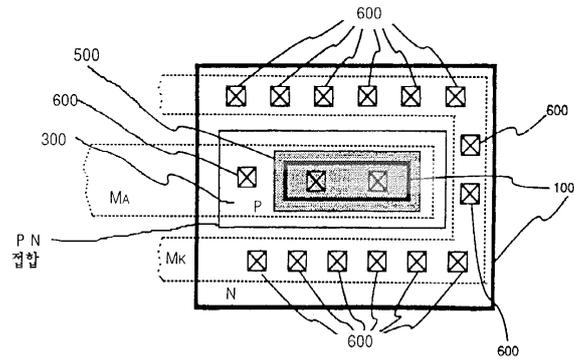
도면13



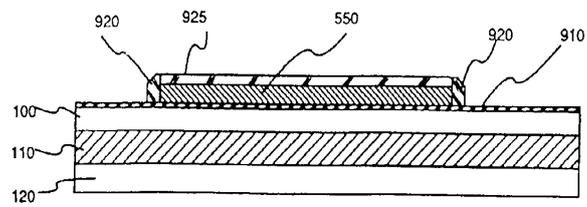
도면14



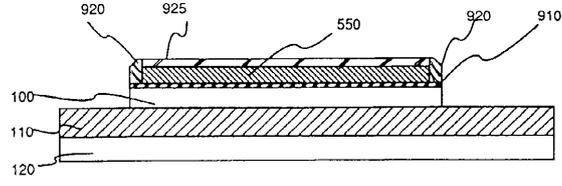
도면15



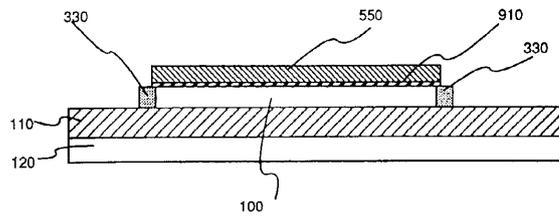
도면16



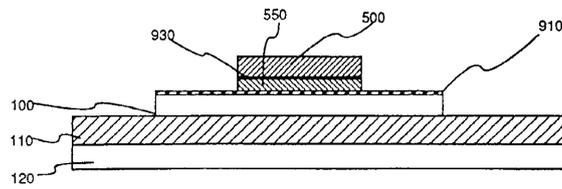
도면17



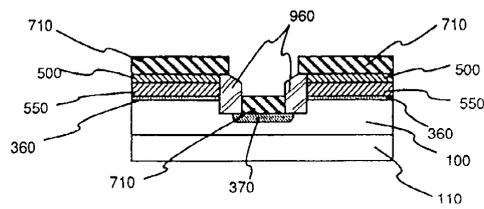
도면18



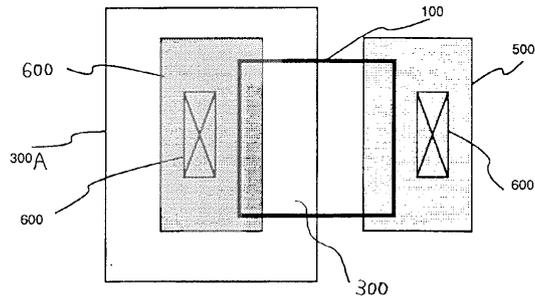
도면19



도면20

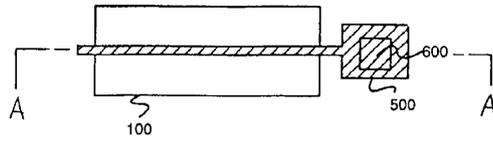


도면21



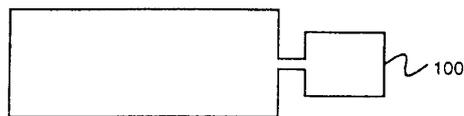
도면22

종래의 기술

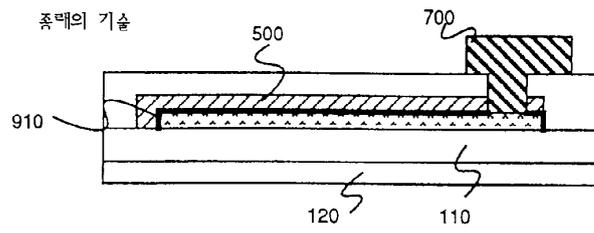


도면23

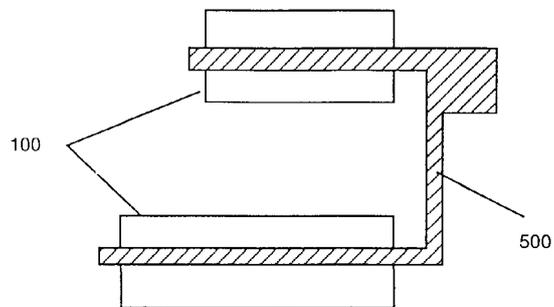
종래의 기술



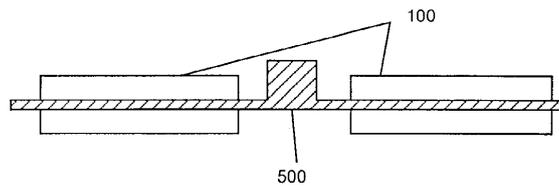
도면24



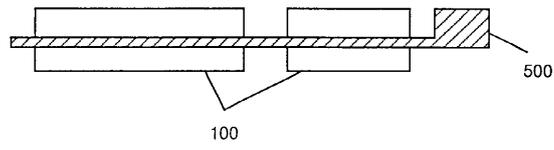
도면25



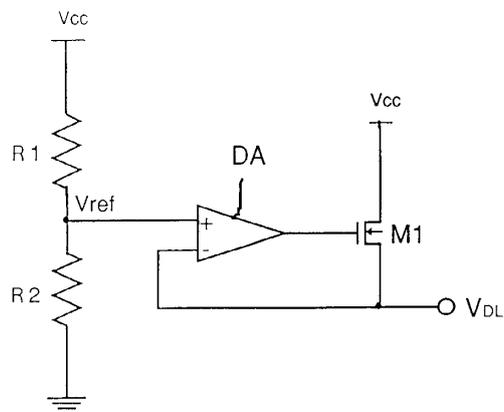
도면26



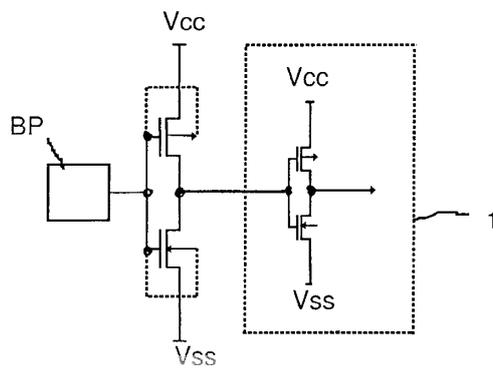
도면27



도면28



도면29



도면30

