



# (12)发明专利申请

(10)申请公布号 CN 107622941 A

(43)申请公布日 2018.01.23

(21)申请号 201610569556.1

(22)申请日 2016.07.15

(71)申请人 南京励盛半导体科技有限公司  
地址 210008 江苏省南京市鼓楼区云南路  
20号鸿德大厦1005室

(72)发明人 黄升晖

(51)Int. Cl.  
H01L 21/265(2006.01)

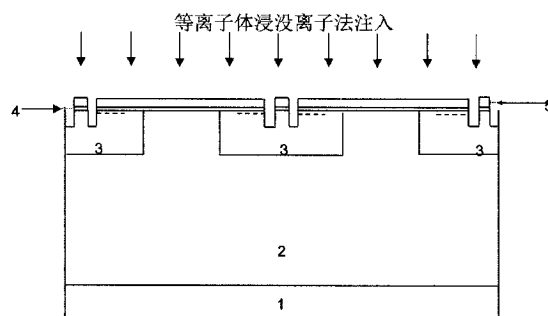
权利要求书2页 说明书5页 附图3页

## (54)发明名称

一种宽禁带半导体的掺杂方法

## (57)摘要

本发明涉及一种宽带隙(或称宽禁带)半导体的掺杂方法,包括以下特征:首先把宽带隙半导体晶圆工件需要掺杂的区域暴露出来,其中包括平面的或是沟槽的,对暴露出来的区域用等离子体浸没式离子注入技术注入掺杂离子,注入的掺杂离子主要是在表面,深度少于3000Å,最后,使用退火热处理,激活注入离子,形成掺杂区。



1. 一种宽禁带半导体的掺杂方法,其特征在于,最少包括以下步骤:

1. 首先把宽禁带半导体晶圆工件需要掺杂的区域暴露出来,其中包括平面的或是沟槽的,对暴露出来的区域用等离子体浸没式离子注入技术注入掺杂离子,在注入时,衬底温度没有特别要求,可以低于室温,可以是室温,也可以高于室温,注入的掺杂离子主要是在表面,深度少于3000Å;

2. 完成上述步骤1后便进行退火热处理,把晶格损伤除掉,所述的退火热处理温度为600至1200°C之间,时间为10分钟至500分钟之间;

3. 然后,使用退火热处理,温度为1200至1800°C之间,时间为10分钟至500分钟之间,把已经注入的掺杂离子激活,形成掺杂区。

2. 根据权利要求1所述的一种宽禁带半导体的掺杂方法,其特征在于,所述步骤(3)中的退火热处理,如果宽禁带半导体是碳化硅,在进行高温热处理时,需要在最顶层表面沉积碳化硅(SiC)或石墨(C)层作为保护来防止表面的原有原子蒸发。

3. 一种宽禁带半导体的掺杂方法,其特征在于,最少包括以下步骤:

1. 首先把宽禁带半导体晶圆工件需要掺杂的区域暴露出来,其中包括平面的或是沟槽的,对暴露出来的区域用等离子体浸没式离子注入技术注入掺杂离子,在注入时,衬底温度保持在300°C至800°C之间,把离子注入所引起的晶格损伤即时除掉,注入的掺杂离子主要是在表面,深度少3000Å;

2. 然后,使用退火热处理,温度为1200至1800°C之间,时间为10分钟至500分钟之间,把已经注入的掺杂离子激活,形成高浓度掺杂区。

4. 根据权利要求3所述的一种宽禁带半导体的掺杂方法,其特征在于,所述步骤(2)中的退火热处理,如果宽禁带半导体是碳化硅,在进行高温热处理时,需要在最顶层表面沉积碳化硅(SiC)或石墨(C)层作为保护来防止表面的原有原子蒸发。

5. 一种宽禁带半导体的掺杂方法,其特征在于,最少包括以下步骤:

1. 首先把宽禁带半导体晶圆工件需要掺杂的区域暴露出来,其中包括平面的或是沟槽的,对暴露出来的区域用等离子体浸没式离子注入技术注入掺杂离子,在注入时,衬底温度没有特别要求,可以低于室温,可以是室温,也可以高于室温,注入的掺杂离子主要是在表面,深度少3000Å;

2. 完成上述步骤1后便进行退火热处理,把晶格损伤除掉,所述的退火热处理温度为600至1200°C之间,时间为10分钟至500分钟之间;

3. 然后,使用退火热处理来激活注入离子,形成高浓度掺杂区,热处理温度少于1200°C,时间为10分钟至500分钟之间,在用退火热处理激活注入离子步骤的同时,用适当能量的离子撞击样品的表面,深度为注入的掺杂离子深度,用作撞击的离子种类没有特别限制,能量一般少于50KeV,主要是用来帮助激活注入的离子,使得所需要的激活退火温度少于1200°C。

6. 一种宽禁带半导体的掺杂方法,其特征在于,最少包括以下步骤:

1. 首先把宽禁带半导体晶圆工件需要掺杂的区域暴露出来,其中包括平面的或是沟槽的,对暴露出来的区域用等离子体浸没式离子注入技术注入掺杂离子,在注入时,衬底温度保持在300°C至800°C之间,把离子注入所引起的晶格损伤即时除掉,注入的掺杂离子主要是在表面,深度少3000Å;

2. 然后,使用退火热处理來激活注入离子,形成高浓度掺杂区,热处理温度少于1200℃,时间为10分钟至500分钟之间,在用退火热处理激活注入离子步骤的同时,用适当能量的离子撞击样品的表面,深度为注入的掺杂离子深度,用作撞击的离子种类没有特别限制,能量一般少于50KeV,主要是用来帮助激活注入的离子,使得所需要的激活退火温度少于1200℃。

## 一种宽禁带半导体的掺杂方法

### 技术领域

[0001] 本发明涉及一种宽带隙(或称宽禁带)半导体的掺杂方法,更具体地说是涉及一种如碳化硅或氮化镓等半导体器件用等离子体浸没式离子注入技术来形成掺杂的制造方法。

### 背景技术

[0002] 使用硅器件的传统集成电路大都只能工作在250℃以下,不能满足高温、高功率及高频等要求。当中,新型半导体材料如碳化硅或氮化镓等宽带隙半导体最受人注目和研究,为了便于陈述,以下用碳化硅为例来述说本发明。

[0003] 碳化硅半导体材料具有宽带隙、高饱和漂移速度、高热导率、高临界击穿电场等突出优点,特别适合制作大功率、高压、高温、抗辐照电子器件。

[0004] 碳化硅禁带宽度宽( $210\text{eV} \leq E_g \leq 710\text{eV}$ ),漏电流比硅小几个数量级。而且,碳化硅热稳定性极好,本征温度可达800℃以上,它保证了在高温工作时的长期可靠性。通过分析优值,如Johnson优值(JFOM-通过材料的击穿电场、饱和电子漂移速度来反映相应器件的高功率、高频率性能)、Keyes优值(KFOM-通过材料的热导率、饱和电子漂移速度及介电常数反映相应器件的开关速度和热限制)及热优值(QFOM-通过材料的击穿电场、击穿电场及热导率反映相应器件的散热性能),会发现碳化硅SiC这几个优值都比现在常用的半导体材料高出很多,是实现结合高温与高频高功率的一种理想材料。

[0005] 碳化硅击穿电场较高,是硅材料的8倍,这对功率器件甚为关键。导通电阻是与击穿电场的立方成反比,所以碳化硅SiC功率器件的导通电阻只有硅器件的百至二百分之一,显著降低电子设备的能耗。因此,碳化硅SiC功率器件也被誉为带动“新能源革命”的“绿色能源”器件。用碳化硅SiC所制造出来的功率器件具有低比导通电阻,高工作频率和高温工作稳定性的优点,拥有很广阔的应用前景。

[0006] 随着6H、4H-SiC体材料的相继商品化,碳化硅SiC器件工艺,如氧化、掺杂、刻蚀及金属、半导体接触,都日渐成熟,这些为碳化硅SiC器件的研制及应用奠定了基础。

[0007] 其中,掺杂是制作功率器件不可缺少的工序。基于碳化硅SiC的键强度高,杂质扩散所要求的温度( $>1800^\circ\text{C}$ )。大大超过标准器件工艺的条件,层间介质和栅极氧化层( $\text{SiO}_2, \text{Si}_3\text{N}_4$ )等不能承受这么高的温度,所以器件制作工艺中的掺杂不能采用扩散工艺,只能利用外延控制掺杂和高温离子注入掺杂。

[0008] 外延掺杂可利用碳化硅源气体流量变化,使掺杂浓度控制在从轻掺杂( $10^{14}/\text{cm}^3$ )到简并掺杂( $>10^{19}/\text{cm}^3$ )的范围。硅烷、丙烷是碳化硅SiC典型的外延气体源。6H-SiC在硅(Si)面n型衬底上同质外延典型的生长速率为3 $\mu\text{m}$ /小时。在生长反应室中,通过调节气体源的比例来进行位置竞争外延,使杂质位于晶格位置。在碳(C)面衬底上的生长则不同,但对其生长机制尚无深刻了解。

[0009] 因为不能采用扩散工艺掺杂,离子注入工艺在器件制作中非常重要。对碳化硅来说,n型掺杂主要是注入氮(N)离子。铝(Al)和硼(B)为典型的p型掺杂元素,产生相对深的受主能级(分别为211meV和300meV),Al的电离能小于B的电离能,Al要求的激活温度比B低;而

B原子比Al原子轻,注入引起的损伤较少,且注入范围更深,应根据器件工艺要求来选择注入元素;对氮化镓来说,n型掺杂主要是注入硅(Si)离子,p型掺杂则主要是注入锰(Mg)离子。

[0010] 可是,若用传统的离子注入机作注入,当离子注入剂量过大时,会引致晶格损伤,形成非晶化的结构,大大降低原有的性能。对碳化硅来说,文献报道了非晶化注入剂量阈值,N约为 $4 \times 10^{15}/\text{cm}^2$ ,Al约为 $1 \times 10^{15}/\text{cm}^2$ ,B约为 $5 \times 10^{15}/\text{cm}^2$ 。同时,亦需对衬底加上高温,一般对N注入时需要约 $650^\circ\text{C}$ ,在对Al注入时需要约 $700 \sim 800^\circ\text{C}$ ,以减少注入离子时所引起的非晶化结构出现。现有很多应用于硅工艺的离子注入机都没法达到这么高的温度。而且,为了确保衬底上的温度均衡,每次进入离子注入机的衬底数量和尺寸亦受了限制,这些都令成本增加。

[0011] 注入更高剂量或衬底在没有达到所需温度时,会引起更多晶格损伤,令晶格结构严重破坏,非晶化层加厚。即使注入后使用高温退火热处理( $>1500^\circ\text{C}$ ),仍发现大量晶格损伤,无法令所有损伤的晶格完全复原。有些能复原的晶格亦会在再结晶的过程中产生应力,达到某个厚度后,令材料产生裂痕。

## 发明内容

[0012] 本发明的目的在于提出一种能避免上述不足而实用可行的一种适用于宽带隙半导体器件用的掺杂的加工工艺,方法是用等离子体浸没式离子注入技术来形成掺杂的加工工艺。等离子体浸没式离子注入,英文称为Plasma Immersion Ion Implantation(PIII)。等离子体浸没离子注入技术是一种新型的离子注入技术,目前已成为热点研究领域,其主要应用于对材料表面处理以提高其磨损性能。等离子体是指在一定强度的电场作用下,气体中内部带点粒子发生加速运动相互碰撞后,电离放电而形成的一种物质。而等离子体注入,就是等离子体通过向基体注入外来掺杂离子而达到掺杂的目的。

[0013] 等离子体浸没离子注入的设备如图1所示,由等离子体源、脉冲电源、真空室、样品加温台、穿孔网格以及真空泵等部门组成。在一个等离子体浸没离子注入系统中。掺杂离子流通量主要是受电磁耦合的功率来控制,而且离子的能量主要是由偏压的RF功率来决定。正离子在电场作用下获得能力,垂直入射到样品表面,达到了样品表面注入掺杂离子的目的。与传统的离子注入技术相比,在实验过程中不需要旋转样品,因为在真空室内形成的等离子体是属于弥漫型,能达到 $360^\circ$ 浸没与注入的效果。整个离子注入系统设备较为简单,容易装置对样品在进行注入时加高温的附加设备。等离子体浸没离子注入是一个低能量的制程,它的离子能量通常少于 $1\text{keV}$ ,比传统的离子注入机的注入能量少很多,较不易对样品表面晶格做成伤害,实施本发明有多种方案,以下是实施其中一些方案的主要步骤。

[0014] 方案一:

[0015] 1.对宽带隙晶圆工件需掺杂的区域用等离子体浸没离子法注入所需的掺杂离子,掺杂区域的表面有一介质层保护,厚度少于 $500\text{\AA}$ ,介质层可以是氮化硅或二氧化硅等,需要掺杂的区域可以是平面的,可以是沟槽的,也可以是部分是平面和部分是沟槽的,在注入时,衬底温度没有特别要求,可以低于室温,可以是室温,也可以高于室温;

[0016] 2.完成上述步骤1后便进行退火热处理,把晶格损伤除掉;

[0017] 3.最后,使用退火热处理,激活注入离子,形成高浓度掺杂区。

[0018] 在步骤(2)中,所述的退火热处理温度为600至1200℃之间,时间为10分钟至500分钟之间,把晶格损伤复修。

[0019] 在步骤(3)中,其中包括以下步骤:

[0020] 1.清除表面的介质层;

[0021] 2.在最顶层表面沉积碳化硅(SiC)或石墨(C)层作为保护层来防止表面的原有原子蒸发;

[0022] 3.进行在步骤(3)中所述的退火热处理,温度为1200至1800℃之间,时间为10分钟至500分钟之间,把已经注入的掺杂离子激活;

[0023] 4.清除表面保护层。

[0024] 方案二:

[0025] 1.对宽带隙晶圆工件需掺杂的区域用等离子体浸没离子法注入所需的掺杂离子,掺杂区域的表面有一介质层保护,厚度少于500Å,介质层可以是氮化硅或二氧化硅等,需要掺杂的区域可以是平面的,可以是沟槽的,也可以是部分是平面和部分是沟槽的,在注入时,衬底温度保持在300C至800C之间,把离子注入所引起的晶格损伤即时除掉;

[0026] 2.最后,使用退火热处理,激活注入离子,形成掺杂区。

[0027] 在步骤(2)中,其中包括以下步骤:

[0028] a.清除表面的介质层;

[0029] b.在最顶层表面沉积碳化硅(SiC)或石墨(C)层作为保护层来防止表面的原有原子蒸发;

[0030] c.进行在步骤(2)中所述的退火热处理,温度为1200至1800℃之间,时间为10分钟至500分钟之间,把已经注入的掺杂离子激活;

[0031] d.清除表面保护层。

[0032] 方案三:

[0033] 与之前的方案一和方案二类同,主要分别是在使用热处理激活注入离子步骤的同时,用适当能量的离子撞击样品的表面,深度为注入的掺杂离子深度,用作撞击的离子种类没有特别限制,能量一般少于50KeV,主要是用来帮助激活注入的离子,使得所需要的激活退火温度少于1200C,这样激活时便不用特别去保护表面来防止表面的原有原子蒸发而引起粗糙化。

[0034] 与现有技术相比,本发明的有益效果是:

[0035] 采用本发明可以相对地容易制备高掺杂表面,而且表面的掺杂浓度比现有的用离子注入机形成的浓度要更高,对沟槽的侧壁,掺杂会更加均匀,基本上没有死角,而制作成本会大大减少;缺点是不适合用来制备较深的掺杂,如掺杂深度大于0.5微米便不可用这发明。

## 附图说明

[0036] 附图用来提供对本发明的进一步理解,与本发明的实施例一起用于解释本发明,并不构成对本发明的限制:

[0037] 图1等离子体浸没离子法注入系统的示意图;

[0038] 图2表面的氮化硅暴露出需要n型高浓度掺杂的区域的示意图;

- [0039] 图3用等离子体浸没离子法注入所需的掺杂离子的示意图；
- [0040] 图4表面的氮化硅暴露出需要p型高浓度掺杂的区域的示意图；
- [0041] 图5用等离子体浸没离子法注入所需的掺杂离子的示意图；
- [0042] 图6经过热处理把注入的离子激活的示意图。
- [0043] 参考符号表：
- [0044] 1 碳化硅衬底
- [0045] 2 碳化硅外延层
- [0046] 3 器件的P基区
- [0047] 4 薄层二氧化硅
- [0048] 5 厚层氮化硅
- [0049] 6 器件的N+区
- [0050] 7 器件的P+接触区

### 具体实施方式

[0051] 以下结合附图对本发明的优选实施例进行说明,应当理解,此处所描述的优选实施例,以碳化硅为例,用于说明和解释本发明,并不用于限定本发明。

[0052] 本发明涉及一种用等离子体浸没式离子注入技术来形成宽带隙半导体的掺杂制造方法,包括以下步骤:

[0053] 首先把宽带隙半导体晶圆工件需要掺杂的区域暴露出来。对暴露出来的区域用等离子体浸没式离子注入技术来注入掺杂离子。跟着利用退火热处理,把晶格损伤除掉。最后,用更高温度的退火热处理,激活注入离子,形成掺杂区。

[0054] 实施例:

[0055] 如图2所示,碳化硅外延层2置于衬底的上方,在外延层2上构建p型掺杂区3,接着在表面形成一层薄的二氧化硅(厚度少于100A)和一层较厚的氮化硅(厚度大于1000A),之后积淀光刻涂层,利用掩模暴露出部分介质,然后对暴露出的部分介质进行干蚀,直至暴露出二氧化硅,然后清除表面的光刻涂层。

[0056] 如图3所示,用等离子体浸没离子注入法注入n型的掺杂离子,衬底温度保持在300C至800C之间,把离子注入所引起的晶格损伤即时除掉,注入的掺杂离子主要是在表面,深度少于1000A。

[0057] 如图4所示,接着积淀一层较厚的氮化硅(厚度大于1000A)和光刻涂层,利用掩模暴露出部分介质,然后对暴露出的部分介质进行干蚀,直至暴露出碳化硅外延层的上表面,接着刻触碳化硅表面,形成一沟槽,沟槽的宽度大于0.2um,深度大于0.3um,可以是条状,方形开口,圆形开口或其它任何几何形状。

[0058] 如图5所示,清除表面的光刻涂层,用等离子体浸没离子注入法注入p型掺杂离子,衬底温度保持在300C至800C之间,把离子注入所引起的晶格损伤即时除掉,注入的掺杂离子主要是在表面,p型掺杂主要是注入为铝(A1)或硼(B)离子,深度少于1000A。

[0059] 图6所示,清除表面的介质层,之后在最顶层表面沉积碳化硅(SiC)或石墨(C)层作为保护来防止表面的原有原子蒸发,进行退火热处理,温度为1200至1800℃之间,时间为10分钟至500分钟之间,把已经注入的掺杂离子激活,然后清除表面作为保护的碳化硅(SiC)

或石墨(C)层。

[0060] 最后应说明的是:以上仅为本发明的实施例而已,并不用于限制本发明,本发明可用于涉及制造宽带隙半导体器件工艺内用离子注入来形成掺杂的工序,其中器件包括绝缘栅晶体管(MOS),绝缘栅双极晶体管(IGBT)或二极管、或肖特基二极管。尽管参照实施例对本发明进行了详细的说明,对于本领域的技术人员来说,其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分技术特征进行等同替换,但是凡在本发明的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。



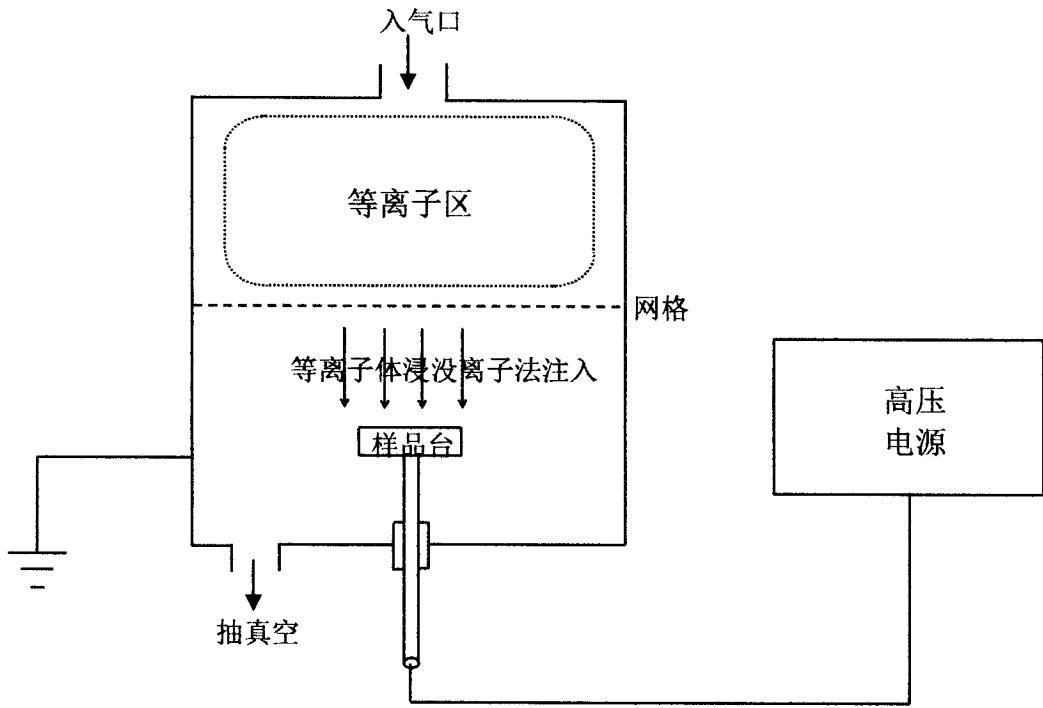


图1

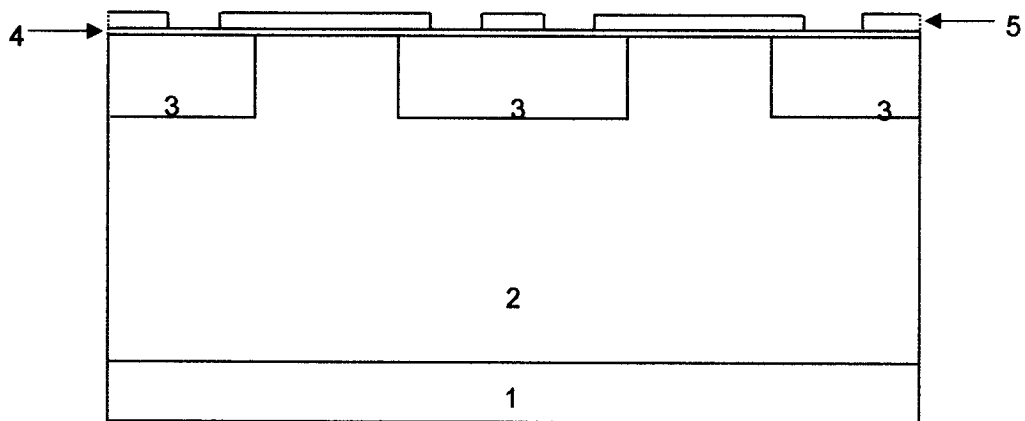


图2

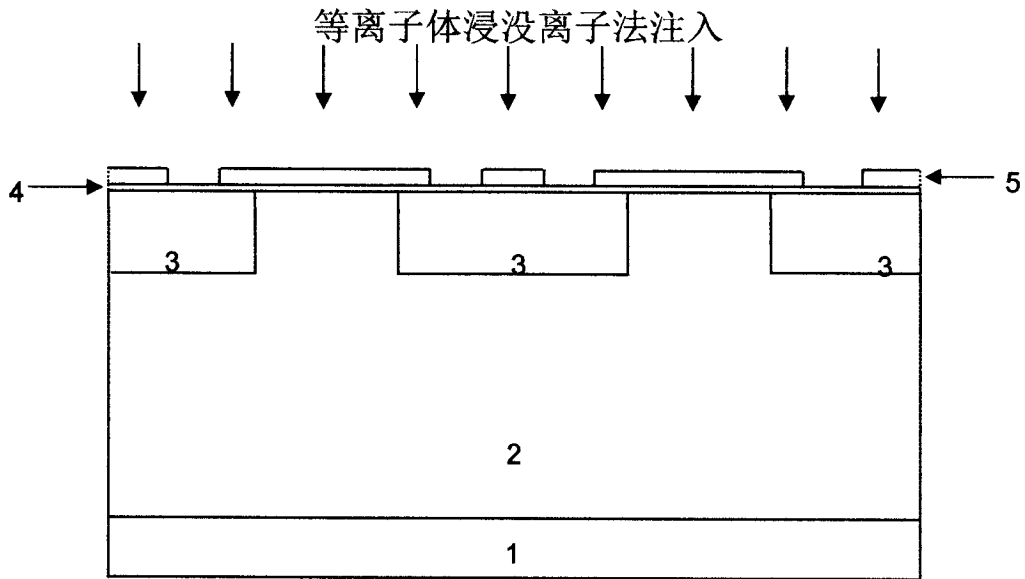


图3

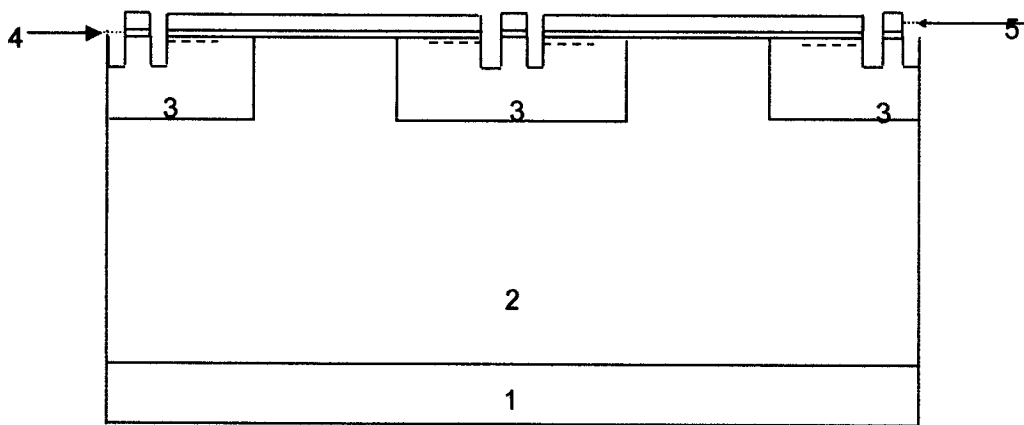


图4

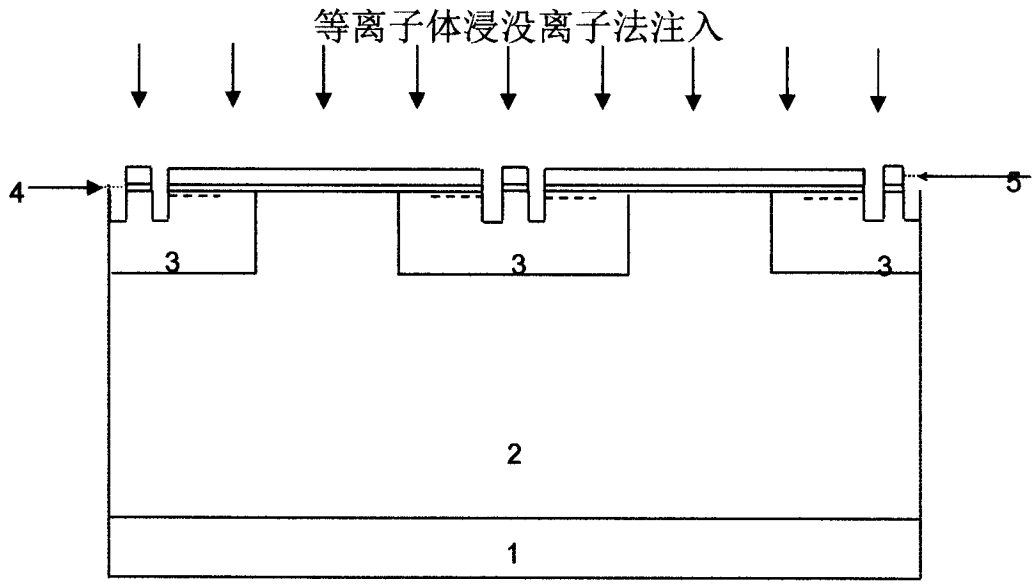


图5

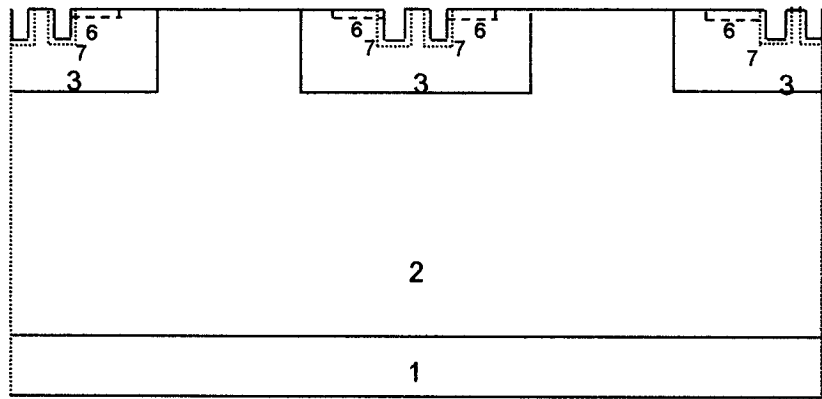


图6