(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년08월11일
(11) 등록번호 10-2431242
(24) 등록일자 2022년08월05일

(51) 국제특허분류(Int. Cl.)
H03M 1/40 (2006.01)
(52) CPC특허분류
H03M 1/406 (2013.01)
(21) 출원번호 10-2017-0161990
(22) 출원일자 2017년11월29일
심사청구일자 2020년11월12일
(65) 공개번호 10-2019-0069634
(43) 공개일자 2019년06월20일
(56) 선행기술조사문헌
US20140361916 A1
KR1020150020432 A

(73) 특허권자
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
김현준
전라남도 여수시 영은문길 15-15(오림동) 소나무집
(74) 대리인
신성특허법인(유한)

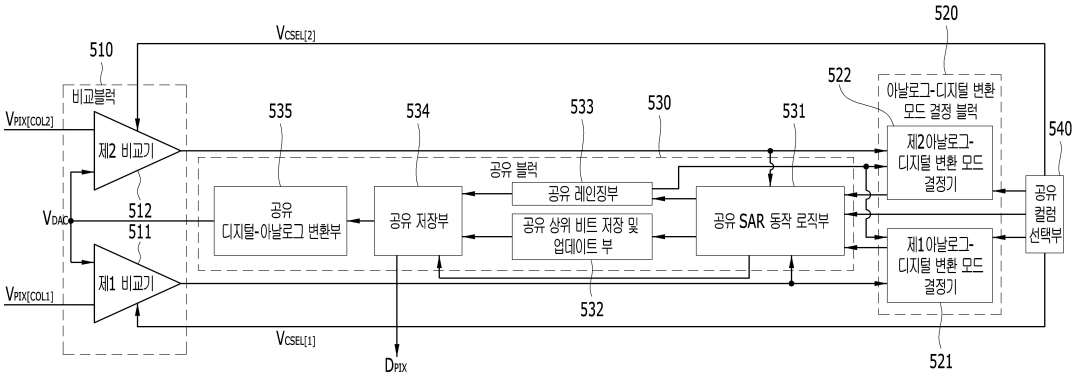
전체 청구항 수 : 총 2 항 심사관 : 조춘근

(54) 발명의 명칭 **SAR 아날로그-디지털 변환 장치 및 그 시스템**

(57) 요 약

본 기술은 SAR 아날로그-디지털 변환 장치 및 그 시스템에 관한 것으로, 커패시터 디지털-아날로그 변환부(C-DAC)를 복수의 컬럼이 공유하는 SAR 아날로그-디지털 변환 장치 및 그 시스템을 제공한다. 이러한 SAR 아날로그-디지털 변환 장치는, 기준 전압과 복수의 픽셀 신호를 각각 비교하여 비교 신호들을 출력하기 위한 비교 블럭; 상기 비교 블럭으로부터의 비교 신호들을 이용하여 아날로그-디지털 변환 모드를 결정하기 위한 아날로그-디지털 변환 모드 결정 블럭; 및 복수의 컬럼에 공유되어, 상기 비교 블럭으로부터의 비교 신호들과 상기 아날로그-디지털 변환 모드 결정 블럭으로부터의 모드 결정값에 따라 LSB 아날로그-디지털 변환 또는 풀 아날로그-디지털 변환을 위한 기준 전압을 생성하여 상기 비교 블럭으로 출력하기 위한 공유 블럭을 포함할 수 있다.

대 표 도



명 세 서

청구범위

청구항 1

복수의 로우와 복수의 컬럼으로 배열된 복수의 픽셀을 포함하는 픽셀 어레이로부터 출력된 복수의 픽셀 신호와 기준 전압을 각각 비교하여 비교 신호들을 출력하기 위한 비교 블럭;

상기 비교 블럭으로부터의 비교 신호들을 이용하여 아날로그-디지털 변환 모드를 결정하기 위한 아날로그-디지털 변환 모드 결정 블럭; 및

상기 복수의 컬럼에 공유되어, 상기 비교 블럭으로부터의 비교 신호들과 상기 아날로그-디지털 변환 모드 결정 블럭으로부터의 모드 결정값에 따라 LSB 아날로그-디지털 변환 또는 풀 아날로그-디지털 변환을 위한 기준 전압을 생성하여 상기 비교 블럭으로 출력하고, 아날로그-디지털 변환값을 출력하는 공유 블럭

을 포함하는 SAR 아날로그-디지털 변환 장치.

청구항 2

◈청구항 2은(는) 설정등록료 납부시 포기되었습니다.◈

제 1항에 있어서,

상기 비교 블럭은,

상기 복수의 컬럼 중에서 제 1 컬럼의 픽셀 신호와 상기 공유 블럭으로부터의 기준 전압을 비교하여 제 1 비교 신호를 출력하기 위한 제 1 비교기; 및

상기 복수의 컬럼 중에서 제 2 컬럼의 픽셀 신호와 상기 공유 블럭으로부터의 기준 전압을 비교하여 제 2 비교 신호를 출력하기 위한 제 2 비교기

를 포함하는 SAR 아날로그-디지털 변환 장치.

청구항 3

◈청구항 3은(는) 설정등록료 납부시 포기되었습니다.◈

제 2항에 있어서,

상기 아날로그-디지털 변환 모드 결정 블럭은,

상기 제 1 비교 신호 및 현재 컬럼 보다 이전의 컬럼에 위치하는 이전 컬럼 픽셀 신호의 상기 아날로그-디지털 변환값 중 상위 비트(MSB: Most Significant Bits) 값과 상기 현재 컬럼 픽셀 신호를 비교한 값을 이용하여 아날로그-디지털 변환 모드를 결정하기 위한 제 1 아날로그-디지털 변환 모드 결정기; 및

상기 비교 블럭으로부터의 제 2 비교 신호와 상기 공유 블럭으로부터의 이전 컬럼 픽셀 신호의 아날로그-디지털 변환값 중 상위 비트(MSB)값과 현재 컬럼 픽셀 신호를 비교한 값을 이용하여 아날로그-디지털 변환 모드를 결정하기 위한 제 2 아날로그-디지털 변환 모드 결정기

를 포함하는 SAR 아날로그-디지털 변환 장치.

청구항 4

◈청구항 4은(는) 설정등록료 납부시 포기되었습니다.◈

제 3항에 있어서,

상기 공유 블럭은,

상기 복수의 컬럼에 공유되어, 상기 비교 블럭과 상기 아날로그-디지털 변환 모드 결정 블럭의 아날로그-디지털 변환값에 따라 LSB 아날로그-디지털 변환 또는 풀 아날로그-디지털 변환 동작을 제어하기 위한 공유 SAR 동작 로직부;

상기 복수의 컬럼에 공유되어, 상기 이전 컬럼 픽셀 신호의 상기 아날로그-디지털 변환값 중 상기 상위 비트(MSB) 값을 저장 및 공유 저장부에 복사해 주고, 상기 공유 SAR 동작 로직부를 통한 상기 비교 블럭의 비교 결과값에 따라 상기 상위 비트(MSB) 값을 업데이트하기 위한 공유 상위 비트 저장 및 업데이트부;

상기 복수의 컬럼에 공유되어, 상기 공유 SAR 동작 로직부의 제어에 따라 상기 이전 컬럼 픽셀 신호의 아날로그-디지털 변환값 중 상위 비트(MSB)값과 현재 컬럼 픽셀 신호를 비교한 값을 상기 아날로그-디지털 변환 모드 결정 블럭으로 출력하고, 비교 동작을 위한 기준 전압을 생성하기 위한 레인징 제어값을 상기 공유 저장부로 출력하기 위한 공유 레인징부;

상기 복수의 컬럼에 공유되어, 상기 상위 비트 저장 및 업데이트부를 통한 상기 비교 블럭의 비교 결과값을 저장 및 상기 아날로그-디지털 변환값으로 출력하고, 상기 공유 레인징부로부터의 레인징 제어값을 저장하기 위한 상기 공유 저장부; 및

상기 복수의 컬럼에 공유되어, 상기 공유 저장부에 저장되어 있는 저장값에 따라 기준 전압을 생성하여 상기 비교 블럭의 각 비교기로 출력하기 위한 공유 커패시터 디지털-아날로그 변환부

를 포함하는 SAR 아날로그-디지털 변환 장치.

청구항 5

◈청구항 5은(는) 설정등록료 납부시 포기되었습니다.◈

제 4항에 있어서,

상기 공유 저장부는,

상기 상위 비트(MSB) 값, 상기 상위 비트(MSB)값을 제외한 하위 비트(LSB)값, 및 상기 레인징 제어값을 저장하는, SAR 아날로그-디지털 변환 장치.

청구항 6

삭제

청구항 7

◈청구항 7은(는) 설정등록료 납부시 포기되었습니다.◈

제 4항에 있어서,

상기 SAR 아날로그-디지털 변환 장치는,

상기 제1 컬럼의 픽셀 신호의 아날로그-디지털 변환 시 바로 이전 로우(Row)의 픽셀 신호 코드값을 상기 상위 비트(MSB) 값으로 사용하는, SAR 아날로그-디지털 변환 장치.

청구항 8

◈청구항 8은(는) 설정등록료 납부시 포기되었습니다.◈

제 1항에 있어서,

각 컬럼에 구비된 상기 SAR 아날로그-디지털 변환 장치 전부가 동시에 동작하는 V_{RC} 타이밍 구간을 공유하고,

상기 V_{RC} 타이밍 구간은 이전 컬럼 픽셀 신호의 아날로그-디지털 변환값 중 상위 비트(MSB)값을 사용할 때 그 유효성을 확인하는 타이밍을 나타내는 SAR 아날로그-디지털 변환 장치.

청구항 9

복수의 로우와 복수의 컬럼으로 배열된 복수의 픽셀을 포함하는 픽셀 어레이로부터 출력된 복수의 픽셀 신호와 기준 전압을 각각 비교하여 비교 신호들을 출력하기 위한 비교 블럭;

상기 비교 블럭으로부터의 비교 신호들을 이용하여 아날로그-디지털 변환 모드를 결정하기 위한 아날로그-디지털 변환 모드 결정 블럭;

상기 복수의 컬럼에 공유되어, 상기 비교 블럭으로부터의 비교 신호들과 상기 아날로그-디지털 변환 모드 결정 블럭으로부터의 모드 결정값에 따라 LSB 아날로그-디지털 변환 또는 풀 아날로그-디지털 변환을 위한 기준 전압을 생성하여 상기 비교 블럭으로 출력하고, 아날로그-디지털 변환값을 제공하는 공유 블럭; 및

상기 비교 블럭에서 동작될 컬럼을 활성화시키고 상기 아날로그-디지털 변환 모드 결정 블럭과 상기 공유 블럭이 해당 활성화 컬럼의 아날로그-디지털 변환 동작을 수행하도록 제어하는 공유 컬럼 선택부

를 포함하는 SAR 아날로그-디지털 변환 시스템.

청구항 10

◈청구항 10은(는) 설정등록료 납부시 포기되었습니다.◈

제 9항에 있어서,

상기 비교 블럭은,

상기 복수의 컬럼 중에서 제 1 컬럼의 픽셀 신호와 상기 공유 블럭으로부터의 기준 전압을 비교하여 제 1 비교 신호를 출력하기 위한 제 1 비교기; 및

상기 복수의 컬럼 중에서 제 2 컬럼의 픽셀 신호와 상기 공유 블럭으로부터의 기준 전압을 비교하여 제 2 비교 신호를 출력하기 위한 제 2 비교기

를 포함하는 SAR 아날로그-디지털 변환 시스템.

청구항 11

◈청구항 11은(는) 설정등록료 납부시 포기되었습니다.◈

제 10항에 있어서,

상기 아날로그-디지털 변환 모드 결정 블럭은,

상기 제 1 비교 신호 및 현재 컬럼보다 이전의 컬럼에 위치하는 이전 컬럼 픽셀 신호의 상기 아날로그-디지털 변환값 중 상위 비트(MSB: Most Significant Bits) 값과 상기 현재 컬럼에 위치하는 현재 컬럼 픽셀 신호를 비교한 값을 이용하여 아날로그-디지털 변환 모드를 결정하기 위한 제 1 아날로그-디지털 변환 모드 결정기; 및

상기 제 2 비교 신호 및 상기 이전 컬럼 픽셀 신호의 상기 아날로그-디지털 변환값 중 상기 상위 비트(MSB)값과 상기 현재 컬럼 픽셀 신호를 비교한 값을 이용하여 아날로그-디지털 변환 모드를 결정하기 위한 제 2 아날로그-디지털 변환 모드 결정기

를 포함하는 SAR 아날로그-디지털 변환 시스템.

청구항 12

◈청구항 12은(는) 설정등록료 납부시 포기되었습니다.◈

제 11항에 있어서,

상기 공유 블럭은,

상기 복수의 컬럼에 공유되어, 상기 비교 블럭과 상기 아날로그-디지털 변환 모드 결정 블럭의 아날로그-디지털 출력값에 따라 LSB 아날로그-디지털 변환 또는 풀 아날로그-디지털 변환 동작을 제어하기 위한 공유 SAR 동작 로직부;

상기 복수의 컬럼에 공유되어, 상기 이전 컬럼 픽셀 신호의 아날로그-디지털 변환값 중 상기 상위 비트(MSB)값을 저장 및 공유 저장부에 복사해 주고, 상기 공유 SAR 동작 로직부를 통한 상기 비교 블럭의 비교 결과값에 따라 상기 상위 비트(MSB)값을 업데이트하기 위한 공유 상위 비트 저장 및 업데이트부;

상기 복수의 컬럼에 공유되어, 상기 공유 SAR 동작 로직부의 제어에 따라 상기 이전 컬럼 픽셀 신호의 상기 아날로그-디지털 변환값 중 상위 비트(MSB) 값과 상기 현재 컬럼 픽셀 신호를 비교한 값을 상기 아날로그-디지털 변환 모드 결정 블럭으로 출력하고, 비교 동작을 위한 기준 전압을 생성하기 위한 레인징 제어값을 상기 공유 저장부로 출력하기 위한 공유 레인징부;

상기 복수의 컬럼에 공유되어, 상기 상위 비트 저장 및 업데이트부를 통한 상기 비교 블럭의 비교 결과값을 저장 및 상기 아날로그-디지털 변환값으로 출력하고, 상기 공유 레인징부로부터의 레인징 제어값을 저장하기 위한 상기 공유 저장부; 및

상기 복수의 컬럼에 공유되어, 상기 공유 저장부에 저장되어 있는 저장값에 따라 기준 전압을 생성하여 상기 비교 블럭의 각 비교기로 출력하기 위한 공유 커패시터 디지털-아날로그 변환부

를 포함하는 SAR 아날로그-디지털 변환 시스템.

청구항 13

◈청구항 13은(는) 설정등록료 납부시 포기되었습니다.◈

제 12항에 있어서,

상기 공유 저장부는,

상기 상위 비트(MSB)값, 상기 상위 비트(MSB) 값을 제외한 하위 비트(LSB)값, 및 레인징 제어값을 저장하는, SAR 아날로그-디지털 변환 시스템.

청구항 14

삭제

청구항 15

◈청구항 15은(는) 설정등록료 납부시 포기되었습니다.◈

제 12항에 있어서,

상기 SAR 아날로그-디지털 변환 시스템은,

상기 제 1 컬럼 픽셀 신호의 아날로그-디지털 변환 시 바로 이전 로우(Row)의 픽셀 신호 코드값을 상기 상위 비트(MSB)값으로 사용하는, SAR 아날로그-디지털 변환 시스템.

청구항 16

◈청구항 16은(는) 설정등록료 납부시 포기되었습니다.◈

제 9항에 있어서,

상기 SAR 아날로그-디지털 변환 시스템은,

각 컬럼에 구비된 SAR 아날로그-디지털 변환 장치 전부가 동시에 동작하는 V_{RC} 타이밍 구간을 공유하고,

상기 V_{RC} 타이밍 구간은 이전 컬럼 픽셀 신호의 아날로그-디지털 변환값 중 상위 비트(MSB)값을 사용할 때 그 유효성을 확인하는 타이밍을 나타내는 SAR 아날로그-디지털 변환 시스템.

발명의 설명

기 술 분 야

[0001] 본 발명의 몇몇 실시예들은 씨모스 이미지 센서(CIS : CMOS(Complementary Metal Oxide Semiconductor) Image Sensor)에 관한 것으로, 더욱 상세하게는 고해상도이면서도 소면적을 가지는 고속의 저전력 SAR(Successive Approximation Register) 아날로그-디지털 변환 장치 및 그 시스템에 관한 것이다.

배 경 기 술

[0003] 최근 씨모스 이미지 센서(CIS)에서는 고속 동작과 고해상도와 저전력 이슈에 대한 솔류션이 시급한 실정이다.

[0004] 그러나 현재 상용화되어 사용되고 있는 싱글-슬롭 아날로그-디지털 변환 장치(ADC : Analog to Digital Converter)의 경우 고속 동작과 고해상도 구현에 어려움이 많으며, 저전력을 위한 다양한 기술들이 제안되고 있으나 동작 알고리즘상 전력 효율 향상에 많은 제한이 있다.

[0005] 이에 다른 형태의 아날로그-디지털 변환 장치 구조들이 다양하게 제안되어 연구되고 있으며, 그 중에서 SAR 아날로그-디지털 변환 장치가 대체 기술로 각광받고 있는 추세이다. 이러한 SAR 아날로그-디지털 변환 장치의 경우 알고리즘상 저전력 및 고속 동작이 가능하다.

[0006] 그러나 SAR 아날로그-디지털 변환 장치의 경우 동작 알고리즘상 싱글-슬롭 아날로그-디지털 변환 장치 구조와 달리 픽셀 신호를 아날로그-디지털 변환하기 위해 기준 전압을 SAR 아날로그-디지털 변환 장치마다 생성해야 하기 때문에 이를 위한 기준 전압 생성기가 각 컬럼마다 필요하다. 그러나 기준 전압 생성기로 인한 면적 증가로 인하여 픽셀 피치(Pixel Pitch)에 해당하는 크기에 맞게 하나의 컬럼에 SAR 아날로그-디지털 변환 장치를 집적하는데 어려움이 발생한다. 이를 극복하기 위하여 기준 전압 생성기를 소형화하여 픽셀 피치에 해당하는 크기에 맞게 하나의 컬럼에 어떻게든 집적시킨다 하더라도 기준 전압 생성기의 소형화에 따른 기준 전압 생성기의 성능 저하가 SAR 아날로그-디지털 변환 장치의 성능 저하로 직결되기 때문에 싱글-슬롭 아날로그-디지털 변환 장치의 경우처럼 보통 기준 전압 생성기를 크게 설계하여 성능 저하를 최소화하여야 하므로 면적을 감소시키기 어렵다.

[0007] 한편, 커패시터 디지털-아날로그 변환부(C-DAC : Capacitor Digital to Analog Convertor)를 사용하여 바이너리 형태로 기준 전압을 생성하여 픽셀 신호를 아날로그-디지털 변환함에 있어, 이전 픽셀 신호의 아날로그-디지털 변환 결과를 현재의 픽셀 신호를 아날로그-디지털 변환하는데 활용하여 전력 효율과 동작 속도를 향상시키고자 하는 연구가 진행되고 있으나, 기존의 SAR 아날로그-디지털 변환 장치의 동작과 대비하여 클럭이 증가하는 단점이 발생하게 된다.

[0008] 그리고 SAR 아날로그-디지털 변환 장치는 분해 비트가 1비트 증가함에 따라 커패시터 디지털-아날로그 변환부의 면적이 2배씩 증가하기 때문에 고해상도의 아날로그-디지털 변환 장치를 제작하기 위해서는 큰 면적이 요구되는 단점이 있다.

발명의 내용

해결하려는 과제

[0010] 본 발명의 실시예는 커패시터 디지털-아날로그 변환부(C-DAC)를 복수의 컬럼이 공유하는 SAR 아날로그-디지털 변환 장치 및 그 시스템을 제공한다.

과제의 해결 수단

[0012] 본 발명의 실시예에 따른 SAR 아날로그-디지털 변환 장치는, 기준 전압과 복수의 픽셀 신호를 각각 비교하여 비교 신호들을 출력하기 위한 비교 블럭; 상기 비교 블럭으로부터의 비교 신호들을 이용하여 아날로그-디지털 변환 모드를 결정하기 위한 아날로그-디지털 변환 모드 결정 블럭; 및 복수의 컬럼에 공유되어, 상기 비교 블럭으

로부터의 비교 신호들과 상기 아날로그-디지털 변환 모드 결정 블럭으로부터의 모드 결정값에 따라 LSB 아날로그-디지털 변환 또는 풀 아날로그-디지털 변환을 위한 기준 전압을 생성하여 상기 비교 블럭으로 출력하기 위한 공유 블럭을 포함할 수 있다.

[0013] 한편, 본 발명의 실시예에 따른 SAR 아날로그-디지털 변환 시스템은, 기준 전압과 복수의 픽셀 신호를 각각 비교하여 비교 신호들을 출력하기 위한 비교 블럭; 상기 비교 블럭으로부터의 비교 신호들을 이용하여 아날로그-디지털 변환 모드를 결정하기 위한 아날로그-디지털 변환 모드 결정 블럭; 복수의 컬럼에 공유되어, 상기 비교 블럭으로부터의 비교 신호들과 상기 아날로그-디지털 변환 모드 결정 블럭으로부터의 모드 결정값에 따라 LSB 아날로그-디지털 변환 또는 풀 아날로그-디지털 변환을 위한 기준 전압을 생성하여 상기 비교 블럭으로 출력하기 위한 공유 블럭; 및 상기 비교 블럭의 동작할 컬럼을 활성화시키고 상기 아날로그-디지털 변환 모드 결정 블럭과 상기 공유 블럭이 해당 활성화 컬럼의 아날로그-디지털 변환 동작을 수행하도록 제어하는 공유 컬럼 선택부를 포함할 수 있다.

발명의 효과

[0015] 본 발명의 실시예에 따르면, 기존의 SAR 아날로그-디지털 변환 장치가 하나의 비교기당 하나의 캐피시터 커패시터 디지털-아날로그 변환부를 구비하는 구조와 달리, 커패시터 디지털-아날로그 변환부를 두 컬럼 또는 세 컬럼 등의 복수의 컬럼이 공유함으로써, SAR 아날로그-디지털 변환 장치의 면적 이슈를 최소화하고 전력 효율과 동작 속도를 향상시킬 수 있는 효과가 있다.

[0016] 또한, 본 발명의 실시예에 따르면, 이전 컬럼 픽셀 신호의 아날로그-디지털 변환값을 현재 컬럼의 픽셀 신호를 아날로그-디지털 변환하는데 이용함에 있어 발생하는 클럭 증가 수를 감소시킬 수 있는 효과가 있다.

[0017] 또한, 본 발명의 실시예에 따르면, 고해상도의 아날로그-디지털 변환 장치를 용이하게 구현할 수 있다.

도면의 간단한 설명

[0018] 도 1은 본 발명에 대한 이해를 돕기 위한 일반적인 SAR 아날로그-디지털 변환 장치를 이용한 씨모스 이미지 센서의 구성도,

도 2는 본 발명에 대한 이해를 돕기 위한 SAR 아날로그-디지털 변환 장치의 일 예시도,

도 3a는 본 발명에 대한 이해를 돕기 위한 SAR 아날로그-디지털 변환 장치의 다른 예시도,

도 3b는 일반적인 1-로우 아날로그-디지털 변환 구간의 타이밍도,

도 4a는 본 발명에 대한 이해를 돕기 위한 SAR 아날로그-디지털 변환 장치의 또 다른 예시도,

도 4b는 도 4a에 도시된 SAR 아날로그-디지털 변환 장치의 타이밍도,

도 5a는 본 발명의 실시예에 따른 SAR 아날로그-디지털 변환 장치 및 시스템의 구성도,

도 5b는 도 5a에 도시된 SAR 아날로그-디지털 변환 장치 및 시스템의 타이밍도,

도 5c는 도 5a에 도시된 SAR 아날로그-디지털 변환 장치 및 시스템의 동작 파형을 나타내는 도면,

도 6a는 도 5a의 공유 블럭의 상세 구성도,

도 6b는 공유 블럭의 LSB 아날로그-디지털 변환 동작 상태를 나타내는 도면,

도 6c는 공유 블럭의 풀(Full) 아날로그-디지털 변환 동작 상태를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0019] 본 발명을 설명함에 있어서 본 발명과 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에 그 상세한 설명을 생략하기로 한다. 이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

[0020] 그리고 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때 이는 "직접적으로 연결"되어 있는 경우뿐만 아니라 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다. 또한, 어떤 부분이 어떤 구성요소를 "포함" 또는 "구비"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소

를 제외하는 것이 아니라 다른 구성요소를 더 포함하거나 구비할 수 있는 것을 의미한다. 또한, 명세서 전체의 기재에 있어서 일부 구성요소들을 단수형으로 기재하였다고 해서, 본 발명이 그에 국한되는 것은 아니며, 해당 구성요소가 복수 개로 이루어질 수 있음을 알 것이다.

[0021] 도 1은 본 발명에 대한 이해를 돕기 위한 일반적인 SAR 아날로그-디지털 변환 장치를 이용한 씨모스 이미지 센서(CIS)의 구성도이다.

[0022] 도 1에 도시된 바와 같이, 본 발명에 대한 이해를 돕기 위한 일반적인 SAR 아날로그-디지털 변환 장치를 이용한 씨모스 이미지 센서는, 입사광에 상응하는 픽셀 신호를 출력하기 위한 픽셀 어레이(110)와, 제어부(130)의 제어에 따라 픽셀 어레이(110) 내의 픽셀을 로우 라인별로 각각 선택하여 그 동작을 제어하기 위한 로우 디코더(120)와, 제어부(130)의 제어에 따라 전원 전압(V_{DD}), 공통 전압(V_{CM}), 접지 전압(V_{SS}) 등의 전압을 공급하기 위한 전압 공급부(140)와, 제어부(130)의 제어에 따라 전압 공급부(140)로부터의 전압을 이용하여 픽셀 어레이(110)로부터의 픽셀 신호를 SAR 방식으로 아날로그-디지털 변환하기 위한 복수의 SAR 아날로그-디지털 변환 장치(150)와, 로우 디코더(120)와 전압 공급부(140)와 복수의 SAR 아날로그-디지털 변환 장치(150)의 동작을 제어하기 위한 제어부(130)를 포함한다.

[0023] 이때, SAR 아날로그-디지털 변환 장치(150)는 각 칼럼마다 구비되고, 비교기와 디지털-아날로그 변환 장치(DAC) 등을 포함할 수 있으며, 하나의 SAR 아날로그-디지털 변환 장치(150)에 대하여 도 2 내지 도 4b를 참조하여 살펴보면 다음과 같다.

[0024] 도 2는 본 발명에 대한 이해를 돕기 위한 SAR 아날로그-디지털 변환 장치의 일 예시도이다.

[0025] 도 2에 도시된 바와 같이, 본 발명에 대한 이해를 돕기 위한 SAR 아날로그-디지털 변환 장치는, 픽셀 신호(V_{PIX})와 기준 전압(V_{DAC})을 입력받아 비교 동작을 수행하여 비교 결과값을 출력하기 위한 비교기(210), 비교기(210)로부터의 비교 결과값을 저장 및 아날로그-디지털 변환값(D_{PIX})으로 출력하기 위한 저장부(220), 비교기(210)와 저장부(220)로부터의 비교 결과값을 입력받아 기 정해진 SAR 로직에 따라 제어 신호를 출력하기 위한 SAR 제어 로직부(230), 및 SAR 제어 로직부(230)로부터의 제어 신호에 따라 기준 전압을 생성하여 비교기(210)로 출력하기 위한 커패시터 디지털-아날로그 변환부(240)를 포함한다.

[0026] 이러한 각 구성 요소의 구체적인 구성 및 동작을 좀 더 상세히 살펴보면 다음과 같다.

[0027] 먼저, 비교기(210)는 픽셀로부터 픽셀 신호를 입력받고 커패시터 디지털-아날로그 변환부(240)로부터 기준 전압을 입력받아 비교 동작을 수행하여 비교 결과값(0 또는 1)을 저장부(220)와 SAR 제어 로직부(230)로 출력한다.

[0028] 그리고 커패시터 디지털-아날로그 변환부(240, C-DAC)는 SAR 제어 로직부(230)로부터의 제어 신호에 따라 동작하여 기준 전압을 생성하기 위한 기준 전압 생성기로서, 바이너리 커패시터 어레이(Binary Capacitor Array) 또는 써모미터 커패시터 어레이(Thermometer Capacitor Array), 및 스위치들(SWs)을 이용하여 구현할 수 있다. 이때, 커패시터 어레이는 $C*2^{n-1}$부터 $C*2^{0}$의 커패시터들로 구현할 수 있으며, n은 아날로그-디지털 변환을 위한 비트 포맷(bit format)이다.

[0029] 여기서, SAR 아날로그-디지털 변환 장치의 아날로그-디지털 변환을 위한 동작은, 커패시터 디지털-아날로그 변환부(240)의 커패시터 $C*2^{n-1}$부터 순차적으로 해당 커패시터에 연결된 스위치를 SAR 제어 로직부(230)로부터의 제어 신호에 따라 온시켜 기준 전압을 생성한다. 그에 따라, 비교기(210)는 픽셀로부터의 픽셀 신호와 커패시터 디지털-아날로그 변환부(240)로부터 순차적으로 생성되는 기준 전압을 입력받아 비교하여 0 또는 1의 비교 결과값을 저장부(220)와 SAR 제어 로직부(230)로 출력한다. 이때, 기준 전압은 아날로그-디지털 변환을 위한 비트 포맷인 n의 변수에 해당되는 바이너리 웨이티드 전압(Binary Weighted Voltage)까지 변하며, 그에 따라 점차 픽셀 신호의 값에 가까워지는 형태의 기준 전압값이 출력된다. 여기서, 0 또는 1의 비교 결과값은 저장부(220)에 저장되고, 이렇게 저장부(220)에 저장된 비교 결과값은 SAR 제어 로직부(230)를 통해 커패시터 디지털-아날로그 변환부(240)의 스위치들로 전달되어 그 다음 커패시터 디지털-아날로그 변환부(240)의 스위칭 시 값을 홀드하는데 이용된다. 이를 통해 기준 전압(V_{DAC})의 바이너리 웨이티드 전압값이 출력될 수 있다.

[0030] 전술한 바와 같이 픽셀 신호와 기준 전압을 비교기(210)가 비교함에 있어, 픽셀 신호의 전압을 기준 전압이 크로싱(Crossing)할 때마다 비교기(210)가 1 또는 0의 값을 출력하게 구현할 수 있다. 예를 들어, 기준 전압이 픽셀 신호의 전압을 크로싱하면, 커패시터 디지털-아날로그 변환부(240)의 스위치들의 온 또는 오프를 제어하여 기준 전압값을 감소시키거나 증가시키는 방식으로 SAR 동작을 구현하고, 비교 결과값이 저장부(220)로 입력되어

저장되고 아날로그-디지털 변환값(D_{PIX})으로 출력되도록 한다. 여기서, 저장부(220)는 SR(Set Reset) 래치 등과 같은 메모리로 구현할 수 있다.

[0031] 그리고 SAR 제어 로직부(230)는 비교기(210)로부터 비교 결과값을 입력받으며, 이 비교 결과값은 저장부(220)에 저장되는 비교 결과값 0 또는 1과 동일한 신호이다. 이때, SAR 제어 로직부(230)는 비교기(210)로부터 비교 결과값 0 또는 1을 입력받아 커패시터 디지털-아날로그 변환부(240)의 바이너리 웨이티드(Binary Weighted)된 커패시터 어레이에 해당하는 $C*2^{n-1}$부터 $C*2^{0}$에 연결된 스위치들을 온 또는 오프시킬지를 제어하는 로직이다.

[0032] 즉, SAR 제어 로직부(230)는 비교기(210)로부터의 비교 결과값과 저장부(220)에서 순차적으로 출력되는 비교기(210)의 비교 결과값을 이용하여 순차적으로 해당하는 커패시터 $C*2^{n-1}$부터 $C*2^{0}$에 연결된 스위치들을 온 또는 오프를 제어하는 로직으로, 이를 통해 바이너리 웨이티드 전압인 기준 전압을 커패시터 디지털-아날로그 변환부(240)에서 생성해 줄 수 있다.

[0033] 도 3a는 본 발명에 대한 이해를 돕기 위한 SAR 아날로그-디지털 변환 장치의 다른 예시도이고, 도 3b는 일반적인 1-로우 아날로그-디지털 변환 구간의 타이밍도이다.

[0034] 도 3a에 도시된 바와 같이, 본 발명에 대한 이해를 돕기 위한 다른 SAR 아날로그-디지털 변환 장치는, 픽셀 신호와 기준 전압을 입력받아 비교 동작을 수행하여 비교 결과값을 출력하기 위한 비교기(310), 비교기(310)로부터의 비교 결과값을 저장 및 아날로그-디지털 변환값으로 출력하기 위한 저장부(320), 비교기(310)와 저장부(320)로부터의 비교 결과값을 입력받아 기 정해진 델타 리드아웃 로직에 따라 제어 신호를 출력하기 위한 델타 리드아웃 제어 로직부(330), 및 델타 리드아웃 제어 로직부(330)로부터의 제어 신호와 저장부(320)로부터 출력되는 아날로그-디지털 변환값 중 상위 비트값(MSB bits)에 따라 기준 전압을 생성하여 비교기(310)로 출력하기 위한 커패시터 디지털-아날로그 변환부(340)를 포함한다.

[0035] 여기서, 도 3a에 도시된 SAR 아날로그-디지털 변환 장치는 도 2에서 전술한 SAR 아날로그-디지털 변환 장치의 구성 및 동작과 유사하나, 다만 이전 픽셀 신호의 아날로그-디지털 변환값을 이용하기 위한 구성 및 동작이 다르다. 즉, 델타 리드아웃 제어 로직부(330)는 도 2의 SAR 제어 로직부(230)에 이전 픽셀 신호의 아날로그-디지털 변환값을 이용하기 위한 로직이 추가되어 구현될 수 있으며, 저장부(320)로부터 출력되는 아날로그-디지털 변환값 중에서 상위 비트들에 해당하는 디지털 코드값이 커패시터 디지털-아날로그 변환부(340)로 입력되어 다음 픽셀 신호를 아날로그-디지털 변환하는데 이용될 수 있다.

[0036] 이를 통해 SAR 아날로그-디지털 변환 동작을 수행함에 있어, 상위 비트들을 아날로그-디지털 변환하기 위하여 소요되는 전력 소모를 감소시킬 수 있다. 또한, 고속 동작 시 SAR 아날로그-디지털 변환 장치의 커패시터 디지털-아날로그 변환부(340)의 MSB(Most Significant Bit) 비트들에 해당하는 커패시터 $C*2^{n-1}$부터 $C*2^{n-m}$에 따른 기준 전압을 생성하기 위한 새틀링 마진(Settling Margin)을 고려하지 않아도 되므로 동작 속도를 어느 정도 향상시킬 수 있다. 여기서, m은 출력된 아날로그-디지털 변환값 중에서 다음 픽셀 신호를 아날로그-디지털 변환하는데 사용되는 상위 비트의 개수에 해당한다.

[0037] 그러나 이전 픽셀 신호의 아날로그-디지털 변환값을 이용하는 SAR 아날로그-디지털 변환 장치를 구현함에 있어, 도 3b에 도시된 V_{RAMP}의 아날로그-디지털 변환을 위한 동작 구간 중 후술되는 도 4b에 도시된 V_{RC} 구간에서, 이전 픽셀 신호의 아날로그-디지털 변환값의 상위 비트값(즉, 상위 비트 정보)을 복사해 오는데 있어 그 값이 유효한지를 판단하는 동작을 위한 타이밍이 필요하다. 이로 인하여 기존의 SAR 아날로그-디지털 변환 장치의 동작과 대비하여 클럭 수가 증가하기 때문에 아날로그-디지털 변환 동작 속도가 감소하게 되는 단점이 발생하게 된다.

[0038] 또한, 기본적으로 SAR 아날로그-디지털 변환 장치의 경우, 커패시터 디지털-아날로그 변환부(340)를 통해 픽셀 신호와 비교하기 위한 기준 전압을 생성하는데, 이때 커패시터 디지털-아날로그 변환부(340)의 절대 면적 크기로 인하여 픽셀 피치(Pixel Pitch)에 해당하는 크기에 맞게 하나의 컬럼에 SAR 아날로그-디지털 변환 장치를 집적(즉, 레이아웃)하는 것이 어렵다. 이를 극복하기 위하여 기준 전압 생성기를 소형화하여 픽셀 피치에 해당하는 크기에 맞게 하나의 컬럼에 어떻게든 집적시킨다 하더라도 기준 전압 생성기의 소형화에 따른 기준 전압 생성기의 성능 저하가 SAR 아날로그-디지털 변환 장치의 성능 저하로 직결되기 때문에 싱글-슬롭 아날로그-디지털 변환 장치의 경우처럼 보통 기준 전압 생성기를 크게 설계하여 성능 저하를 최소화하여야 하므로 면적을 감소시키기 어렵다.

[0039] 때문에, 도 4a에 도시된 바와 같은 구조의 SAR 아날로그-디지털 변환 장치가 제안되었다.

[0040] 도 4a는 본 발명에 대한 이해를 돕기 위한 SAR 아날로그-디지털 변환 장치의 또 다른 예시도이고, 도 4b는 도 4a에 도시된 SAR 아날로그-디지털 변환 장치의 타이밍도이다.

[0041] 도 4a에 도시된 바와 같이, 본 발명에 대한 이해를 돕기 위한 SAR 아날로그-디지털 변환 장치는, 외부 제어부(도면에 도시되지 않음, 예를 들어 타이밍 제너레이터)로부터의 선택 제어 신호(V_{CSEL}, 도 4b 참조)에 따라 순차적으로 픽셀 신호를 선택하기 위한 먹스(MUX, 450), 기준 전압과 먹스(450)에서 선택된 픽셀 신호를 입력받아 비교 동작을 수행하여 비교 결과값을 출력하기 위한 비교기(410), 비교기(410)로부터의 비교 결과값을 저장 및 아날로그-디지털 변환값으로 출력하기 위한 저장부(420), 비교기(410)와 저장부(420)로부터의 비교 결과값을 입력받아 기 정해진 델타 리드아웃 로직에 따라 제어 신호를 출력하기 위한 델타 리드아웃 제어 로직부(430), 및 델타 리드아웃 제어 로직부(430)로부터의 제어 신호와 저장부(420)로부터 출력되는 아날로그-디지털 변환값 중 상위 비트값(MSB bits)에 따라 기준 전압을 생성하여 비교기(410)로 출력하기 위한 커패시터 디지털-아날로그 변환부(440)를 포함한다.

[0042] 여기서, 도 4a에 도시된 SAR 아날로그-디지털 변환 장치는 도 3a에서 전술한 SAR 아날로그-디지털 변환 장치의 구성 및 동작과 유사하나, 다만 픽셀 신호를 순차적으로 선택하기 위한 구성 및 동작이 다르다.

[0043] 전술한 바와 같이 하나의 컬럼당 하나의 SAR 아날로그-디지털 변환 장치를 구비하는 것이 아닌, 도 4a에 도시된 바와 같이 복수의 컬럼당 하나의 SAR 아날로그-디지털 변환 장치를 집적하는 형태가 복수의 컬럼을 합친 면적을 피치로 사용할 수 있으므로 SAR 아날로그-디지털 변환 장치의 성능을 온전히 유지하면서 SAR 아날로그-디지털 변환이 가능한 형태가 될 수 있다. 그 이유는, 커패시터 디지털-아날로그 변환부(440)를 좁은 픽셀 피치에 해당하는 크기에 맞게 하나의 컬럼에 집적함에 있어, 커패시터 디지털-아날로그 변환부(440)의 커패시터 어레이의 매칭이 틀어져 정교성이 감소되는 현상을 피할 수 있기 때문이다.

[0044] 그러나 도 4a에 도시된 바와 같이 하나의 SAR 아날로그-디지털 변환 장치를 복수의 픽셀 신호를 순차적으로 아날로그-디지털 변환하는데 사용하기 위해서는 먹스(450)가 필요하다. 이 먹스(450)는 순차적으로 각 컬럼의 픽셀 신호를 선택할 수 있게 하는 스위치를 구비하고 있으며, 이 스위치가 선택되어 온 또는 오프되면서 발생되는 챠지 인젝션(Charge Injection)과 클럭 피드스루(Clock Feedthrough), 및 커플링(Coupling) 등으로 인하여 픽셀 신호에 비선형성(Non-Linearity)이 유발되게 되며, 이로 인하여 이미지 센서의 화질이 열화되게 된다.

[0045] 도 5a는 본 발명의 실시예에 따른 SAR 아날로그-디지털 변환 장치 및 시스템의 구성도이고, 도 5b는 도 5a에 도시된 SAR 아날로그-디지털 변환 장치 및 시스템의 타이밍도이며, 도 5c는 도 5a에 도시된 SAR 아날로그-디지털 변환 장치 및 시스템의 동작 파형을 나타내는 도면이다.

[0046] 도 5a에 도시된 바와 같이, 본 발명의 실시예에 따른 SAR 아날로그-디지털 변환 장치는, 기준 전압과 복수의 픽셀 신호를 각각 비교하여 비교 신호(비교 결과값)들을 출력하기 위한 비교 블럭(510), 비교 블럭(510)으로부터의 비교 신호들을 이용하여 아날로그-디지털 변환 모드를 결정하기 위한 아날로그-디지털 변환 모드 결정 블럭(520), 및 복수의 컬럼에 공유되어, 비교 블럭(510)으로부터의 비교 신호들과 아날로그-디지털 변환 모드 결정 블럭(520)으로부터의 모드 결정값에 따라 LSB 아날로그-디지털 변환 또는 풀 아날로그-디지털 변환을 위한 기준 전압을 생성하여 비교 블럭(510)으로 출력하기 위한 공유 블럭(530)을 포함한다.

[0047] 한편, 도 5a에 도시된 바와 같이, 본 발명의 실시예에 따른 SAR 아날로그-디지털 변환 시스템은, 기준 전압과 복수의 픽셀 신호를 각각 비교하여 비교 신호(비교 결과값)들을 출력하기 위한 비교 블럭(510), 비교 블럭(510)으로부터의 비교 신호들을 이용하여 아날로그-디지털 변환 모드를 결정하기 위한 아날로그-디지털 변환 모드 결정 블럭(520), 복수의 컬럼에 공유되어, 비교 블럭(510)으로부터의 비교 신호들과 아날로그-디지털 변환 모드 결정 블럭(520)으로부터의 모드 결정값에 따라 LSB 아날로그-디지털 변환 또는 풀 아날로그-디지털 변환을 위한 기준 전압을 생성하여 비교 블럭(510)으로 출력하기 위한 공유 블럭(530), 및 비교 블럭(510)의 동작할 컬럼을 활성화시키고 아날로그-디지털 변환 모드 결정 블럭(520)과 공유 블럭(530)이 해당 활성화 컬럼의 아날로그-디지털 변환 동작을 수행하도록 제어하는 공유 컬럼 선택부(540)를 포함한다.

[0048] 여기서, 비교 블럭(510)은, 제 1 컬럼의 픽셀 신호와 공유 블럭(530)으로부터의 기준 전압을 비교하여 제 1 비교 신호를 출력하기 위한 제 1 비교기(511), 및 제 2 컬럼의 픽셀 신호와 공유 블럭(530)으로부터의 기준 전압을 비교하여 제 2 비교 신호를 출력하기 위한 제 2 비교기(512)를 포함한다.

[0049] 그리고 아날로그-디지털 변환 모드 결정 블럭(520)은, 비교 블럭(510)으로부터의 제 1 비교 신호와 공유 블럭(530)으로부터의 이전 컬럼 픽셀 신호의 아날로그-디지털 변환값 중 상위 비트값과 현재 컬럼 픽셀 신호를 비교한 값을 이용하여 아날로그-디지털 변환 모드를 결정하기 위한 제 1 아날로그-디지털 변환 모드 결정기(521),

및 비교 블럭(510)으로부터의 제 2 비교 신호와 공유 블럭(530)으로부터의 이전 컬럼 픽셀 신호의 아날로그-디지털 변환값 중 상위 비트값과 현재 컬럼 픽셀 신호를 비교한 값을 이용하여 아날로그-디지털 변환 모드를 결정하기 위한 제 2 아날로그-디지털 변환 모드 결정기(522)를 포함한다.

[0050] 그리고 공유 블럭(530)은, 복수의 컬럼에 공유되어, 비교 블럭(510)과 아날로그-디지털 변환 모드 결정 블럭(520)의 출력값에 따라 LSB 아날로그-디지털 변환 또는 풀 아날로그-디지털 변환 동작을 제어하기 위한 공유 SAR 동작 로직부(531), 복수의 컬럼에 공유되어, 이전 컬럼 픽셀 신호의 아날로그-디지털 변환값 중 상위 비트값을 저장 및 공유 저장부(534)에 복사해 주고, 공유 SAR 동작 로직부(531)를 통한 비교 블럭(510)의 비교 결과값에 따라 상위 비트값을 업데이트하기 위한 공유 상위 비트 저장 및 업데이트부(532), 복수의 컬럼에 공유되어, 공유 SAR 동작 로직부(531)의 제어에 따라 이전 컬럼 픽셀 신호의 아날로그-디지털 변환값 중 상위 비트값과 현재 컬럼 픽셀 신호를 비교한 값을 아날로그-디지털 변환 모드 결정 블럭(520)으로 출력하고, 비교 동작을 위한 기준 전압(V_{DAC_WN})을 생성하기 위한 레인징 제어값을 공유 저장부(534)로 출력하기 위한 공유 레인징부(533), 복수의 컬럼에 공유되어, 상위 비트 저장 및 업데이트부(532)를 통한 비교 블럭(510)의 비교 결과값을 저장 및 아날로그-디지털 변환값으로 출력하고, 공유 레인징부(533)로부터의 레인징 제어값을 저장하기 위한 공유 저장부(534), 및 복수의 컬럼에 공유되어, 공유 저장부(534)에 저장되어 있는 저장값에 따라 기준 전압을 생성하여 비교 블럭(510)의 각 비교기로 출력하기 위한 공유 커패시터 디지털-아날로그 변환부(535)를 포함한다.

[0051] 이러한 각 구성 요소의 구체적인 구성 및 동작을 좀 더 상세히 살펴보면 다음과 같다.

[0052] 먼저, 제 1 컬럼에 구비된 제 1 비교기(511)는 제 1 컬럼의 픽셀 신호($V_{PIX\ [COL1]}$)와 공유 커패시터 디지털-아날로그 변환부(535)에서 생성된 기준 전압을 입력받아 비교하여 제 1 비교 신호를 공유 SAR 동작 로직부(531, LSB 아날로그-디지털 변환 및 풀 아날로그-디지털 변환)와 제 1 아날로그-디지털 변환 모드 결정기(521)로 출력하고, 제 2 컬럼에 구비된 제 2 비교기(512)는 제 2 컬럼의 픽셀 신호($V_{PIX\ [COL2]}$)와 공유 커패시터 디지털-아날로그 변환부(535)에서 생성된 기준 전압을 입력받아 비교하여 제 2 비교 신호를 공유 SAR 동작 로직부(531)와 제 2 아날로그-디지털 변환 모드 결정기(522)로 출력한다. 즉, SAR 아날로그-디지털 변환 장치를 구현함에 있어, 큰 면적을 차지하는 공유 커패시터 디지털-아날로그 변환부(535)를 비롯하여 공유 SAR 동작 로직부(531), 공유 상위 비트 저장 및 업데이트부(532), 공유 레인징부(533), 및 공유 저장부(534) 등이 일예로 두 개의 컬럼마다 공유되어 있다. 그에 따라, 각 컬럼의 픽셀 신호를 도 4a의 구조처럼 먹스(450)를 통해 선택적으로 하나의 비교기(410)가 입력받는 것이 아니기 때문에, 먹스(450) 내부의 스위치의 동작으로 인한 비선형성 문제가 발생하지 않는다. 여기서, 각 컬럼의 공유 형태는 씨모스 이미지 센서(CIS)의 구조와 형태에 따라 공유 컬럼의 수가 3개 또는 4개 등과 같이 복수 개로 변경될 수 있다.

[0053] 그리고 제 1 및 제 2 아날로그-디지털 변환 모드 결정기(521, 522)는 공유 레인징부(533)의 V_{RC} 구간 동작 결과값에 의존하여 이전 컬럼 픽셀 신호의 아날로그-디지털 변환값 중 상위 비트값을 이용하여 현재 컬럼의 픽셀 신호를 아날로그-디지털 변환((LSB 아날로그-디지털 변환)할지 또는 V_{DAC_MSB} 값을 리셋하고 기존의 SAR 동작과 동일하게 아날로그-디지털 변환(풀 아날로그-디지털 변환)할지를 결정한다. 이때, 제 1 및 제 2 아날로그-디지털 변환 모드 결정기(521, 522)에서 결정된 모드에 따른 동작은 공유 SAR 동작 로직부(531)(LSB 아날로그-디지털 변환 및 풀 아날로그-디지털 변환)에 의해서 구현될 수 있다.

[0054] 이때, 현재 컬럼 픽셀 신호의 값과 대비하여 이전 컬럼 픽셀 신호의 아날로그-디지털 변환값 중 상위 비트값의 신호 차를 판단한 결과가 각 컬럼별로 제 1 및 제 2 아날로그-디지털 변환 모드 결정기(521, 522)에 저장되며 연산을 통해 모드가 결정된다. 만약, 어느 컬럼에서 커패시터 C_{R2}를 올렸을 때 비교 블럭(510)의 출력값이 변경되면 +1을 아날로그-디지털 변환 시 이전 컬럼 픽셀 신호의 아날로그-디지털 변환값 중 상위 비트들에 공유 SAR 동작 로직부(531)를 통해 공유 상위 비트 저장 및 업데이트부(532)에서 업데이트해주고 주고 나머지 LSB만 아날로그-디지털 변환하는 동작 모드를 선택한다. 만약, z번째의 커패시터 C_{Rz}를 올렸을 때 비교 블럭(510)의 출력값이 변경되면 +(z-1)을 이전 컬럼 픽셀 신호의 아날로그-디지털 변환값에서 복사해온 상위 비트들에 업데이트하고 LSB 아날로그-디지털 변환을 진행한다. 여기서, z는 레이징 동작의 횟수이다. 만약, 커패시터 C_{Rz}번째 동작까지 비교 블럭(510)의 출력값이 변경되지 않으면 기존의 SAR 동작 모드를 선택하고 이전 컬럼 픽셀 신호의 아날로그-디지털 변환값에서 복사해온 상위 비트들을 사용하지 않고 MSB부터 LSB까지 순차적으로 변환한다. 즉, 커패시터 C_{Rz}까지 공유 커패시터 디지털-아날로그 변환부(535)를 제어하는 과정에서 비교 블럭(510)의 출력값이 변

한다면 도 6b에 도시된 바와 같이 LSB 아날로그-디지털 변환 모드로, 그렇지 않고 커패시터 C_{R2}까지 커패시터 디지털-아날로그 변환부(535)를 제어하는 과정에서 비교 블럭(510)의 출력값이 변하지 않는다면 도 6c에 도시된 바와 같이 풀 아날로그-디지털 변환 모드로 동작하도록 한다.

[0055] 그리고 공유 SAR 동작 로직부(531)는 비교 블럭(510)으로부터 비교 신호들을 입력받고, 아날로그-디지털 변환 모드 결정 블럭(520)으로부터의 모드 결정값에 따라 LSB 아날로그-디지털 변환 모드 또는 풀 아날로그-디지털 변환 모드에 따른 동작을 제어한다.

[0056] 그리고 공유 상위 비트 저장 및 업데이트부(532)는 이전 컬럼 픽셀 신호의 아날로그-디지털 변환값 중 상위 비트들을 현재 컬럼의 픽셀 신호를 아날로그-디지털 변환하는데 이용하기 위해, (여기서, 도 5a에서 $V_{PIX\,[COL2]}$가 현재 아날로그-디지털 변환을 위해 선택된 컬럼이라고 할 때 $V_{PIX\,[COL1]}$의 아날로그-디지털 변환값이 이전 컬럼 픽셀 신호의 아날로그-디지털 변환값에 해당함) 공유 커패시터 디지털-아날로그 변환부(535)에 x개(여기서, x는 이전 컬럼 픽셀 신호의 아날로그-디지털 변환값에서 선택되는 상위 비트의 개수에 해당함)의 상위 비트들에 해당하는 전압값인 V_{DAC_MSB} 값을 공유 저장부(534)를 통해 출력해준다. 또한, 이전 컬럼 픽셀 신호의 아날로그-디지털 변환값 중 상위 비트들이 현재 컬럼의 픽셀 신호의 값을 아날로그-디지털 변환하는데 이용되기 위해 업데이트(Update)가 필요하게 될 수 있다. 이는 처음 이전 컬럼 픽셀 신호의 아날로그-디지털 변환값 중 상위 비트들을 복사해온 후 현재 컬럼의 픽셀 신호의 값과 비교하여 그 유효성을 판단하는 동작 구간인 도 5c의 V_{RC} 타이밍 구간에서 결정되며, 이때 복사해온 상위 비트들이 4-MSB 비트로서 '0011'이라고 할 때, 4-MSB 비트에 1 또는 2를 더해주는 형태인 '0011+0001' 또는 '0011+0010' 값으로 업데이트한다.

[0057] 그리고 공유 레인징부(533)는, 이전 컬럼 픽셀 신호의 아날로그-디지털 변환값 중 상위 비트값을 복사해온 후 현재 컬럼 픽셀 신호의 값과 비교하여 그 비교 결과값을 아날로그-디지털 변환 모드 결정 블럭(520)으로 출력하고, 비교 동작을 위한 기준 전압(V_{DAC_WN})을 생성하기 위한 레인징 제어값을 공유 저장부(534)에 저장하여 도 6a 내지 도 6c의 공유 커패시터 디지털-아날로그 변환부(535)의 커패시터 C_{R1}과 C_{R2}가 그에 따라 제어되도록 함으로써 해당 비교 동작을 위한 기준 전압인 V_{DAC_WN}이 생성되도록 한다.

[0058] 그리고 공유 저장부(534)는, 비교 블럭(510)에서 비교된 결과값을 저장 및 아날로그-디지털 변환값으로 출력하고, 그 저장되어 있는 저장값(예를 들어, 상위 비트값, 하위 비트값, 레인징 제어값 등)에 따라 아날로그-디지털 변환을 위한 기준 전압을 생성하는 공유 커패시터 디지털-아날로그 변환부(535)의 바이너리 커패시터 어레이가 제어되도록 한다.

[0059] 그리고 공유 커패시터 디지털-아날로그 변환부(535)는 공유 저장부(534)에 저장되어 있는 저장값에 따라 픽셀 신호를 아날로그-디지털 변환하기 위해 필요한 기준 전압을 생성하는 블럭으로, 바이너리 커패시터 어레이를 이용하여 구현할 수 있다. 즉, 도 6a에 도시된 바와 같이 공유 커패시터 디지털-아날로그 변환부(535)는 C_{n-1}부터 C_0의 커패시터들과 커패시터 C_{R1}과 C_{R2}과 하나의 스위치(SW_{UPDATE})를 이용하여 구현할 수 있다. 여기서, 스위치(SW_{UPDATE})가 온됨에 따라 업데이트 전압이 각 커패시터에 인가되어 챠지가 리셋되게 된다.

[0060] 그리고 공유 컬럼 선택부(540)는 아날로그-디지털 변환을 수행할 컬럼의 비교기를 선택 제어 신호(V_{CSEL})를 이용하여 활성화시켜 주고, 아날로그-디지털 변환 모드 결정 블럭(520)과 공유되어 있는 공유 블럭(530)이 해당 비교기의 아날로그-디지털 변환을 위한 동작을 수행할 수 있도록 제어해 준다. 즉, 복수 개의 비교기의 입력단은 각 컬럼의 픽셀 신호의 값을 입력으로 물고 있는 상태이기 때문에 비교기를 인에이블시키는 동작 자체가 해당 컬럼의 픽셀 신호의 전압값을 인에이블시켜주는 것과 같다.

[0061] 다음으로, 도 5b에 도시된 본 발명의 실시예에 따른 타이밍을, 도 4b에 도시된 이전 픽셀 신호에서 상위 비트 정보를 활용하는 구조의 타이밍과 비교하여 살펴보면 다음과 같다. 도 5b 및 도 4b의 경우 V_{CLK}, V_{CSEL}, V_{MCU}, V_{RC}, V_{LSB}, V_{FC}의 클럭 타이밍으로 이루어져 있다. 여기서, V_{CLK}는 시스템의 마스터 클럭에 해당한다. 1개의 아날로그-디지털 변환 장치를 이용하여 여러 컬럼의 픽셀 신호를 아날로그-디지털 변환함에 있어, V_{CSEL}은 여러 컬럼 중 아날로그-디지털 변환을 위해 특정 컬럼을 선택하는 제어 신호이다. 이를 통해 순차적으로 1부터 n개까지를 선택한다. 그리고 V_{MCU}는 이전 컬럼 픽셀 신호의 아날로그-디지털 변환값 중 상위 비트값을, 현재 선택된 픽셀 신호를 아날로그-디지털 변환하는데 사용할 수 있게 업데이트시키는 타이밍이다. 이때, 공유 커패시터 디지털-아날로그 변환부(535)에서는 기준 전압으로 이전 컬럼 픽셀 신호의 아날로그-디지털 변환값 중 상위 비트값에 맞는

값이 생성된다. 그리고 V_{RC}는 이전 컬럼 픽셀 신호의 아날로그-디지털 변환값 중 상위 비트값을 사용함에 있어 그 유효성을 확인하는 타이밍이다. 예를 들어, 현재 컬럼의 픽셀 신호 값이 이전 컬럼 픽셀 신호 값의 상위 비트 정보에 해당하는 V_{DAC_MSB} 값보다 높은 값을 갖는 상태인 경우 비교기는 1의 값을 출력한다. 이때, 정해진 C_{Rn}의 동작 구간동안 $V_{DAC_WN}(C_{Rn})$ 값을 기준 전압에 더해주어 "$V_{PIX}-V_{DAC_MSB}-V_{DAC_WN}(C_{Rn})<0$" 되는 순간, 즉 비교기의 출력 값이 0이 되는 경우, LSB 아날로그-디지털 변환 모드로 동작한다. 한편, 현재 컬럼의 픽셀 신호 값이 이전 컬럼의 픽셀 신호 값의 상위 비트 정보에 해당하는 V_{DAC_MSBB} 값보다 낮은 값을 갖는 상태인 경우 비교기는 0의 값 출력한다. 이때, 정해진 C_{Rn}의 동작 구간동안 $V_{DAC_WN}(C_{Rn})$ 값을 기준 전압에 더해주어 "$V_{PIX}-V_{DAC_MSB}-V_{DAC_WN}(C_{Rn})>0$" 되는 순간, 즉 비교기의 출력 값이 1이 되는 경우, 풀 아날로그-디지털 변환 모드로 동작한다. 도 4b에 도시된 바와 같이, 매 컬럼의 아날로그-디지털 변환 과정(V_{CSEL})에서 V_{RC}로 인하여 절대 클럭 수가 증가한 것을 확인할 수 있다. 이와 달리 도 5b의 경우 V_{RC}가 공유되어 ALL CSEL 구간에서 동작하며 이로 인해 절대 클럭 수가 도 4b와 대비하여 감소되는 것을 확인할 수 있다. 도 4b의 경우 매 컬럼마다 V_{RC}의 절대 클럭 수가 필요하지만, 도 5b의 경우 V_{RC}/a의 절대 클럭 수가 필요되는 것과 같다. 여기서, a는 도 5a에 도시된 바와 같이 공유 블럭(530)을 공유하고 있는 비교기의 수 또는 컬럼의 수이다. V_{RC} 구간에서의 결과값은 아날로그-디지털 변환 모드 결정 블럭(520)에 저장되어 V_{MCU} 구간에서 활용되며, 또한 공유 컬럼 선택부(540)에서 각 컬럼의 비교기를 선택한 후 아날로그-디지털 변환 모드 결정 블럭(520)이 아날로그-디지털 변환 모드를 결정하는데 활용된다.

[0062] 도 5c에 도시된 바와 같이, 4비트 SAR 아날로그-디지털 변환 장치의 경우를 예로 들어 살펴보면 다음과 같다. 이때, 2비트를 이전 컬럼 픽셀 신호의 아날로그-디지털 변환값에서 가져온다고 가정한다. 첫 번째 컬럼 픽셀 신호의 아날로그-디지털 변환 시 사용할 상위 비트들로는 풀 레퍼런스(Full Reference)의 공통 전압(V_{CM}) 값에 해당하는 상위 비트들을 시작 값으로 이용하거나, 바로 이전 로우(Row)의 픽셀 신호 코드값을 활용할 수 있다. 이를 위해 도 6a 내지 도 6c에 도시된 공유 상위 비트 저장 및 업데이트부(532)의 RM[n]에는 공유 컬럼 중 첫 번째 컬럼의 상위 비트 정보를 저장하고, CM[n]에는 바로 옆 컬럼의 상위 비트 정보를 저장한다. 그리고 각 컬럼마다의 아날로그-디지털 변환 모드 결정 블럭(520)에서 V_{RC} 타이밍 구간에 발생한 정보를 바탕으로 상위 비트 정보가 업데이트된다. 도 5c는 이전 로우의 공유 컬럼 중 첫 번째 컬럼 ($V_{PIX\,[1,1]}$)의 2-MSB 비트 값을 이용하는 예를 나타내며, 이 값을 이용하여 $V_{PIX\,[2,1]}$, $V_{PIX\,[2,2]}$, $V_{PIX\,[2,3]}$을 아날로그-디지털 변환하는 예를 보여준다. 여기서, 괄호의 숫자는 각각 [row, column]이다. 또한, V_{RC} 구간에서는 커패시터 C_{R1}과 C_{R2}를 사용하며, 이때 C_R의 커패시터의 크기는 1MSB 스텝, 즉 나머지 LSB의 총합에 따라 결정될 수 있다. 처음 1로우 동작 시, ALL CSEL 구간에서는 V_{MCU}, V_{RC}가 동작하며 V_{MCU}에서는 $V_{PIX\,[1,1]}$에서 2-MSB 비트 정보를 복사해와, 즉 도 6a 내지 도 6c의 RM[n]에서 공유 커패시터 디지털-아날로그 변환부(535)에 공유 저장부(534)를 통해 정보를 전달하여 V_{DAC_MSB} 정보가 생성되도록 한다. 이후, V_{RC}에서 C_R 커패시터를 순차적으로 제어하여 V_{DAC_WN} 전압을 공유 커패시터 디지털-아날로그 변환부(535)를 통해 생성하여 V_{DAC_MSB}의 유효성을 판단한다. 즉, 각 컬럼의 제 1 및 제 2 아날로그-디지털 변환 모드 결정기(521, 522)에 상위 비트 정보의 업데이트 내용과 동작 모드에 대한 정보를 저장한다. 이때, V_{COMP}는 비교기의 동작 타이밍이고, V_{CDAC}는 커패시터의 제어 타이밍이다. 이때, $V_{PIX\,[2,1]}$의 경우 커패시터 C_{R1}에 연결된 스위치의 동작 시 비교기의 출력값이 변경되었으므로, 이전 컬럼 픽셀 신호 값에서 복사해온 상위 비트 정보가 유효하며 나머지 LSB 정보로 현재 컬럼 픽셀 신호의 정보 값을 아날로그-디지털 변환할 수 있다는 의미이므로, LSB 아날로그-디지털 변환 모드로 동작하고, $V_{PIX\,[2,2]}$의 경우 LSB 아날로그-디지털 변환 모드이나 +1 상위 비트 정보를 2-MSB 비트 정보에 업데이트해주며, $V_{PIX\,[2,3]}$의 경우 V_{RC} 구간에서 비교기의 출력값이 변경되지 않았으므로 복사해온 상위 비트 정보가 유효하지 않다는 의미므로 풀 아날로그-디지털 변환 모드로 동작한다.

[0063] 도 6a는 도 5a의 공유 블럭(530)의 상세 구성도이고, 도 6b는 공유 블럭의 LSB 아날로그-디지털 변환 동작 상태를 나타내는 도면이며, 도 6c는 공유 블럭의 풀(Full) 아날로그-디지털 변환 동작 상태를 나타내는 도면이다.

[0064] 먼저, 공유 SAR 동작 로직부(531)는 전체 아날로그-디지털 변환 동작을 제어하는 제어부로서, 아날로그-디지털 변환 모드 결정 블럭(520)의 출력값에 따라 LSB 아날로그-디지털 변환 모드 또는 풀 아날로그-디지털 변환 모드에 따른 동작을 제어한다.

[0065] 그리고 공유 상위 비트 저장 및 업데이트부(532) 중 공유 상위 비트 저장부는 이전 컬럼 픽셀 신호의 아날로그-

디지털 변환값 중 상위 비트값에 해당하는 코드를 복사해 놓은 저장부이다. 여기서, 각 컬럼마다의 픽셀 신호를 아날로그-디지털 변환함에 있어, 이전 컬럼 픽셀 신호의 아날로그-디지털 변환값 중 상위 비트값을 공유 저장부(534)에 복사해줌으로써 이전 컬럼 픽셀 신호의 아날로그-디지털 변환값 중 상위 비트값에 해당하는 기준 전압값이 공유 커패시터 디지털-아날로그 변환부(535)에서 생성되도록 한다. 공유 상위 비트 저장 및 업데이트부(532) 중 공유 상위 비트 업데이트부는 매 컬럼마다의 제 1 및 제 2 아날로그-디지털 변환 모드 결정기(521, 522)에 저장되어 있는 V_{RC} 타이밍 구간에서의 공유 커패시터 디지털-아날로그 변환부(535)의 커패시터 C_{R1}, C_{R2}의 동작에 따른 비교 블럭(510)의 비교 결과값에 따라 상위 비트 정보(즉, 상위 비트값)를 업데이트시키는 연산부이다. 즉, 제 1 및 제 2 아날로그-디지털 변환 모드 결정기(521, 522)는 공유 레인징부(533)가 동작 시 커패시터 C_{R1}, C_{R2}의 동작 타이밍과 그에 따른 비교 블럭(510)의 비교 결과값을 통해 '현재 V_{PIX}-($V_{DAC_MSB}\pm\sum_{1}^{x} V_{DAC_MSB}\pm V_{DAC_WN}$)'의 결과를 알 수 있으며, 이 결과값에 따라 공유 SAR 동작 로직부(531)를 통해 공유 상위 비트 저장 및 업데이트부(532) 중 공유 상위 비트 업데이트부에 입력 신호를 준다.

[0066] 그리고 공유 레인징부(533)는 V_{RC} 타이밍 구간에서 동작하며, 공유 저장부(534)를 통해 공유 커패시터 디지털-아날로그 변환부(535)의 커패시터 C_{R1}부터 한 개씩 순차적으로 들어주며, 이때 공유 커패시터 디지털-아날로그 변환부(535)에서는 이에 상응하는 V_{DAC_WN}의 전압값이 순차적으로 생성된다. 이때, 비교 블럭(510)은 현재 컬럼의 픽셀 신호와 이전 컬럼 픽셀 신호의 $V_{DAC_MSB}\pm V_{DAC_WN}$($C_R$로 생성됨)의 값을 비교하여 비교 결과값을 아날로그-디지털 변환 모드 결정 블럭(520)으로 출력하여 줌으로써, 아날로그-디지털 변환 모드 결정 블럭(520)이 이전 컬럼 픽셀 신호의 V_{DAC_MSB} 값이 유효한지 판단하여 이전 컬럼 픽셀 신호의 V_{DAC_MSB} 값을 이용하여 아날로그-디지털 변환을 진행할지 아니면 이전 컬럼 픽셀 신호의 V_{DAC_MSB} 값을 사용하지 않고 기존의 SAR 동작을 진행할지를 판단하도록 하며, 그 판단 결과값이 공유 SAR 동작 로직부(531)에 입력되어 공유 저장부(534)가 제어되도록 한다. 그리고 공유 레인징부(533)는 C_{R1} 내지 C_{Rn}의 커패시터 어레이를 한 개씩 들어올려 각 컬럼마다 픽셀 신호의 위치를 판단할 수 있으며, V_{RC} 타이밍 구간은 모든 컬럼의 아날로그-디지털 변환 장치가 동시에 움직이는 구간이다. 본 발명의 실시예에서는 도 4b에 도시된 타이밍과 달리, 도 5b에 도시된 바와 같이 V_{RC} 타이밍 구간을 공유함으로써 절대 클럭 수를 감소시킬 수 있다.

[0067] 그리고 공유 저장부(534)는 비교 블럭(510)에서 비교된 결과값을 저장 및 아날로그-디지털 변환값으로 출력하고, 그 저장되어 있는 저장값에 따라 공유 커패시터 디지털-아날로그 변환부(535)의 커패시터들의 전압 레벨을 설정해 준다. 이때, 공유 저장부(534)는 상위 비트값을 저장하기 위한 래치, 하위 비트값을 저장하기 위한 래치, 및 레인징 제어값을 저장하기 위한 래치 등을 구비한다.

[0068] 그리고 공유 커패시터 디지털-아날로그 변환부(535)의 경우, 기존의 SAR 아날로그-디지털 변환 장치의 커패시터 디지털-아날로그 변환부(C-DAC)의 구성과 유사하게 Cn-1($C*2^{n-1}$)부터 Cn-m($C*2^{0}$)의 커패시터들로 이루어진 바이너리 웨이티드 커패시터 어레이(Binary Weighted Capacitor Array) 구조로 구현할 수 있으며, 처음 이전 컬럼 픽셀 신호의 아날로그-디지털 변환값 중 x-MSB 비트들을 복사해온 후 현재 컬럼의 픽셀 신호의 값과 비교하여 그 유효성을 판단하는 동작인 V_{RC} 타이밍 구간에서 V_{DAC_WN}의 전압을 생성해 주기 위해 C_{R1}, C_{R2}의 커패시터 어레이가 추가되었으며, 챠지를 리셋해 주기 위해 스위치(SW_{UPDATE})가 더 구비된다. 여기서, n은 아날로그-디지털 변환 비트 포맷이고 m은 n-1에 해당한다. 이때, 커패시터 C_{R1}, C_{R2}는 V_{RC} 타이밍에서의 동작 횟수에 따라 증가할 수 있다. 여기서, V_{RC} 타이밍은 이전 컬럼 픽셀 신호와 현재 컬럼 픽셀 신호가 실제로는 매우 근접한 위치에 있음에도 불구하고, 이전 컬럼 픽셀 신호의 아날로그-디지털 변환값 중에서 상위 비트값만을 복사해와 이용함에 있어서, 상위 비트들에 해당하는 V_{DAC_MSB} 전압이 현재 컬럼의 픽셀 신호 전압값과 차이가 발생하게 되고, 이때 마치 상위 비트들을 제외한 나머지 하위 비트 크기의 최대값을 넘어가는 형태처럼 보여질 수 있다. 이는 현재 컬럼의 픽셀 신호를 아날로그-디지털 변환함에 있어, 현재 컬럼 픽셀 신호의 아날로그-디지털 변환값 중 상위 비트값은 이전 컬럼 픽셀 신호의 아날로그-디지털 변환값 중 상위 비트값을 그대로 사용하고, 나머지 하위 비트만을 SAR 동작으로 위치를 찾아가는 형태에서 V_{RC} 타이밍에서의 유효성 검사 시 유효성이 없는 것처럼 보여질 수 있으므로 유효성 검사 범위를 확장할 수 있는데 이에 해당하는 전압 생성 횟수와 크기가 C_R의 커패시터 크기와 갯수로 결정된다. 이때, C_R의 커패시터의 크기는 1MSB 스텝, 즉 나머지 LSB의 총합에 따라 결정될 수 있으며 선택적으로 그

이상으로 구현될 수도 있다.

[0069] 이상과 같이 본 발명은 비록 한정된 실시 예와 도면에 의해 설명되었으나, 본 발명은 상기의 실시 예에 한정되는 것은 아니며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 다양한 치환, 변형 및 변경이 가능하다. 그러므로 본 발명의 범위는 설명된 실시 예에 국한되어 정해져서는 아니 되며, 후술하는 특허청구범위뿐만 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

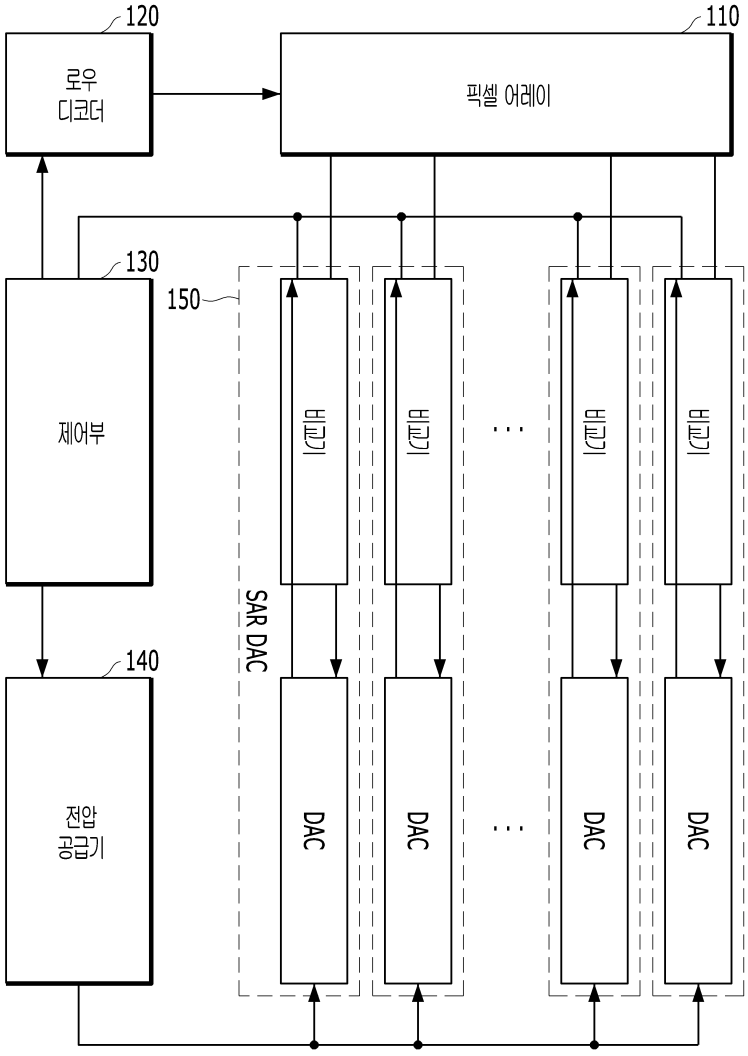
부호의 설명

[0071] 510 : 비교 블럭 520 : 아날로그-디지털 변환 모드 결정 블럭

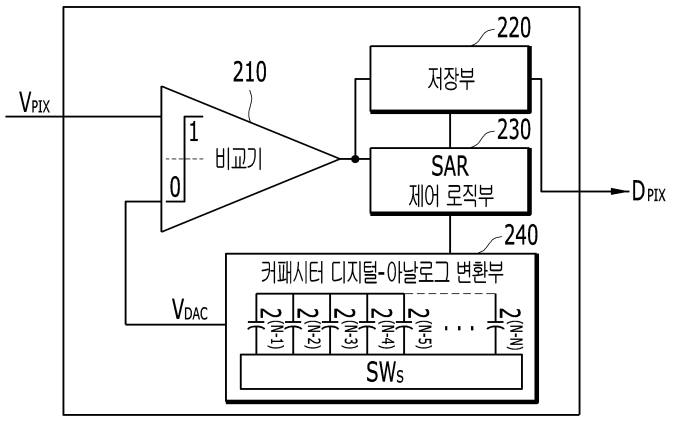
530 : 공유 블럭 540 : 공유 컬럼 선택부

도면

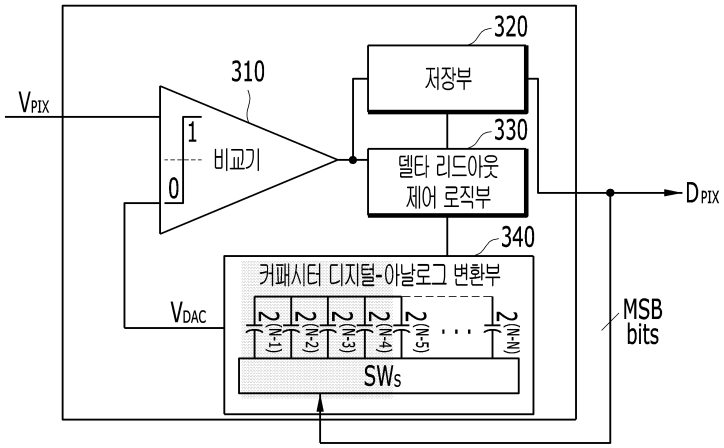
도면1



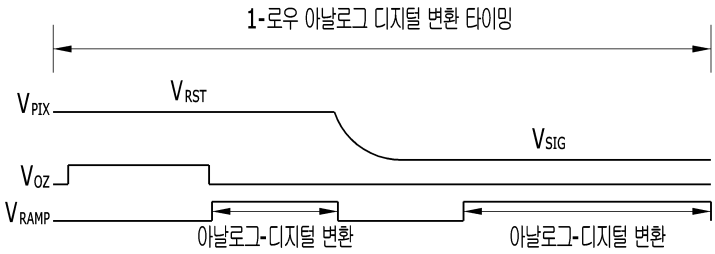
도면2



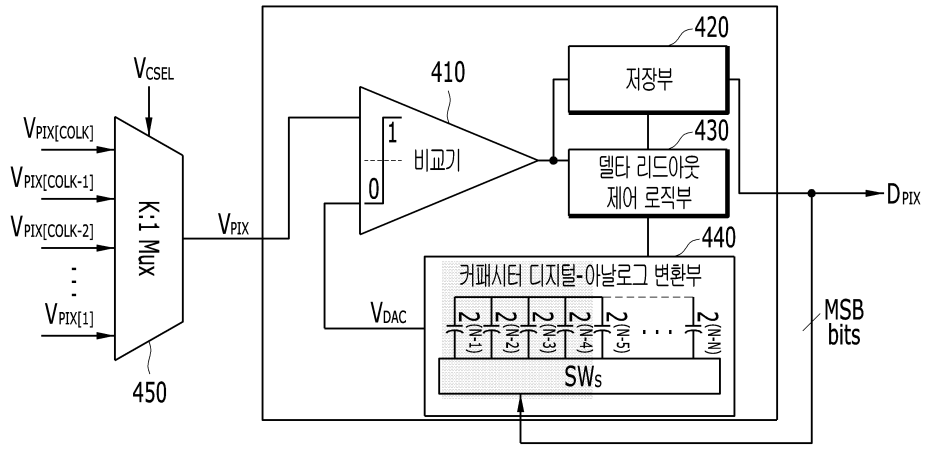
도면3a



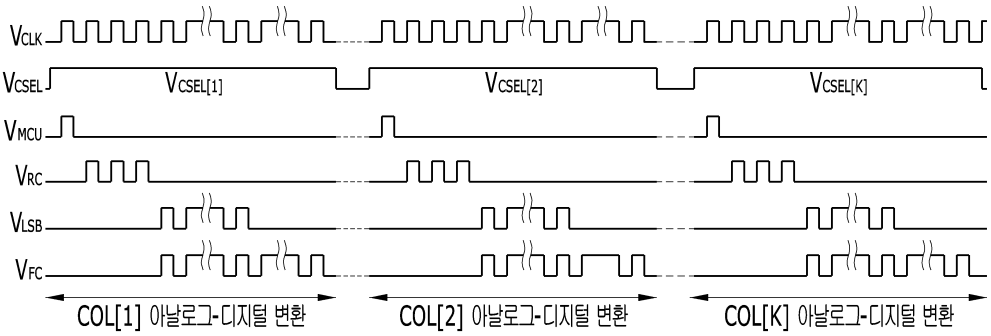
도면3b



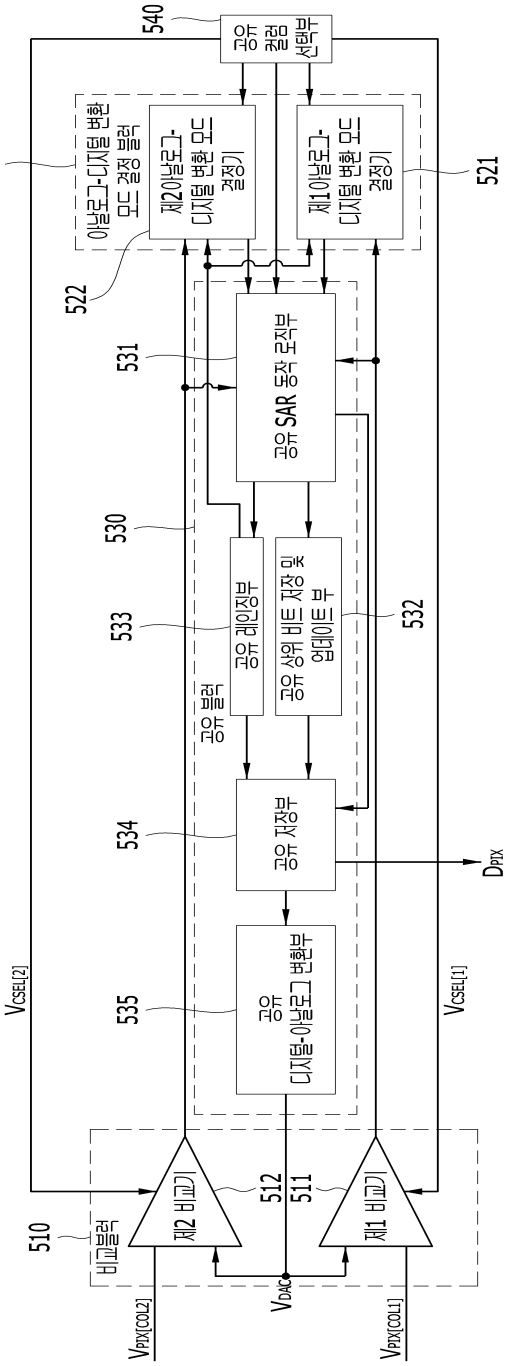
도면4a


VCSEL
VPIX[COLK]
VPIX[COLK-1]
VPIX[COLK-2]
VPIX[1]
K:1 Mux
450
VPIX
410
1
0
비교기
420
저장부
430
델타 리드아웃
제어 로직부
DPIX
440
커패시터 디지털-아날로그 변환부
VDAC
2^(N-1)
2^(N-2)
2^(N-3)
2^(N-4)
2^(N-5)
2^(N-N)
SWs
MSB
bits

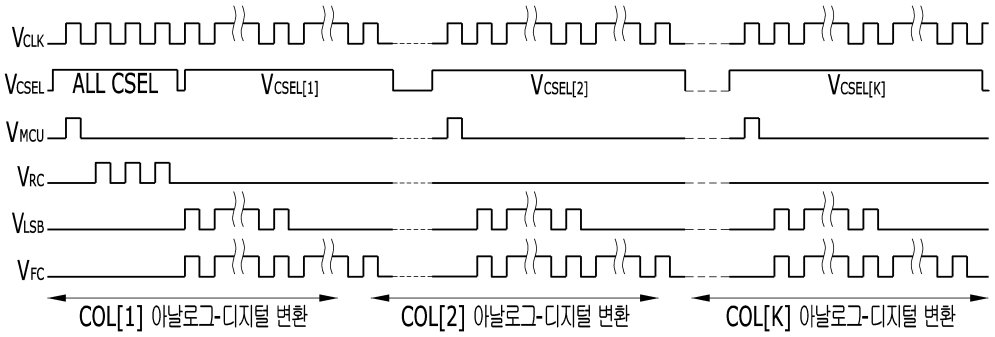
도면4b


VCLK
VCSEL
VCSEL[1]
VCSEL[2]
VCSEL[K]
VMCU
VRC
VLSB
VFC
COL[1] 아날로그-디지털 변환
COL[2] 아날로그-디지털 변환
COL[K] 아날로그-디지털 변환

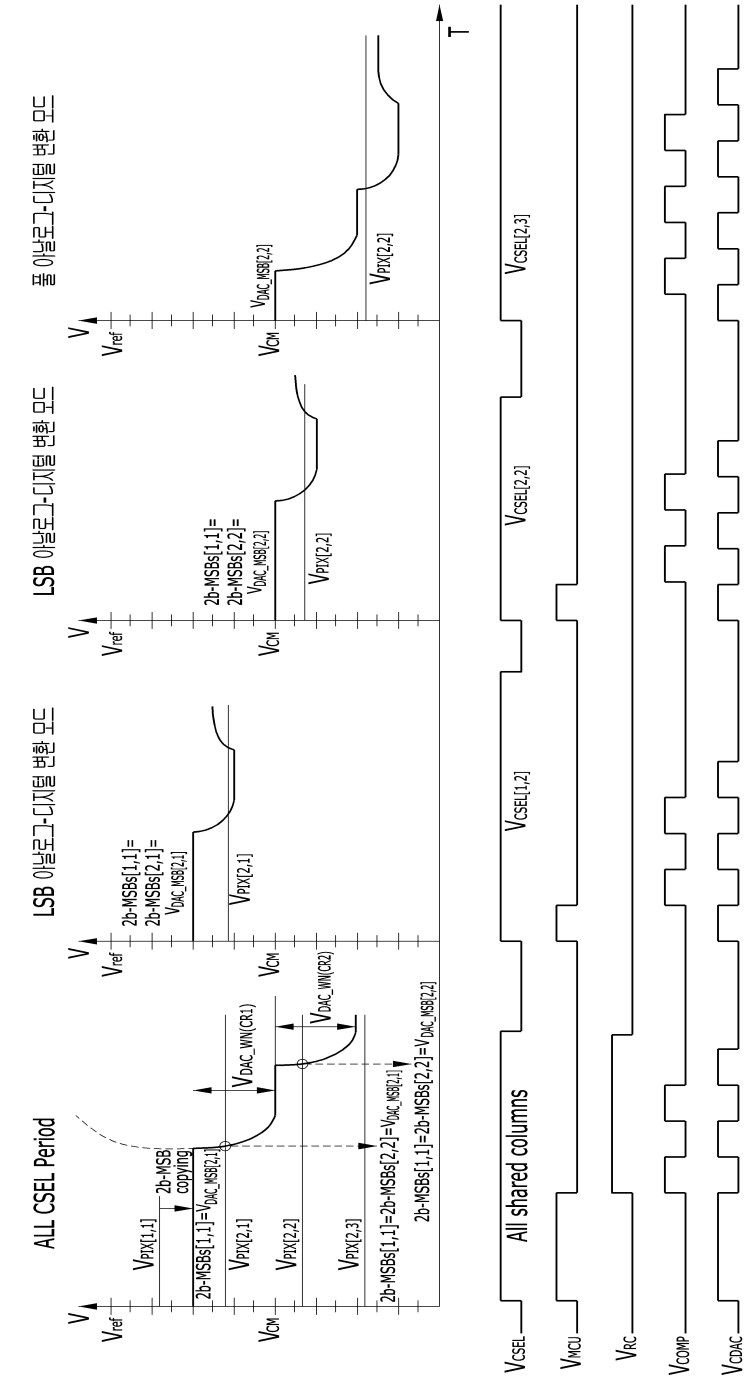
도면5a


540
공유 컬럼 선택부
520
아날로그-디지털 변환 모드 결정 블럭
제2아날로그-디지털 변환 모드 결정기
제1아날로그-디지털 변환 모드 결정기
521
522
531
공유 SAR 동작 로직부
530
533
공유 레인징부
공유 상위 비트 저장 및 업데이트 부
532
공유 블럭
534
공유 저장부
DPIX
535
공유 디지털-아날로그 변환부
VCSEL[2]
VCSEL[1]
510
비교블럭
제2 비교기
512
511
제1 비교기
VDAC
VPIX[COL2]
VPIX[COL1]

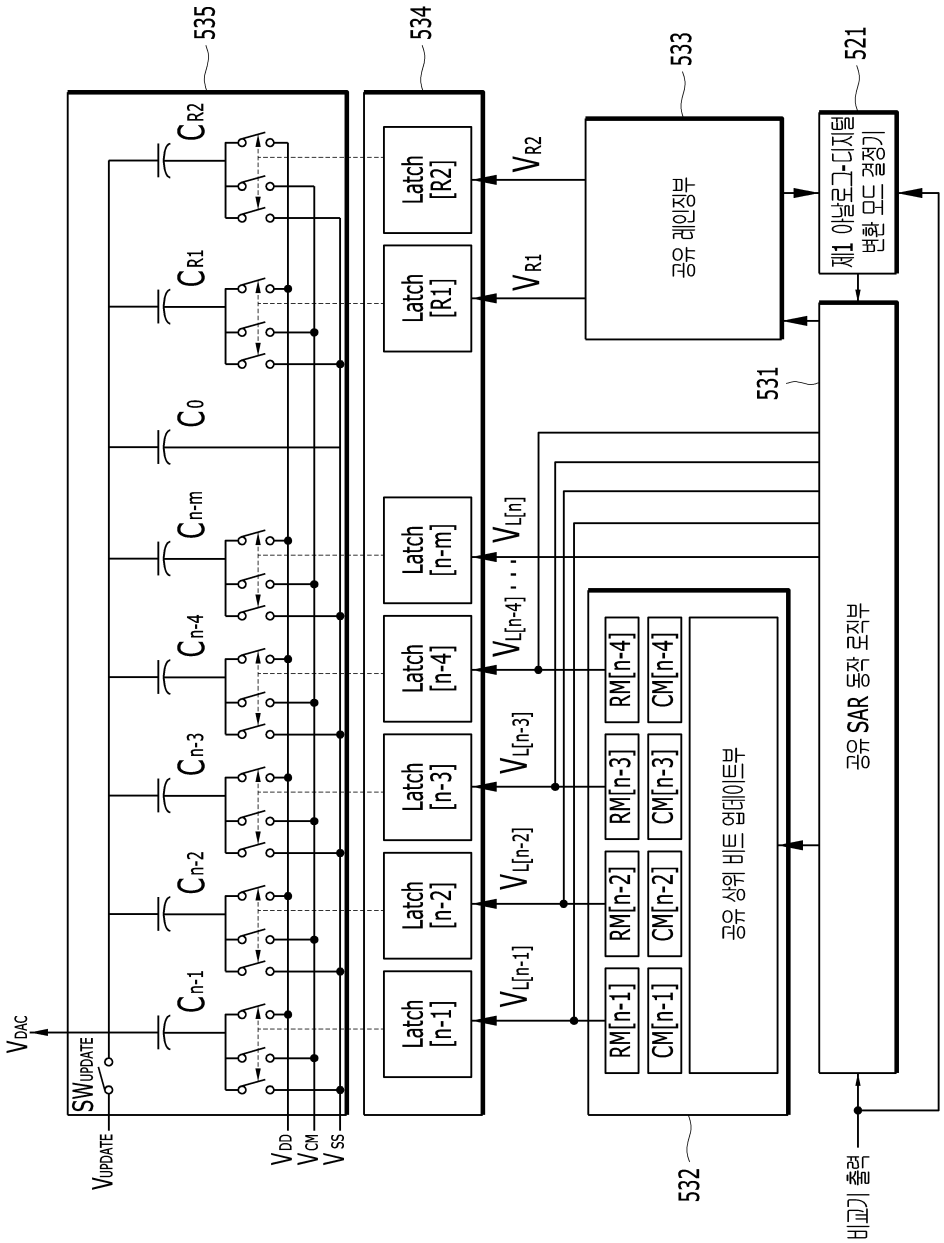
도면5b


VCLK
VCSEL
ALL CSEL
VCSEL[1]
VCSEL[2]
VCSEL[K]
VMCU
VRC
VLSB
VFC
COL[1] 아날로그-디지털 변환
COL[2] 아날로그-디지털 변환
COL[K] 아날로그-디지털 변환

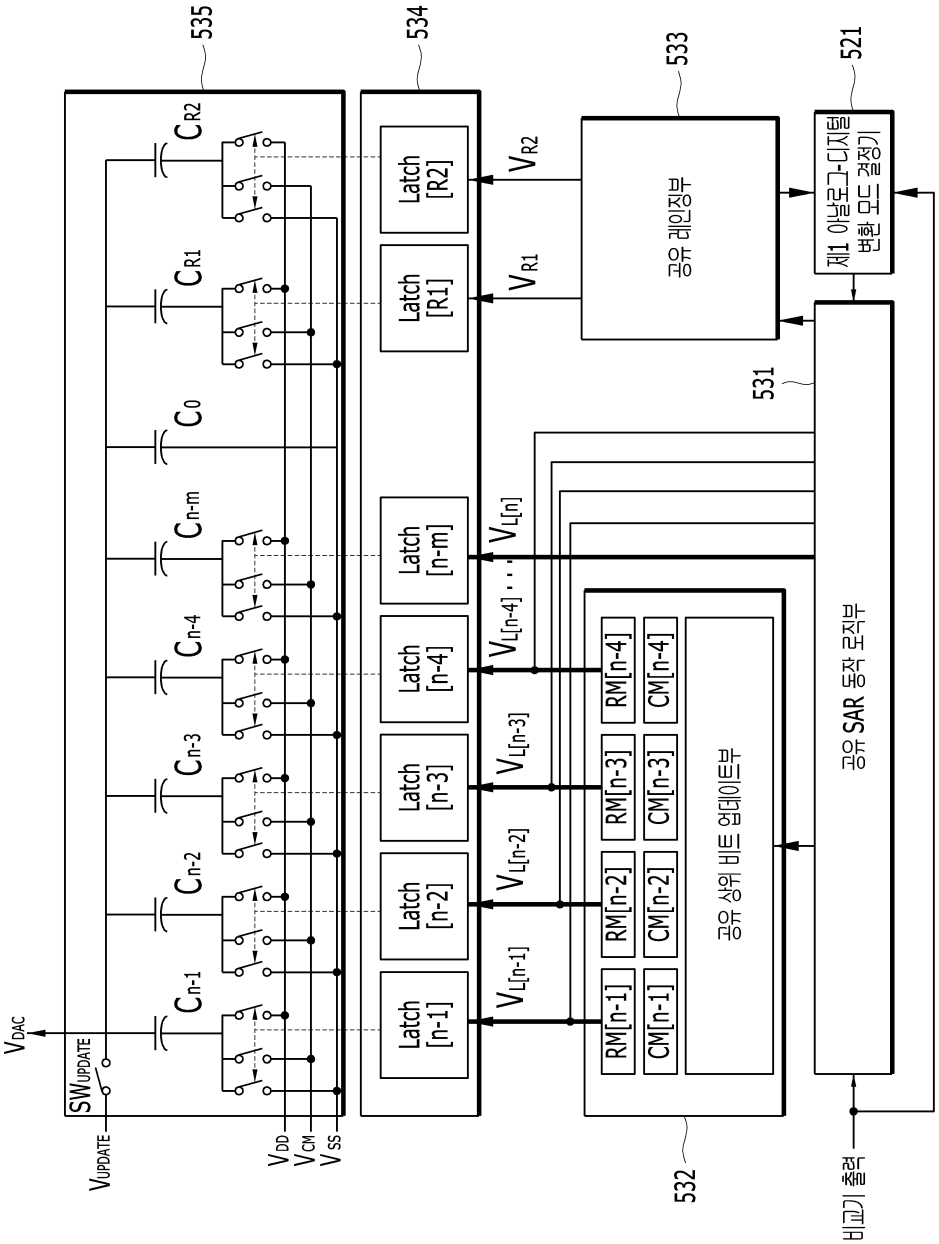
도면5c


ALL CSEL Period
LSB 아날로그-디지털 변환 모드
LSB 아날로그-디지털 변환 모드
풀 아날로그-디지털 변환 모드
T
All shared columns
VCSEL
VMCU
VRC
VCOMP
VCDAC
VCSEL[1,2]
VCSEL[2,2]
VCSEL[2,3]

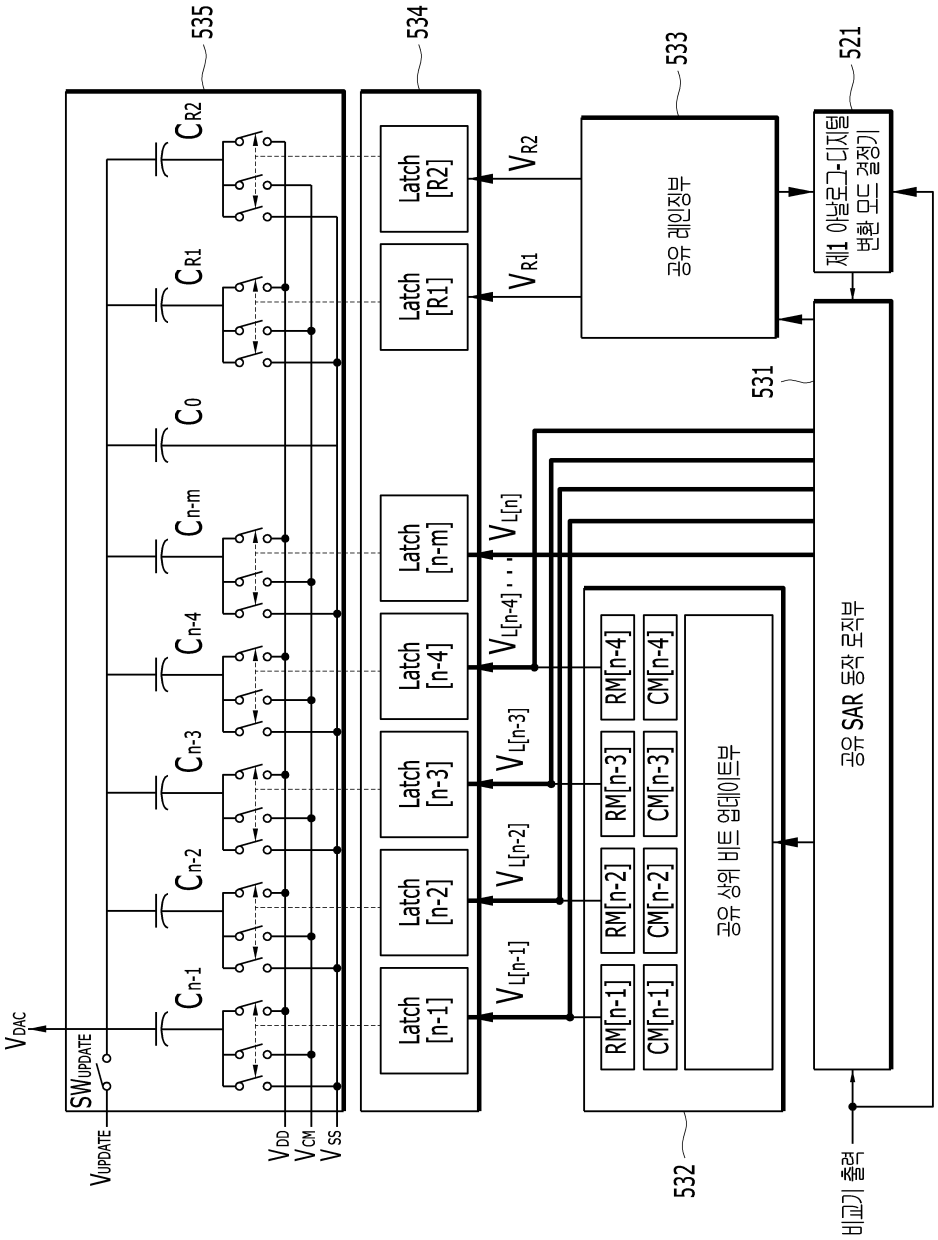
도면6a


535
534
533
521
531
532
비교기 출력
제1 아날로그-디지털 변환 모드 결정기
공유 레인징부
공유 SAR 동작 로직부
공유 상위 비트 업데이트부
Latch [R2]
Latch [R1]
Latch [n-m]
Latch [n-4]
Latch [n-3]
Latch [n-2]
Latch [n-1]
RM[n-4]
RM[n-3]
RM[n-2]
RM[n-1]
CM[n-4]
CM[n-3]
CM[n-2]
CM[n-1]
CR2
CR1
C0
Cn-m
Cn-4
Cn-3
Cn-2
Cn-1
VR2
VR1
VL[n]
VL[n-4]
VL[n-3]
VL[n-2]
VL[n-1]
VDAC
SWUPDATE
VUPDATE
VDD
VCM
VSS

도면6b


535
534
533
521
531
532
C_{R2}
C_{R1}
C_0
C_{n-m}
C_{n-4}
C_{n-3}
C_{n-2}
C_{n-1}
Latch [R2]
Latch [R1]
Latch [n-m]
Latch [n-4]
Latch [n-3]
Latch [n-2]
Latch [n-1]
V_{R2}
V_{R1}
$V_{L[n]}$
$V_{L[n-4]}$
$V_{L[n-3]}$
$V_{L[n-2]}$
$V_{L[n-1]}$
공유 레인징부
제1 아날로그-디지털 변환 모드 결정기
공유 SAR 동작 로직부
공유 상위 비트 업데이트부
RM[n-4]
RM[n-3]
RM[n-2]
RM[n-1]
CM[n-4]
CM[n-3]
CM[n-2]
CM[n-1]
V_{DAC}
SW_{UPDATE}
V_{UPDATE}
V_{DD}
V_{CM}
V_{SS}
비교기 출력

도면6c



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 3

【변경전】

제 2항에 있어서,

상기 아날로그-디지털 변환 모드 결정 블럭은,

상기 제 1 비교 신호 및 현재 컬럼 보다 이전의 컬럼에 위치하는 이전 컬럼 픽셀 신호의 상기 아날로그-디지털 변환값 중 상위 비트(MSB: Most Significant Bits) 값과 상기 현재 컬럼 픽셀 신호를 비교한 값을 이용하여 아날로그-디지털 변환 모드를 결정하기 위한 제 1 아날로그-디지털 변환 모드 결정기; 및

상기 비교 블럭으로부터의 제 2 비교 신호와 상기 공유 블럭으로부터의 이전 컬럼 픽셀 신호의 아날로그-디지털 변환값 중 상위 비트값과 현재 컬럼 픽셀 신호를 비교한 값을 이용하여 아날로그-디지털 변환 모드를 결정하기

위한 제 2 아날로그-디지털 변환 모드 결정기

를 포함하는 SAR 아날로그-디지털 변환 장치.

【변경후】

제 2항에 있어서,

상기 아날로그-디지털 변환 모드 결정 블럭은,

상기 제 1 비교 신호 및 현재 컬럼 보다 이전의 컬럼에 위치하는 이전 컬럼 픽셀 신호의 상기 아날로그-디지털 변환값 중 상위 비트(MSB: Most Significant Bits) 값과 상기 현재 컬럼 픽셀 신호를 비교한 값을 이용하여 아날로그-디지털 변환 모드를 결정하기 위한 제 1 아날로그-디지털 변환 모드 결정기; 및

상기 비교 블럭으로부터의 제 2 비교 신호와 상기 공유 블럭으로부터의 이전 컬럼 픽셀 신호의 아날로그-디지털 변환값 중 상위 비트(MSB)값과 현재 컬럼 픽셀 신호를 비교한 값을 이용하여 아날로그-디지털 변환 모드를 결정하기 위한 제 2 아날로그-디지털 변환 모드 결정기

를 포함하는 SAR 아날로그-디지털 변환 장치.

【직권보정 2】

【보정항목】 청구범위

【보정세부항목】 청구항 4

【변경전】

제 3항에 있어서,

상기 공유 블럭은,

상기 복수의 컬럼에 공유되어, 상기 비교 블럭과 상기 아날로그-디지털 변환 모드 결정 블럭의 아날로그-디지털 변환값에 따라 LSB 아날로그-디지털 변환 또는 풀 아날로그-디지털 변환 동작을 제어하기 위한 공유 SAR 동작 로직부;

상기 복수의 컬럼에 공유되어, 상기 이전 컬럼 픽셀 신호의 상기 아날로그-디지털 변환값 중 상기 상위 비트(MSB) 값을 저장 및 공유 저장부에 복사해 주고, 상기 공유 SAR 동작 로직부를 통한 상기 비교 블럭의 비교 결과값에 따라 상기 상위 비트(MSB) 값을 업데이트하기 위한 공유 상위 비트 저장 및 업데이트부;

상기 복수의 컬럼에 공유되어, 상기 공유 SAR 동작 로직부의 제어에 따라 상기 이전 컬럼 픽셀 신호의 아날로그-디지털 변환값 중 상위 비트값과 현재 컬럼 픽셀 신호를 비교한 값을 상기 아날로그-디지털 변환 모드 결정 블럭으로 출력하고, 비교 동작을 위한 기준 전압을 생성하기 위한 레인징 제어값을 상기 공유 저장부로 출력하기 위한 공유 레인징부;

상기 복수의 컬럼에 공유되어, 상기 상위 비트 저장 및 업데이트부를 통한 상기 비교 블럭의 비교 결과값을 저장 및 상기 아날로그-디지털 변환값으로 출력하고, 상기 공유 레인징부로부터의 레인징 제어값을 저장하기 위한 상기 공유 저장부; 및

상기 복수의 컬럼에 공유되어, 상기 공유 저장부에 저장되어 있는 저장값에 따라 기준 전압을 생성하여 상기 비교 블럭의 각 비교기로 출력하기 위한 공유 커패시터 디지털-아날로그 변환부

를 포함하는 SAR 아날로그-디지털 변환 장치.

【변경후】

제 3항에 있어서,

상기 공유 블럭은,

상기 복수의 컬럼에 공유되어, 상기 비교 블럭과 상기 아날로그-디지털 변환 모드 결정 블럭의 아날로그-디지털 변환값에 따라 LSB 아날로그-디지털 변환 또는 풀 아날로그-디지털 변환 동작을 제어하기 위한 공유 SAR 동작

로직부;

상기 복수의 컬럼에 공유되어, 상기 이전 컬럼 픽셀 신호의 상기 아날로그-디지털 변환값 중 상기 상위 비트(MSB) 값을 저장 및 공유 저장부에 복사해 주고, 상기 공유 SAR 동작 로직부를 통한 상기 비교 블럭의 비교 결과값에 따라 상기 상위 비트(MSB) 값을 업데이트하기 위한 공유 상위 비트 저장 및 업데이트부;

상기 복수의 컬럼에 공유되어, 상기 공유 SAR 동작 로직부의 제어에 따라 상기 이전 컬럼 픽셀 신호의 아날로그-디지털 변환값 중 상위 비트(MSB)값과 현재 컬럼 픽셀 신호를 비교한 값을 상기 아날로그-디지털 변환 모드 결정 블럭으로 출력하고, 비교 동작을 위한 기준 전압을 생성하기 위한 레인징 제어값을 상기 공유 저장부로 출력하기 위한 공유 레인징부;

상기 복수의 컬럼에 공유되어, 상기 상위 비트 저장 및 업데이트부를 통한 상기 비교 블럭의 비교 결과값을 저장 및 상기 아날로그-디지털 변환값으로 출력하고, 상기 공유 레인징부로부터의 레인징 제어값을 저장하기 위한 상기 공유 저장부; 및

상기 복수의 컬럼에 공유되어, 상기 공유 저장부에 저장되어 있는 저장값에 따라 기준 전압을 생성하여 상기 비교 블럭의 각 비교기로 출력하기 위한 공유 커패시터 디지털-아날로그 변환부

를 포함하는 SAR 아날로그-디지털 변환 장치.

【직권보정 3】

【보정항목】 청구범위

【보정세부항목】 청구항 8

【변경전】

제 1항에 있어서,

각 컬럼에 구비된 상기 SAR 아날로그-디지털 변환 장치 전부가 동시에 동작하는 V_{RC} 타이밍 구간을 공유하고,

상기 V_{RC} 타이밍 구간은 이전 컬럼 픽셀 신호의 아날로그-디지털 변환값 중 상위 비트값을 사용할 때 그 유효성을 확인하는 타이밍을 나타내는 SAR 아날로그-디지털 변환 장치.

【변경후】

제 1항에 있어서,

각 컬럼에 구비된 상기 SAR 아날로그-디지털 변환 장치 전부가 동시에 동작하는 V_{RC} 타이밍 구간을 공유하고,

상기 V_{RC} 타이밍 구간은 이전 컬럼 픽셀 신호의 아날로그-디지털 변환값 중 상위 비트(MSB)값을 사용할 때 그 유효성을 확인하는 타이밍을 나타내는 SAR 아날로그-디지털 변환 장치.

【직권보정 4】

【보정항목】 청구범위

【보정세부항목】 청구항 13

【변경전】

제 12항에 있어서,

상기 공유 저장부는,

상기 상위 비트값, 상기 상위 비트(MSB) 값을 제외한 하위 비트값, 및 레인징 제어값을 저장하는, SAR 아날로그-디지털 변환 시스템.

【변경후】

제 12항에 있어서,

상기 공유 저장부는,

상기 상위 비트(MSB)값, 상기 상위 비트(MSB) 값을 제외한 하위 비트(LSB)값, 및 레인징 제어값을 저장하는, SAR 아날로그-디지털 변환 시스템.

【직권보정 5】

【보정항목】 청구범위

【보정세부항목】 청구항 16

【변경전】

제 9항에 있어서,

상기 SAR 아날로그-디지털 변환 시스템은,

각 컬럼에 구비된 SAR 아날로그-디지털 변환 장치 전부가 동시에 동작하는 V_{RC} 타이밍 구간을 공유하고,

상기 V_{RC} 타이밍 구간은 이전 컬럼 픽셀 신호의 아날로그-디지털 변환값 중 상위 비트값을 사용할 때 그 유효성을 확인하는 타이밍을 나타내는 SAR 아날로그-디지털 변환 시스템.

【변경후】

제 9항에 있어서,

상기 SAR 아날로그-디지털 변환 시스템은,

각 컬럼에 구비된 SAR 아날로그-디지털 변환 장치 전부가 동시에 동작하는 V_{RC} 타이밍 구간을 공유하고,

상기 V_{RC} 타이밍 구간은 이전 컬럼 픽셀 신호의 아날로그-디지털 변환값 중 상위 비트(MSB)값을 사용할 때 그 유효성을 확인하는 타이밍을 나타내는 SAR 아날로그-디지털 변환 시스템.