

모듈의 입력데이터를 입력하여 HLS에 내장된 데이터메모리에 저장한다.

이때 HLS는 데이터메모리에 저장된 데이터를 처리하여 처리된 데이터를 데이터메모리에 저장한다. 그러면 CPU는 상기 처리된 데이터를 HLS의 데이터메모리로 부터 읽어내어 IOP를 통해 상기 입출력 모듈로 출력하게 된다.

상기 HLS에 내장된 데이터메모리는 제1도와 같이 구성되어 어드레스가 인가될 때마다 CPU나 HLS로부터 인가되는 데이터를 저장하게 되는데 제2도에 도시한 메모리 맵에서 볼수있는 바와 같이 8비트(bit) 즉 1바이트(byte)의 데이터를 저장한다.

그러나 데이터 오퍼랜드(operand)인 입출력장치가 "1 또는 0" 개념의 로우(Low) 또는 하이(High)논리가 적용되는 릴레이, 센서, 근접스위치, 레벨스위치들로서 두개의 상태만으로 표시되어 지기 때문에 8비트와 같이 256개의 상태를 표시할수 있는 8비트의 데이터로 이루어지지 않고 1비트의 데이터로 표현될수 있기때문에 메모리의 낭비와 메모리 사용이 비효율적인 문제점이 있었다.

따라서 본 발명의 목적은 어드레스가 인가될때마다 1비트의 데이터를 액세스(Access)함으로서 메모리의 낭비를 방지하여 효율적으로 이용할수 있는 PLC에서 비트어드레싱방식을 이용한 데이터 메모리 회로를 제공함에 있다.

이하 본 발명을 첨부한 도면을 참조하여 상세히 설명한다.

제3도는 본 발명의 회로도로서 CPU의 제어하에 프로그램카운터로 부터 인가되는 어드레스에 해당하는 번지에 1비트데이터를 액세스하는 각각의 다른 다수의 번지를 갖는 다수의 메모리(11-18)와, 상기 어드레스중 최하위 소정비트의 어드레스에 의해 상기 다수의 메모리중 독출하는 메모리의 데이터를 검출하여 HLS나 CPU로 전송하는 멀티플렉서(30)와, CPU의 제어하에 상기 다수의 메모리의 출력을 상기 멀티플렉서(30)로 전송하기 위한 래치회로(20)로 구성되며 제4도는 제3도의 메모리 맵이다. 따라서 본 발명을 첨부한 제3,4도를 참조하여 상세히 설명한다.

먼저 라이트(write)할때의 작동을 설명하면 다수의 메모리(11-18)은 CPU로부터 인가되는 칩선택터신호(CS1-CS8)에 의해 인에이블되고 인에이블된 상태에서 프로그램카운터로 부터 어드레스가 다수의 메모리(11-18)에 인가된다.

이때 상기 어드레스 해당하는 번지를 포함하고 있는 메모리는 라인(1)을 통해 공급되는 1비트 데이터를 상기 어드레스에 저장한다. 상기와 같이 각 메모리(11-18)는 데이터를 어드레스에 따라 저장하는 것을 제4도 메모리 맵과 같이 어드레스에 의해 지정하는 번지에 저장하는데 어드레스가 0번지일 경우는 제1메모리(11)의 첫번째에 데이터를 저장하고 어드레스가 1번지일 경우는 제2메모리(12)의 첫번째에 데이터를 저장하며 어드레스가 2번지일 경우는 제3메모리(13)의 첫번째에 데이터를 저장한다.

그리고 두번째로 메모리에 저장된 데이터를 독출할 경우에는 CPU에서 독출할 데이터가 저장된 임의의 메모리(13)의 칩선택터신호(CS3)을 상기 임의의 메모리(13)에 인가하는데 상기 칩선택터신호(CS3)를 입력하는 메모리(13)은 상기 칩선택터신호에 의해 인에이블되어 이때 다수의 라인(2)을 통해 인가되는 어드레스에 해당하는 번지에 저장되어진 데이터를 래치회로(20)로 출력한다.

그러면 래치회로(20)은 CPU로부터 인가되는 래치신호에 의해 상기 메모리(13)으로부터 인가되는 0 또는 1의 데이터와 디스에이블 상태에 있는 나머지 메모리(11, 12, 14-18)로부터 데이터가 없는 0상태를 멀티플렉서(30)로 병렬래치한다.

이때 멀티플렉서(30)은 상기 소정수의 라인(3)을 통해 인가되는 소정 비트의 어드레스에 의해 0 또는 1상태를 갖는 상기 임의의 메모리(13)의 데이터를 검출하여 라인(1)을 통해 HLS나 CPU로 전송한다.

상술한 바와 같이 본 발명은 메모리를 효율적으로 사용하여 메모리의 낭비를 방지할수 있는 이점이 있다.

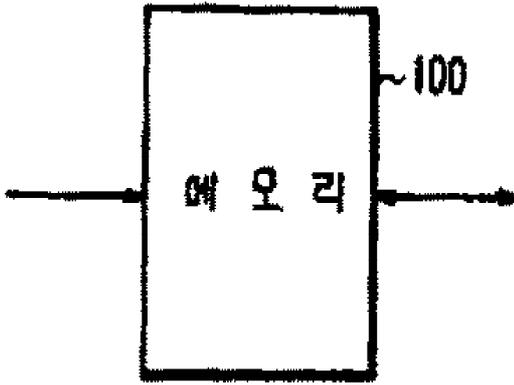
(57) 청구의 범위

청구항 1

프로그램어블 로직 컨트롤러에 있어서 CPU의 제어하에 프로그램카운터로 부터 인가되는 어드레스에 해당하는 번지에 1비트데이터를 액세스하는 각각의 다른 다수의 번지를 갖는 다수의 메모리(11-18)와, 상기 어드레스중 최하위 소정비트의 어드레스에 의해 상기 다수의 메모리중 독출하는 메모리의 데이터를 검출하여 HLS나 CPU로 전송하는 멀티플렉서(30)와, CPU의 제어하에 상기 다수의 메모리의 출력을 상기 멀티플렉서(30)로 전송하기 위한 래치회로(20)로 구성됨을 특징으로 하는 비트어드레싱 방식을 이용한 데이터메모리 회로.

도면

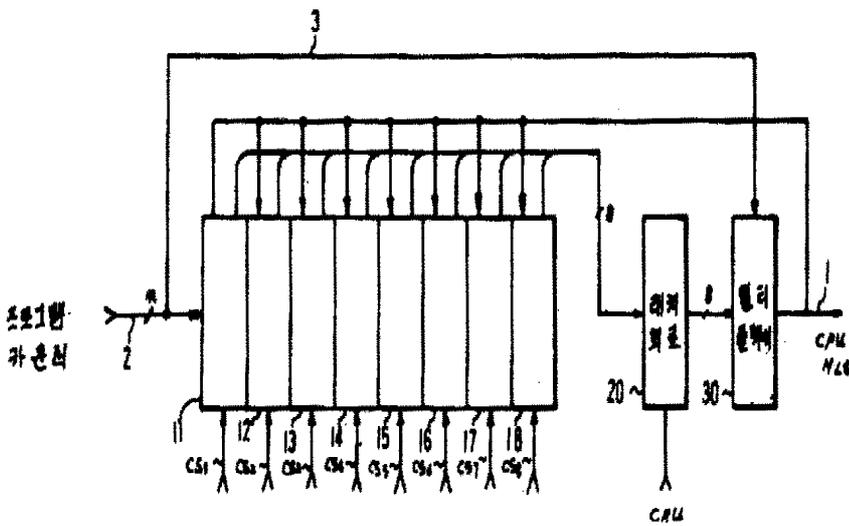
도면1



도면2

A0000	0	0	0	0	0	0	0	1
A0001	0	0	0	0	0	0	0	0
A0002	0	0	0	0	0	0	0	0
A0003	0	0	0	0	0	0	0	1
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
A0007	0	0	0	0	0	0	0	1
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮

도면3



도면4

