

(12) **FASCÍCULO DE PATENTE DE INVENÇÃO**

(22) Data de pedido: **2004.03.23**

(30) Prioridade(s): **2003.03.25 EP 03290754**

(43) Data de publicação do pedido: **2010.11.03**

(45) Data e BPI da concessão: **2012.03.14**
101/2012

(73) Titular(es):

SONY EUROPE LIMITED
C/O LEGAL DEPARTMENT THE HEIGHTS
BROOKLANDS WEYBRIDGE SURREY KT13 0XW
GB

(72) Inventor(es):

JEAN-LUC PERON **FR**

(74) Mandatário:

ANTÓNIO INFANTE DA CÂMARA TRIGUEIROS DE ARAGÃO
RUA DO PATROCÍNIO, Nº 94 1399-019 LISBOA **PT**

(54) Epígrafe: **ENTRELAÇADOR PARA MAPEAMENTO DE SÍMBOLOS NAS PORTADORAS DE UM SISTEMA OFDM**

(57) Resumo:

UM APARELHO DE PROCESSAMENTO DE DADOS MAPEIA SÍMBOLOS DE ENTRADA PARA SEREM COMUNICADOS SOBRE UM NÚMERO PREDETERMINADO DE SINAIS DE PORTADORA DE UM SÍMBOLO MULTIPLEXADO POR DIVISÃO ORTOGONAL DA FREQUÊNCIA (OFDM). O PROCESSADOR DE DADOS INCLUI UMA MEMÓRIA DE ENTRELAÇADOR QUE EXTRAÍ O NÚMERO PREDETERMINADO DE SÍMBOLOS DE DADOS PARA MAPEAMENTO SOBRE OS SINAIS DE PORTADORA OFDM. A MEMÓRIA DE ENTRELAÇADOR ENVIA OS SÍMBOLOS DE DADOS PARA AS PORTADORAS OFDM PARA EFECTUAR O MAPEAMENTO, SENDO O ENVIO EFECTUADO COM UMA ORDEM DIFERENTE DA EXTRACÇÃO, SENDO A ORDEM DETERMINADA A PARTIR DE UM CONJUNTO DE ENDEREÇOS, COM O EFEITO DE OS SÍMBOLOS DE DADOS SEREM ENTRELAÇADOS SOBRE OS SINAIS DE PORTADORA. OS CONJUNTOS DE ENDEREÇOS SÃO GERADOS POR UM GERADOR DE ENDEREÇOS QUE COMPREENDE UM REGISTADOR DE DESLOCAMENTO COM REALIMENTAÇÃO LINEAR E UM CIRCUITO DE PERMUTAÇÃO. UM POLINÓMIO GERADOR PARA O REGISTADOR DE DESLOCAMENTO COM REALIMENTAÇÃO LINEAR DE É PROPORCIONADO COM UMA ORDEM DE PERMUTAÇÃO QUE FOI ESTABELECIDADA POR ANÁLISE DE SIMULAÇÃO PARA OPTIMIZAR O DESEMPENHO DE COMUNICAÇÃO ATRAVÉS DE CANAIS DE RÁDIO TÍPICOS, DE UM SISTEMA MODULADO OFDM, TAL COMO UMA NORMA DE RADIODIFUSÃO TELEVISIVA DIGITAL (DVB), TAL COMO AS NORMAS DVB-T TERRESTRE (DVB-T) OU DVB-PARA DISPOSITIVOS MÓVEIS (DVB-H).

RESUMO

"ENTRELAÇADOR PARA MAPEAMENTO DE SÍMBOLOS NAS PORTADORAS DE UM SISTEMA OFDM"

Um aparelho de processamento de dados mapeia símbolos de entrada para serem comunicados sobre um número predeterminado de sinais de portadora de um símbolo Multiplexado por Divisão Ortogonal da Frequência (OFDM). O processador de dados inclui uma memória de entrelaçador que extrai o número predeterminado de símbolos de dados para mapeamento sobre os sinais de portadora OFDM. A memória de entrelaçador envia os símbolos de dados para as portadoras OFDM para efectuar o mapeamento, sendo o envio efectuado com uma ordem diferente da extracção, sendo a ordem determinada a partir de um conjunto de endereços, com o efeito de os símbolos de dados serem entrelaçados sobre os sinais de portadora. Os conjuntos de endereços são gerados por um gerador de endereços que compreende um registador de deslocamento com realimentação linear e um circuito de permutação. Um polinómio gerador para o registador de deslocamento com realimentação linear de $R_i[10] = R_{i-1}[0] \oplus R_{i-1}[2]$ é proporcionado com uma ordem de permutação que foi estabelecida por análise de simulação para otimizar o desempenho de comunicação através de canais de rádio típicos, de um sistema modulado OFDM, tal como uma norma de Radiodifusão Televisiva Digital (DVB), tal como as normas DVB-T Terrestre (DVB-T) ou DVB-Para Dispositivos Móveis (DVB-H).

DESCRIÇÃO

"ENTRELAÇADOR PARA MAPEAMENTO DE SÍMBOLOS NAS PORTADORAS DE UM SISTEMA OFDM"

Campo da Invenção

A presente invenção refere-se a um aparelho de processamento de dados com a função de mapear símbolos de entrada sobre sinais de portadora de um símbolo Multiplexado por Divisão Ortogonal de Frequência (OFDM).

A presente invenção também se refere a um aparelho de processamento de dados para inverter a função de mapeamento sobre símbolos recebidos a partir de um número predeterminado de sinais de portadora de um símbolo OFDM para um fluxo de símbolos de saída.

Antecedentes da Invenção

A norma da Radiodifusão Televisiva Digital Terrestre (DVB-T) utiliza Multiplexagem por Divisão Ortogonal de Frequência (OFDM) para comunicar dados representando imagens de vídeo e som para receptores através de sinais de comunicações radiodifundidos. Conhecem-se dois modos para a norma DVB-T que são conhecidos como o modo 2k e 8k. O modo 2k proporciona 2.048 sub-portadoras, enquanto o modo 8k proporciona 8.192 sub-portadoras.

Com o objectivo de melhorar a integridade dos dados comunicados pelo modo 2k ou pelo modo 8k, é proporcionado um entrelaçador de símbolos com o objectivo de entrelaçar símbolos de dados de entrada quando estes símbolos são mapeados sobre os sinais de portadora de um símbolo OFDM. Este entrelaçador de símbolos compreende uma memória de entrelaçador em combinação com um gerador de endereços. O gerador de endereços gera um endereço para cada um dos símbolos de entrada, indicando cada endereço um dos sinais de portadora do símbolo de OFDM no qual o símbolo de dados vai ser mapeado. No caso do modo 2k e modo 8k foi divulgada uma configuração na norma DVB-T para gerar os endereços para o mapeamento. Sabe-se que o gerador de endereços compreende um registador de deslocamento com realimentação linear que tem a função de gerar uma sequência de bits pseudo aleatória e um circuito de permutação. O circuito de permutação permuta a ordem do conteúdo do registador de deslocamento com realimentação linear com o objectivo de gerar um endereço. O endereço proporciona uma indicação de uma das portadoras OFDM para transportar um símbolo de dados de entrada armazenado na memória de entrelaçador, com o objectivo de mapear os símbolos de entrada sobre os sinais de portadora do símbolo OFDM.

Assim como no modo 2k e modo 8k, também se propôs estabelecer um modo 4k. O modo 4k tem sido utilizado na norma Japonesa de televisão digital, que é o sistema de Radiodifusão Digital de Serviço Integrado (ISBD).

As publicações seguintes constituem antecedentes relevantes da técnica anterior:

European Telecommunications Standard Institute: "Digital Video Broadcasting (DVB); Framing structure, channel

coding and modulation for digital terrestrial television”
ETSI EN 300 744 VI.4.1, Janeiro de 2001 (2001-01),
XP002207124.

“Features of ISDB-T” Digital Broadcasting Experts Group
(DIBEG) [Online] 28 de Julho de 2000 (2000-07-28),
XP002249911 Retirado da Internet:

URL: http://www.diberg.org/_PressR/_Brazil/comments730b.PDF>

Sumário da Invenção

De acordo com um aspecto da presente invenção, proporciona-se um transmissor para transmitir dados utilizando Multiplexagem por Divisão Ortogonal da Frequência, (OFDM) incluindo o transmissor um aparelho de processamento de dados com a função de mapear símbolos de dados de entrada para serem comunicados sobre um número predeterminado de sinais de portadora de um símbolo OFDM, Multiplexado por Divisão Ortogonal da Frequência, de acordo com uma pluralidade de modos de funcionamento diferentes, cada um dos quais proporciona um número diferente de portadoras OFDM. O aparelho de processamento de dados compreende uma memória de entrelaçador com a função de extrair o número predeterminado de símbolos de dados para mapeamento sobre os sinais de portadora OFDM e enviar os símbolos de dados para as portadoras OFDM para efectuar o mapeamento, sendo o envio feito segundo uma ordem diferente da extracção, sendo a ordem determinada a partir de um conjunto de endereços, com o efeito de os símbolos de dados serem entrelaçados nos sinais de portadora. O conjunto de endereços é determinado por um gerador de endereços, sendo um endereço

gerado para cada um dos símbolos de entrada para indicar um dos sinais de portadora sobre o qual o símbolo de dados vai ser mapeado.

O gerador de endereços tem a função de gerar o conjunto de endereços, sendo um endereço gerado para cada um dos símbolos de entrada para indicar um dos sinais da portadora sobre o qual o símbolo de dados vai ser mapeado, compreendendo o gerador de endereços um registador de deslocamento com realimentação linear incluindo um número predeterminado de andares de registador e tendo a função de gerar uma sequência de bits pseudo aleatória de acordo com um polinómio gerador, um circuito de permutação e uma unidade de controlo.

O circuito de permutação tem a função de receber o conteúdo dos andares de registador de deslocamento e permutar os bits presentes nos andares de registador de acordo com uma ordem de permutação para formar um endereço de uma das portadoras OFDM. A unidade de controlo, em combinação com um circuito de verificação de endereço, tem a função de tornar a gerar um endereço quando um endereço gerado excede o número máximo de portadoras.

O aparelho de processamento de dados é caracterizado por o transmissor poder ser comutado entre os modos 2k, 4k e 8k de operação e por, para o modo 4k, o número predeterminado de sinais de portadora OFDM ser um máximo de quatro mil e noventa e seis, e o registador de deslocamento com realimentação linear ter onze andares de registador com um polinómio gerador para o registador de deslocamento com realimentação linear de

$R_i[10] = R_{i-1}[0] \oplus R_{i-1}[2]$. | A ordem de permutação forma um endereço $R_i[n]$

de onze bits para o i -ésimo símbolo de dados a partir do bit presente no n -ésimo andar de registador $R'_i [n]$ de acordo com o quadro:

$R'_i [n]$ para $n =$	10	9	8	7	6	5	4	3	2	1	0
$R_i [n]$ para $n =$	7	10	5	8	1	2	4	9	0	3	6

Embora, segundo a norma DVB-T, se saiba proporcionar o modo 2k e o modo 8k, existem vantagens em proporcionar um modo 4k. Enquanto o modo 8k proporciona uma configuração para estabelecer uma rede de monofrequência com suficientes períodos de guarda para acomodar atrasos de propagação maiores entre transmissores DVB, sabe-se que o modo 2k proporciona uma vantagem em aplicações móveis. Isto deve-se ao facto de o período de símbolo de 2k ser apenas um quarto do período de símbolo de 8k, permitindo uma actualização mais frequente de estimativa de canal (com baseado em pilotos disseminados embebidos em cada símbolo) que permite ao receptor seguir, com mais precisão, a variação de tempo do canal devido ao efeito Doppler e outros efeitos. O modo 2k é, por conseguinte, vantajoso para aplicações móveis. No entanto, o modo 2k requer uma rede de frequência múltipla, complicando, deste modo, uma configuração de transmissores para proporcionar um sistema de radiodifusão. Um modo 4k proporciona uma vantagem de uma recepção razoavelmente boa para utilizadores móveis, mesmo em velocidades de deslocamento elevadas, o que provoca, desse modo, o aumento do deslocamento Doppler, sem a necessidade de um esquema dispendioso de anulação de interferências entre portadoras. Uma implementação razoavelmente económica de uma rede de radiodifusão também pode ser implementada. No entanto, com o

objectivo de proporcionar o modo 4k, deve proporcionar-se um entrelaçador de símbolos para mapear os símbolos de dados de entrada sobre os sinais de portadora do símbolo OFDM.

As formas de realizações da presente invenção podem proporcionar um aparelho de processamento de dados com a função de um entrelaçador de símbolos para mapeamento de símbolos de dados a comunicar num símbolo OFDM, tendo, substancialmente, quatro mil sinais de portadora. Numa forma de realização, o número de sinais de portadora é de três mil e vinte e quatro. Como tal, pode proporcionar-se um modo 4k, por exemplo, para uma norma DVB, tal como DVB-T ou DVB-H. A norma DVB-H (Radiodifusão Televisiva Digital - Para Dispositivos Móveis) está relacionada com a DVB-T. A DVB-H era anteriormente conhecida como DVB-X. Os sinais de DVB-H são apropriados para recepção por dispositivos móveis, tais como terminais móveis de bolso.

O mapeamento de símbolos de dados a transmitir sobre os sinais de portadora de um símbolo OFDM, em que o número de sinais de portadora é, substancialmente de quatro mil, representa um problema técnico substancial que requer análise de simulação e ensaios para estabelecer um polinómio gerador apropriado para o registador de deslocamento com realimentação linear e a ordem de permutação. Isto acontece porque o mapeamento requer que os símbolos sejam entrelaçados sobre os sinais de portadora, cujo efeito é que símbolos sucessivos do fluxo de dados de entrada são separados, em frequência, por uma maior quantidade possível com o objectivo de otimizar o desempenho de esquemas de codificação para correcção de erros.

Esquemas de codificação para correcção de erros, tais como a codificação Reed-Solomon e a codificação convolucional, têm um

melhor desempenho quando o ruído e a degradação dos valores de símbolos resultando da comunicação não estão correlacionados. Alguns canais de rádio, tais como os utilizados para DVB-T, podem sofrer de atenuação correlacionada, tanto no domínio do tempo como no domínio da frequência. Como tal, ao separar símbolos codificados para diferentes sinais de portadora do símbolo OFDM tanto quanto possível, pode aumentar-se o desempenho de esquemas de codificação para correcção de erros.

Descobriu-se, devido à análise de desempenho de simulação, que o polinómio gerador para o registador de deslocamento com realimentação linear em combinação com a ordem do circuito de permutação acima indicada proporciona um bom desempenho na presença do típico ruído do canal e de condições de atenuação. Além disso, ao proporcionar uma configuração que pode implementar a geração de endereços para o modo 2k e modo 8k, assim como para o modo 4k, ao alterar os incrementos do polinómio gerador para o registador de deslocamento com realimentação linear e para a ordem da permutação, pode proporcionar-se uma implementação económica do entrelaçador de símbolos para o modo 4k. Além disso, um transmissor e um receptor podem ser alterados entre o modo 2k, modo 4k e modo 8k ao alterar o polinómio gerador e as ordens de permutação. Isto pode ser efectuado em software (ou pelo canal de sinalização de parâmetros de transmissão (TPS) embebido no receptor), pelo que se proporciona uma implementação flexível.

Vários aspectos e características da presente invenção estão definidos nas reivindicações anexas. Outros aspectos da presente invenção incluem um aparelho de processamento de dados com a função de inverter a função de mapeamento de símbolos recebidos de um número predeterminado de sinais de portadora de um símbolo

Multiplexado por Divisão Ortogonal de Frequência (OFDM) num fluxo de símbolos de saída, assim como um transmissor e um receptor.

Breve Descrição dos Desenhos

Formas de realizações da presente invenção serão, agora, descritas apenas a título de exemplo recorrendo aos desenhos anexos, em que partes semelhantes são identificadas com algarismos de referência correspondentes e nos quais:

A Figura 1 é um diagrama de blocos esquemático de um transmissor OFDM Codificado que pode ser utilizado, por exemplo, com a norma DVB-T;

A Figura 2 é um diagrama de blocos esquemático de um entrelaçador de símbolos interno e um processador de mapeamento que aparece na Fig.1;

A Figura 3 é um diagrama de blocos esquemático do entrelaçador de símbolos mostrado na Figura 2;

A Figura 4 é um diagrama de blocos esquemático de uma memória de entrelaçador mostrada na Figura 3 e o desentrelaçador de símbolos correspondente no receptor;

A Figura 5 é um diagrama de blocos esquemático de um gerador de endereços mostrado na Figura 3 para o modo 2k;

A Figura 6 é um diagrama de blocos esquemático de um gerador de endereços como mostrado na Figura 3 no modo 8k;

A Figura 7 é um diagrama de blocos esquemático de um gerador de endereços mostrado na Figura 3 no modo 4k;

A Figura 8 é um diagrama de blocos esquemático de um receptor OFDM Codificado que pode ser utilizado, por exemplo, com a norma DVB-T; e

A Figura 9 é um diagrama de blocos esquemático de um desentrelaçador de símbolos interno, que aparece na Figura 8.

Descrição de Formas de Realizações Preferidas

A norma DVB-T com base em OFDM existente é composta por um modo 8k e 2k, o que significa que a largura de banda utilizada para transmitir o sinal é dividida em 2.048 sub-portadoras (modo 2k) ou 8.192 (modo 8k). O modo 2k apresenta algumas características interessantes no que se refere à mobilidade. Com efeito, o curto tempo de símbolo deste modo permite um bom desempenho Doppler em ambientes móveis. Por outro lado, o modo 8k dá a possibilidade a programadores de redes de construir uma SFN (Rede de Monofrequência) espaçada e, conseqüentemente, barata. As investigações efectuadas sobre o assunto mostraram que a introdução de um modo 4k seria um bom compromisso entre estes dois modos. Daria uma recepção razoavelmente boa aos utilizadores móveis, mesmo em velocidades de deslocamento elevadas, sem a necessidade de um complicado e dispendioso esquema de anulação de ICI (Interferência Entre Portadoras). Também ajudaria a manter o custo da rede a um nível razoável. O

presente documento descreve um novo entrelaçador de símbolos para este modo 4k.

A Figura 1 proporciona um diagrama de blocos exemplificativo de um transmissor OFDM Codificado, que pode ser utilizado, por exemplo, para transmitir imagens de vídeo e sinais de áudio de acordo com a norma de DVB-T. Na Figura 1, uma fonte de programa gera dados para serem transmitidos pelo transmissor COFDM. Um codificador 2 de vídeo e um codificador 4 de áudio e codificador 6 de dados geram vídeo, áudio e outros dados a serem transmitidos, que são inseridos num multiplexador 8 de programa. Uma saída do multiplexador 8 de programa é fornecida a um multiplexador 10 de transporte, que forma um fluxo de transporte multiplexado com outra informação necessária para comunicar o vídeo, áudio e outros dados. O multiplexador 10 de transporte proporciona um fluxo de transporte num canal 12 de ligação para um divisor 14. O divisor divide o fluxo de transporte em diferentes ramos A e B, que proporcionam codificação para correcção de erros sem canal de retorno e entrelaçamento diferentes. Para simplificar, descreve-se apenas o ramo A.

Como se mostra na Figura 1, um transmissor 20 de COFDM recebe o fluxo de dados de transporte num bloco 22 de adaptação de multiplexador e dispersão de energia. O bloco 22 de adaptação de multiplexador e dispersão de energia executa uma aleatorização dos dados de fluxo de transporte e insere os dados apropriados num codificador 24 externo que realiza uma primeira codificação externa dos dados de transporte. É proporcionado um entrelaçador 26 externo para entrelaçar os símbolos de dados codificados que, para o exemplo da DVB-T, é o código Reed-Solomon (RS) para que o entrelaçador externo entrelace símbolos de RS. Um codificador 28 interno está preparado para

codificar por convolução os dados provenientes do entrelaçador externo utilizando um codificador convolucional, sendo os dados codificados inseridos num entrelaçador 30 interno. O entrelaçador 30 interno também pode receber dados codificados provenientes do segundo ramo B de codificação.

Uma saída do entrelaçador interno é um conjunto de símbolos de dados que são, depois, mapeados sobre pontos de constelação de um esquema de modulação. Para o exemplo da DVB-T mostrado, o esquema de modulação é QPSK (DVB-T pode ter 4 bits/portadora 16QAM ou 6 bits/portadora 64QAM, assim como QPSK). Cada símbolo de dados do entrelaçador 30 interno é, depois, mapeado sobre um dos sinais de portadora COFDM por um processador 32 de mapeamento. O símbolo COFDM é, depois, gerado por um processador 34 de adaptação de trama, que introduz sinais piloto e de sincronização fornecidos por um formador 36 de sinal. Um gerador 38 OFDM forma, depois, o símbolo OFDM no domínio de tempo, que é inserido num processador 40 de inserção de guarda para gerar um intervalo de guarda entre símbolos e, depois, num conversor 42 digital-analógico e, finalmente, num amplificador de RF dentro de um andar 44 de entrada de RF para eventual radiodifusão pelo transmissor COFDM a partir de uma antena 46.

Para criar um novo modo 4k é necessário definir vários elementos, mas o principal é o entrelaçador de símbolos 4k, que faz parte do entrelaçador interno mostrado na Figura 1.

O próprio entrelaçador interno é composto por um entrelaçador de bits e um entrelaçador de símbolos, como mostrado na Figura 2.

Como explicado acima, a presente invenção proporciona uma configuração para proporcionar um mapeamento quase ideal dos símbolos de dados de entrada sobre os sinais de portadora OFDM. De acordo com a técnica exemplificativa, o entrelaçador interno é proporcionado para efectuar o mapeamento ideal de símbolos de dados de entrada sobre sinais de portadora COFDM. O entrelaçador 30 interno e o processador 32 de mapeamento são mostrados na Figura 2 em maior detalhe. Na Figura 2, o entrelaçador 30 interno compreende um processador 60 de desmultiplexagem que recebe bits codificados de modo convolucional de um canal 62 de entrada. O desmultiplexador, depois, divide os bits em dois fluxos de bits de entrada que são fornecidos, através de canais 64 e 66 de ligação, a entrelaçadores 68 e 70 de bits. Os entrelaçadores de bits entrelaçam os bits que são, então, formados em dois canais 72.1, 72.2 de ligação para conectar os bits de cada um dos entrelaçadores 68 e 70 de bits a um entrelaçador 76 de símbolos. O entrelaçador 76 de símbolos forma os símbolos de entrada provenientes dos canais 72.1, 72.2 de ligação em símbolos para mapeamento sobre sinais de portadora COFDM. No caso da técnica exemplificativa mostrada na Figura 2, os símbolos entrelaçados provenientes do entrelaçador 76 de símbolos são mapeados sobre pontos de constelação de um sinal de portadora QPSK para cada um dos sinais no símbolo COFDM.

A especificação DVB-T existente já define um entrelaçador de símbolos para os modos 2k e 8k. O propósito do entrelaçador de símbolos é mapear v palavras de bits (dependendo v do esquema de modulação escolhido) sobre as 1.512 (modo 2k) ou 6.048 (modo 8k) portadoras activas por símbolo OFDM. O entrelaçador de símbolos actua sobre blocos de 1.512 (modo 2k) ou 6.048 (modo 8k) símbolos de dados. Formas de realização exemplificativas da presente invenção utilizam o entrelaçador 76 de símbolos para

proporcionar um mapeamento optimizado de símbolos de dados de entrada fornecidos dos canais 72.1, 72.2 de ligação aos sinais de portadora COFDM. Mostra-se, na Figura 3, um exemplo do entrelaçador 76 de símbolos para efectuar o mapeamento dos símbolos de dados de entrada sobre os sinais da portadora COFDM.

RAM do Entrelaçador

Na Figura 3, os símbolos de dados de entrada provenientes do canal 72 de ligação são fornecidos a uma memória 100 de entrelaçador. A memória 100 de entrelaçador mapeia os símbolos de dados de entrada sobre os sinais de portadora COFDM de acordo com endereços de mapeamento proporcionados pelo gerador 102 de endereços. Mostra-se, na Figura 4, uma implementação exemplificativa da memória 100 de entrelaçador.

A Figura 4 compreende uma parte 100 superior que ilustra o funcionamento da memória de entrelaçador no transmissor e uma parte 340 inferior que ilustra o funcionamento da memória de desentrelaçador no receptor. O entrelaçador 100 e o desentrelaçador 340 são mostrados em conjunto na Figura 4 com o objectivo de facilitar a compreensão do seu funcionamento. Como se mostra na Figura 4, uma representação da comunicação entre o entrelaçador 100 e o desentrelaçador 340 através de outros dispositivos e através de um canal de transmissão foi simplificada e representada como uma secção 140 entre o entrelaçador 100 e o desentrelaçador 340. O funcionamento da entrelaçador 100 é descrito nos parágrafos seguintes:

Embora a Figura 4 proporcione uma ilustração de apenas quatro símbolos de dados de entrada sobre um exemplo de quatro

sinais de portadora de um símbolo COFDM, deve compreender-se que a técnica ilustrada na Figura 4 pode ser estendida a um maior número de portadoras, tais como 1.512 para o modo 2k, 3.024 para o modo 4k e 6.048 para o modo 8k.

O endereçamento de entrada e saída da memória 100 de entrelaçador mostrada na Figura 4 é mostrado para símbolos pares e ímpares. No caso de um símbolo COFDM par, os símbolos de dados são retirados do canal 72 de entrada e gravados na RAM 124.1 de entrelaçador de acordo com uma sequência de endereços 120 gerados para cada símbolo COFDM pelo gerador 102 de endereços. Os endereços gravados são aplicados ao símbolo par de modo a, como ilustrado, se efectuar um entrelaçamento pela reorganização dos endereços gravados. Por conseguinte, para cada símbolo entrelaçado $y(h(q)) = y'(q)$.

No caso de símbolos ímpares, utiliza-se a mesma RAM 124.2 de entrelaçador. No entanto, como se mostra na Figura 4, para o símbolo ímpar, a ordem 132 de gravação tem a mesma sequência de endereços utilizada para enviar o símbolo 126 par anterior. Esta característica permite que implementações de entrelaçador de símbolos par e ímpar utilizem apenas 1 RAM desde que a operação de envio para um dado endereço seja realizada antes da operação de gravação. Os símbolos de dados gravados na RAM 124 de entrelaçador durante símbolos ímpares são, depois, enviados numa sequência 134 gerada pelo gerador 102 de endereços para o símbolo COFDM par seguinte e assim por diante.

Em resumo, como representado na Figura 4, depois de calcular o conjunto de endereços $H(q)$ para todas as portadoras activas, o vector de entrada $Y'=(y_0', y_1', y_2', \dots, y_{N_{MAX}-1}')$ é processado para

produzir o vector entrelaçado $Y=(y_0, y_1, y_2, \dots, y_{N_{MAX}-1})$ definido por:

$$Y_{H(q)} = y'_q \text{ para símbolos pares para } q=0, \dots, N_{max}-1$$

$$Y_q = y'_{H(q)} \text{ para símbolos ímpares para } q = 0 \dots N_{max}-1$$

Por outras palavras, para símbolos OFDM pares, as palavras de entrada são gravadas de um modo permutado numa memória e extraídas sequencialmente, ao passo que para símbolos ímpares, são gravadas sequencialmente e extraídas permutadas. No caso acima, a permutação $H(q)$ é definida pelo seguinte quadro:

Quadro 1: permutação de caso simples em que $N_{max} = 4$

q	1	2	3	4
H(q)	1	3	0	2

Como se mostra na Figura 4, o desentrelaçador 340 inverte o entrelaçamento aplicado pelo entrelaçador 100 por aplicação do conjunto de endereços igual ao gerado por um gerador de endereços equivalente, mas aplicando os endereços de gravação e extração em sentido inverso. Como tal, para símbolos pares, os endereços 342 gravados estão em ordem sequencial, enquanto os endereços 344 de envio são fornecidos pelo gerador de endereços. Correspondentemente, para os símbolos ímpares, a ordem 346 de gravação é determinada pelo conjunto de endereços gerado pelo gerador de endereços, enquanto o envio 348 é em ordem sequencial.

Geração de Endereços

Um diagrama de blocos esquemático do algoritmo utilizado para gerar a função $H(q)$ de permutação é representado na Figura 5 para o modo 2k e na Figura 6 para o modo 8k.

Mostra-se, na Figura 5, uma implementação do gerador 102.1 de endereços para o modo 2k. Na Figura 5, um registador de deslocamento com realimentação linear é formado por dez andares 200.1 de registador e uma porta-OU exclusivo 202.1 que está ligada aos andares do registador 200.1 de deslocamento de acordo com um polinómio gerador. Por conseguinte, de acordo com o conteúdo do registador 200.1 de deslocamento, um bit seguinte do registador de deslocamento é fornecido pela saída da porta-OU exclusivo 200.1 ao submeter o conteúdo do registador $R[0]$ de deslocamento e andar $R[3]$ do registador a uma operação de Ou exclusivo. De acordo com o polinómio gerador, uma sequência de bits pseudo aleatória é gerada a partir do conteúdo do registador 200.1 de deslocamento. No entanto, com o objectivo de gerar um endereço para o modo 2k, como ilustrado, é proporcionado um circuito 210.1 de permutação que, efectivamente, permuta a ordem dos bits dentro do registador 200.1 de deslocamento, de uma ordem $R'_i[n]$ para uma ordem $R_i[n]$, na saída do circuito 210.1 de permutação. Dez bits da saída do circuito 210.1 de permutação são, depois, fornecidos a um canal 212.1 de ligação aos quais se adiciona um bit mais significativo através de um canal 214.1, o que é proporcionado por um circuito 218.1 de mudança de estados. É, por conseguinte, gerado um endereço de onze bits no canal 212.1. No entanto, com o objectivo de assegurar a autenticidade de um endereço, um circuito 216.1 de verificação de endereço analisa o endereço

gerado para determinar se excede o número máximo de sinais de portadora. Se for o caso, então, é gerado um sinal de controlo que é fornecido através de um canal 220.1 de ligação a uma unidade 224.1 de controlo. Se o endereço gerado exceder o número máximo de sinais de portadora, então, este endereço é rejeitado e um novo endereço é gerado para o símbolo particular.

Mostra-se, na Figura 6, um gerador 102.2 de endereços para o modo 8k. As partes do gerador de endereços para o modo 8k mostrado na Figura 6 correspondem às mostradas para o modo 2k e, assim, para evitar repetição, só se descrevem diferenças essenciais entre a Figura 6 e Figura 5. Essencialmente, a diferença entre a Figura 6 e a Figura 5 é que o registador 200.2 de deslocamento com realimentação linear tem doze andares de registador de deslocamento de modo a gerar um endereço entre 0 e 8.191. O registador de deslocamento é, de novo, formado pela aplicação de uma operação de OU exclusivo aos andares de registador de deslocamento seleccionados de acordo com o polinómio gerador. O endereço é, então, formado pela permutação da ordem dos bits dentro do registador 200.2 de deslocamento que é determinado de acordo com uma ordem predeterminada. O polinómio gerador e a ordem de permutação são, de novo, proporcionados para o modo 8k que difere do modo 2k.

Em resumo, para os modos 2k e 8k, é definida uma palavra R^i de $(N_r - 1)$ bits com $N_r = \log_2 M_{\max}$, em que $M_{\max} = 2.048$ no modo 2K e $M_{\max} = 8.192$ no modo 8k, utilizando um LFSR (Registador de Deslocamento com Realimentação Linear).

Os polinómios utilizados para gerar esta sequência são os seguintes:

$$\text{Modo 2K: } R'_i[9] = R'_{i-1}[0] \oplus R'_{i-1}[3]$$

$$\text{Modo 8K: } R'_i[11] = R'_{i-1}[0] \oplus R'_{i-1}[1] \oplus R'_{i-1}[4] \oplus R'_{i-1}[6]$$

em que i varia de 0 a $M_{\max}-1$

Depois de gerar a palavra R'_i , esta é submetida a uma permutação para produzir outra palavra de $(N_r - 1)$ bits chamada R_i . R_i é derivada de R'_i pelas permutações de bits dadas nos quadros 1 e 2.

Quadro 2: Permutação de bits para modo 2K

Posições de bit R'_i	9	8	7	6	5	4	3	2	1	0
Posições de bit R_i	0	7	5	1	8	2	6	9	3	4

Quadro 3: Permutação de bits para modo 8K

Posições de bit R'_i	11	10	9	8	7	6	5	4	3	2	1	0
Posições de bit R_i	5	11	3	0	10	8	6	9	2	4	1	7

A título de exemplo, isto significa que, para o modo 2K, o número 9 de bit de R'_i é enviado na posição de bit número 0 de R_i .

O endereço $H(q)$ é, então, derivado de R_i através da seguinte equação:

$$H(q) = (i \bmod 2) \cdot 2^{N_r-1} + \sum_{j=0}^{N_r-2} R_i(j) \cdot 2^j$$

A parte $(i \bmod 2) \cdot 2^{N_r-1}$ da equação acima é representada na Figura 5 e na Figura 6 pelo bloco T 218 de mudança de estados.

Uma verificação do endereço é, então, realizada em $H(q)$ para verificar que o endereço gerado está dentro do intervalo de endereços aceitáveis: se $(H(q) < N_{\max})$, em que $N_{\max} = 1.512$ no modo 2k e 6.048 no modo 8K, então o endereço é válido. Se o endereço não for válido, a unidade de controlo é informada e experimentará gerar um novo $H(q)$ por incremento do índice i .

O papel do bloco de mudança de estados é assegurar que não se gera um endereço que exceda duas vezes N_{\max} numa linha. Com efeito, se se gerar um valor excedente, isto significa que o MSB (*i. e.*, o bit de alternância) do endereço $H(q)$ era um. Assim, o valor gerado seguinte terá um MSB com o valor zero, assegurando a produção de um endereço válido.

As seguintes equações exprimem o comportamento total e ajudam a compreender a estrutura cíclica deste algoritmo:

```

q = 0;
para (i = 0; i < Mmax; i = i + 1)
{
  H(q) = (i mod 2) · 2Nr-1 + ∑j=0Nr-2 Ri(j) · 2j;
  if (H(q) < Nmax) q = q + 1; }

```

Entrelaçador de Símbolos para Modo 4k

De acordo com a técnica presente, mostra-se, na Figura 7, um gerador 102.3 de endereços para o modo 4k. O gerador de endereços da Figura 7 corresponde, de novo, ao gerador de endereços mostrado nas Figuras 5 e 6 e, assim, só as diferenças entre estas Figuras serão discutidas e explicadas. Como se mostra na Figura 7, o registador 200.3 de deslocamento com realimentação linear tem onze andares de registador de deslocamento. Proporciona-se, de novo, uma porta-OU exclusivo 202.3 para gerar a sequência de bits pseudo aleatória. A permutação dos conteúdos do registador de deslocamento com o objectivo de formar o endereço de um símbolo de dados de entrada para mapeamento sobre um dos sinais de portadora COFDM é proporcionada pelo circuito 210.3 de permutação.

O entrelaçador de símbolos actua sobre blocos de $N_{\max} = 3.024$ símbolos de dados. ($M_{\max} = 4.096$)

O polinómio utilizado para gerar a sequência R'_i é:

$$R'_i[10] = R'_{i-1}[0] \oplus R'_{i-1}[2]$$

Um vector R_i é derivado do vector R'_i pela permutação de bits dada no Quadro 4:

Quadro 4: permutação de bits para o modo 4K

Posições de bit R'_i	10	9	8	7	6	5	4	3	2	1	0
Posições de bit R_i	7	10	5	8	1	2	4	9	0	3	6

A entrada do entrelaçador é definida como o vector $Y'=(y_0', Y_1', Y_2' \dots Y_{N_{\max}-1}')$.

O vector Y entrelaçado $Y = (y_0, y_1, y_2, \dots y_{N_{\max}-1})$ é definido por:

$$y_{H(q)} = y'_q \text{ para símbolos pares, para } q=0, \dots, N_{\max}-1$$

$$y_q = y'_{H(q)} \text{ para símbolos ímpares, para } q=0, \dots, N_{\max}-1$$

Receptor

A Figura 8 proporciona uma ilustração exemplificativa de um receptor que pode ser utilizado com a presente técnica. Como se mostra na Figura 8, um sinal COFDM é recebido por uma antena 300 e detectado por um sintonizador 302 e convertido numa forma digital por um conversor 304 analógico-digital. Um processador 306 de remoção de intervalo de guarda remove o intervalo de guarda de um símbolo COFDM recebido, antes de os dados serem recuperados do símbolo COFDM utilizando um processador 308 de Transformada Rápida de Fourier (FFT) em combinação com um estimador e correcção 310 de canal, em cooperação com uma unidade 311 de descodificação de Sinalização de Parâmetro de Transmissão (TPS), de acordo com técnicas conhecidas. Os dados desmodulados são recuperados de um dispositivo 312 de inversão de mapeamento e fornecidos a um desentrelaçador 314 de símbolos interno que efectua o mapeamento inverso do símbolo de dados

recebido para tornar a gerar um fluxo de dados de saída com os dados desentrelaçados.

O desentrelaçador 314 de símbolos é formado a partir de um aparelho de processamento de dados, como mostrado na Figura 9, com uma memória 340 de entrelaçador e um gerador 342 de endereços. A memória de entrelaçador é igual à mostrada na Figura 4 e funciona como já explicado acima para efectuar o desentrelaçamento utilizando conjuntos de endereços gerados pelo gerador 342 de endereços. O gerador 342 de endereços é formado como se mostra na Figura 7 e é configurado para gerar endereços correspondentes para mapear os símbolos de dados recuperados de cada um dos sinais de sub-portadora COFDM num fluxo de dados de saída.

As partes restantes do receptor COFDM mostradas na Figura 8 são proporcionadas para efectuar a descodificação para correcção de erros e o desentrelaçamento para corrigir erros e recuperar uma estimativa dos dados de fonte. Em particular, um desentrelaçador 316 de código interno e um descodificador 318 interno efectuam a descodificação do código convolucional interno introduzido pelo entrelaçador 30 interno e o código 28 interno do transmissor mostrado na Figura 1. Um desentrelaçador 320 externo e um descodificador 322 externo efectuam a descodificação do código de Reed-Solomon para recuperar uma estimativa dos dados provenientes da fonte 1, depois de serem descriptados por um descriptador 324.

Uma vantagem proporcionada pela presente técnica para o receptor e para o transmissor é que um entrelaçador de símbolos e um desentrelaçador de símbolos funcionando nos receptores e transmissores podem ser comutados entre os modos 2k, 8k e 4k por

alteração dos polinómios geradores e da ordem de permutação. Uma implementação flexível é, por esse meio, proporcionada porque um entrelaçador e desentrelaçador de símbolos podem ser formados, como se mostra nas Figuras 4 e 9, com um gerador de endereços, como ilustrado em qualquer das Figuras 5, 6 ou 7. O gerador de endereços pode, por conseguinte, ser adaptado aos diferentes modos pela alteração dos polinómios geradores e das ordens de permutação indicadas para cada um dos modos 2k, 4k e 8k. Por exemplo, isto pode ser efectuado utilizando uma alteração de software. Alternativamente, em outras formas de realização, um sinal TPS embebido indicando o modo da transmissão DVB-T pode ser detectado no receptor, na unidade 311 de processamento de canal de TPS, e utilizado para configurar automaticamente o desentrelaçador de símbolos de acordo com o modo detectado.

Várias modificações podem ser feitas nas formas de realizações acima descritas sem divergir do âmbito da presente invenção. Em particular, a representação exemplificativa do polinómio gerador e da ordem de permutação que tem sido utilizada para representar aspectos da invenção não é limitativa e estende-se a formas equivalentes do polinómio gerador e da ordem de permutação.

Como se deve compreender, o transmissor e receptor mostrados, respectivamente, nas Figuras 1 e 8, são proporcionados apenas a título ilustrativo e não são limitativos. Por exemplo, deve compreender-se que a posição do entrelaçador de símbolos e do desentrelaçador relativamente a, por exemplo, ao entrelaçador de bits e ao mapeador e dispositivo de inversão de mapeamento pode ser alterada. Como se deve compreender, o efeito do entrelaçador e do desentrelaçador não é alterado pela sua posição relativa, embora o entrelaçador possa

estar a entrelaçar símbolos I/Q em vez de vectores de v-bits. Pode fazer-se uma alteração correspondente no receptor. Consequentemente, o entrelaçador e o desentrelaçador podem funcionar com diferentes tipos de dados e podem ser posicionados de modo diferente no que se refere à posição descrita nas formas de realização exemplificativas.

Como acima mencionado, as formas de realização da presente invenção são aplicadas com normas DVB, tais como DVB-H e DVB-H. Por exemplo, as formas de realização da presente invenção podem ser utilizadas num transmissor ou receptor funcionando de acordo com a norma DVB-H, em terminais móveis portáteis. Os terminais móveis podem estar integrados em telefones móveis (se segunda, terceira ou geração mais elevada) ou, por exemplo, em Assistentes Digitais Pessoais ou Tablets. Estes terminais móveis podem receber sinais compatíveis com DVB-H ou DVB-T dentro de edifícios ou em movimento, por exemplo, em carros ou comboios, mesmo a velocidades elevadas. Os terminais móveis podem ser, por exemplo, alimentados com baterias, electricidade da rede pública ou com fontes de alimentação DC de baixa tensão ou alimentados por uma bateria de carro. Os serviços que podem ser proporcionados pela DVB-H podem incluir voz, mensagens, navegação na internet, rádio, imagens de vídeo estáticas e/ou dinâmicas, serviços de televisão, serviços interactivos, vídeo a pedido ou vídeo quase a pedido. Os serviços podem funcionar em combinação uns com os outros. Deve compreender-se que a presente invenção não está limitada à aplicação com DVB e pode ser estendida a outras normas para transmissão ou recepção, tanto fixa como móvel.

Referências

[1] EN 300 744, "Framming structure, channel coding and modulation for digital terrestrial television", ETSI.

Lisboa, 16 de Maio de 2012

REIVINDICAÇÕES

1. Transmissor para transmitir dados utilizando Multiplexagem por Divisão Ortogonal da Frequência, (OFDM) incluindo o transmissor um aparelho (76) de processamento de dados com a função de mapear símbolos de dados de entrada para serem comunicados sobre um número predeterminado de sinais de portadora de um símbolo OFDM, Multiplexado por Divisão Ortogonal da Frequência, de acordo com uma pluralidade de modos de funcionamento diferentes, cada um dos quais proporciona um número diferente de portadoras OFDM, compreendendo o aparelho (76) de processamento de dados

uma memória (100) de entrelaçador com a função de extrair o número predeterminado de símbolos de dados para mapeamento sobre os sinais de portadora OFDM e enviar os símbolos de dados para as portadoras OFDM para efectuar o mapeamento, sendo o envio feito segundo uma ordem diferente da extracção, sendo a ordem determinada a partir de um conjunto de endereços, com o efeito de os símbolos de dados serem entrelaçados nos sinais de portadora,

um gerador (102) de endereços com a função de gerar o conjunto de endereços, sendo um endereço gerado para cada um dos símbolos de entrada para indicar um dos sinais da portadora sobre o qual o símbolo de dados vai ser mapeado, compreendendo o gerador (102) de endereços

um registador (200.1, 200.2, 200.3) de deslocamento com realimentação linear incluindo um número predeterminado de andares de registador e tendo a função de gerar uma

sequência de bits pseudo aleatória de acordo com um polinómio gerador,

um circuito (210.0, 210.2, 210.3) de permutação com a função de receber o conteúdo dos andares de registador de deslocamento e permutar os bits presentes nos andares de registador de acordo com uma ordem de permutação para formar um endereço de uma das portadoras OFDM e

uma unidade (224.1, 224.2, 224.3) de controlo, em combinação com um circuito (216.1, 216.2, 216.3) de verificação de endereço com a função de tornar a gerar um endereço quando um endereço gerado excede o número predeterminado de portadoras, caracterizado por o transmissor poder ser comutado entre os modos 2k, 4k e 8k de operação e por, para o modo 4k, o número predeterminado de sinais de portadora OFDM ser um máximo de quatro mil e noventa e seis, o registador (200.1, 200.2, 200.3) de deslocamento com realimentação linear ter onze andares de registador com um polinómio gerador para o registador de deslocamento com realimentação linear de $R_i[10] = R_{i-1}[0] \oplus R_{i-1}[2]$. e a ordem de permutação formar, com um bit adicional, um endereço de doze bits que inclui um endereço $R_i[n]$ de onze bits para o i-ésimo símbolo de dados a partir do bit presente no n-ésimo andar de registador $R'_i[n]$ de acordo com o quadro:

$R'_i[n]$ para n =	10	9	8	7	6	5	4	3	2	1	0
$R_i[n]$ para n=	7	10	5	8	1	2	4	9	0	3	6

e o bit adicional ser o bit mais significativo dos endereços, sendo o valor do bit adicional alternado entre 0 e 1, entre endereços gerados sucessivamente.

2. Transmissor, como reivindicado na Reivindicação 1, em que a memória (100) de entrelaçador tem a função de efectuar o mapeamento dos símbolos de dados de entrada sobre os sinais de portadora para símbolos OFDM pares ao extrair os símbolos de dados de acordo com o conjunto de endereços gerados pelo gerador (102) de endereços e enviá-los numa ordem sequencial, e, para símbolos OFDM ímpares, extrair os símbolos para a memória numa ordem sequencial e enviar os símbolos de dados a partir da memória de acordo com o conjunto de endereços gerados pelo gerador (102) de endereços.
3. Transmissor, como reivindicado na Reivindicação 1, em que o transmissor tem a função de transmitir dados de acordo com a norma Radiodifusão Televisiva Digital Terrestre ou Radiodifusão Televisiva Digital - Para Dispositivos Móveis.
4. Receptor para recepção de dados a partir do sinal modulado OFDM, Multiplexagem por Divisão Ortogonal da Frequência, incluindo o receptor um aparelho (314) de processamento de dados com a função de inverter o mapeamento dos símbolos recebidos de um número predeterminado de sinais de portadora de um símbolo OFDM, Multiplexado por Divisão Ortogonal de Frequência, num fluxo de símbolos de saída de acordo com uma pluralidade de modos de operação diferentes, cada um dos quais proporciona um número diferente de portadoras OFDM, compreendendo o aparelho (314) de processamento de dados

uma memória (340) de desentrelaçador com a função de extrair o número predeterminado de símbolos de dados a partir dos sinais de portadora OFDM e para enviar os símbolos de dados para o fluxo de símbolos de saída para efectuar a função inversa de mapeamento, sendo o envio efectuado segundo uma ordem diferente da extracção, sendo a ordem determinada a partir de um conjunto de endereços, com o efeito de os símbolos de dados serem desentrelaçados a partir dos sinais de portadora OFDM,

um gerador (302) de endereços com a função de gerar o conjunto de endereços, sendo um endereço gerado para cada um dos símbolos de dados recebidos para indicar o sinal de portadora OFDM a partir do qual o símbolo de dados recebido vai ser inversamente mapeado para o fluxo de símbolos de saída, compreendendo o gerador (342) de endereços

um registador (200.1, 200.2, 200.3) de deslocamento com realimentação linear incluindo um número predeterminado de andares de registador e tendo a função de gerar uma sequência de bits pseudo aleatória de acordo com um polinómio gerador,

um circuito (210.0, 210.2, 210.3) de permutação com a função de receber o conteúdo dos andares de registador de deslocamento e permutar os bits presentes nos andares de registador de acordo com uma ordem de permutação para formar um endereço de uma das portadoras OFDM e

uma unidade (224.1, 224.2, 224.3) de controlo, em combinação com um circuito (216.1, 216.2, 216.3) de verificação de endereço com a função de tornar a gerar um endereço quando

um endereço gerado excede o número predeterminado de portadoras, caracterizado por o transmissor poder ser comutado entre os modos 2k, 4k e 8k de operação e por, para o modo 4k, o número predeterminado de sinais de portadora OFDM ser um máximo de quatro mil e noventa e seis, o registador (200.1, 200.2, 200.3) de deslocamento com realimentação linear ter onze andares de registador com um polinómio gerador para o registador de deslocamento com realimentação linear de $R_i[10] = R_{i-1}[0] \oplus R_{i-1}[2]$. e a ordem de permutação formar, com um bit adicional, um endereço de doze bits que inclui um endereço $R_i[n]$ de onze bits para o i-ésimo símbolo de dados a partir do bit presente no n-ésimo andar de registador $R'_i[n]$ de acordo com o quadro:

$R'_i[n]$ para n =	10	9	8	7	6	5	4	3	2	1	0
$R_i[n]$ para n=	7	10	5	8	1	2	4	9	0	3	6

e o bit adicional ser o bit mais significativo dos endereços, sendo o valor do bit adicional alternado entre 0 e 1, entre endereços gerados sucessivamente.

5. Receptor, como reivindicado na Reivindicação 4, em que a memória de desentrelaçador está configurada para efectuar a função inversa de mapeamento dos símbolos de dados recebidos a partir dos sinais de portadora sobre o fluxo de dados de saída, para símbolos OFDM pares ao extrair os símbolos de dados de acordo com uma ordem sequencial e enviar os símbolos de dados a partir da memória (340) de acordo com o conjunto de endereços gerados pelo gerador (342) de endereços, e para símbolos OFDM ímpares ao extrair os símbolos para a memória (340) de acordo com o conjunto de

endereços gerados pelo gerador (342) de endereços e enviar os símbolos de dados a partir da memória (340) de acordo com uma ordem sequencial.

6. Receptor, como reivindicado na Reivindicação 4, em que o receptor tem a função de receber dados que tenham sido modulados de acordo com a norma Radiodifusão Televisiva Digital Terrestre ou Para Dispositivos Móveis.

7. Método para transmitir dados utilizando Multiplexagem por Divisão Ortogonal da Frequência, OFDM, compreendendo o mapeamento de símbolos de entrada a serem comunicados sobre um número predeterminado de sinais de portadora de um símbolo, OFDM, Multiplexado por Divisão Ortogonal da Frequência, de acordo com uma pluralidade de modos de operação diferentes, cada um dos quais proporciona um número diferente de portadoras OFDM, compreendendo o mapeamento

extrair o número predeterminado de símbolos de dados para mapeamento sobre os sinais de portadora OFDM,

enviar os símbolos de dados para as portadoras OFDM para efectuar o mapeamento, sendo o envio efectuado com uma ordem diferente da extracção, sendo a ordem determinada a partir de um conjunto de endereços, com o efeito de os símbolos de dados serem entrelaçados sobre os sinais de portadora,

gerar o conjunto de endereços, sendo um endereço gerado para cada um dos símbolos de entrada para indicar um dos sinais

da portadora sobre o qual o símbolo de dados vai ser mapeado, compreendendo a geração de endereços

a utilização de um registador (200.1, 200.2, 200.3) de deslocamento com realimentação linear incluindo um número predeterminado de andares de registador para gerar uma sequência de bits pseudo aleatória de acordo com um polinómio gerador,

a utilização de um circuito (210.1, 210.2, 210.3) de permutação com a função de receber o conteúdo dos andares de registador de deslocamento e permutar os bits presentes nos andares de registador de acordo com uma ordem de permutação para formar um endereço e

tornar a gerar um endereço quando um endereço gerado excede o número predeterminado de portadoras, caracterizado por se efectuar uma comutação entre os modos 2k, 4k e 8k de operação, em que, para o modo 4k de operação, o número predeterminado de sinais de portadora OFDM é um máximo de quatro mil e noventa e seis,

o registador (200.1, 200.2, 200.3) de deslocamento com realimentação linear tem onze andares de registador com um polinómio gerador para o registador de deslocamento com

realimentação linear de $R'_i[10] = R'_{i-1}[0] \oplus R'_{i-1}[2]$ e a ordem de permutação forma, com um bit adicional, um endereço de doze bits que inclui um endereço $R_i[n]$ de onze bits para o i -ésimo símbolo de dados a partir do bit presente no n -ésimo andar de registador $R'_i[n]$ de acordo com o quadro:

$R_i'[n]$ para $n =$	10	9	8	7	6	5	4	3	2	1	0
$R_i[n]$ para $n=$	7	10	5	8	1	2	4	9	0	3	6

e o bit adicional é o bit mais significativo dos endereços, sendo o valor do bit adicional alternado entre 0 e 1, entre endereços gerados sucessivamente.

8. Método para receber dados utilizando a Multiplexagem por Divisão Ortogonal da Frequência, OFDM, compreendendo efectuar a função inversa de mapeamento dos símbolos recebidos a partir de um número predeterminado de sinais de portadora de um símbolo OFDM, Multiplexado por Divisão Ortogonal da Frequência, num fluxo de símbolos de saída, de acordo com uma pluralidade de modos de operação diferentes, cada um dos quais proporciona um número diferente de portadoras OFDM, compreendendo o mapeamento

extrair o número predeterminado de símbolos de dados dos sinais de portadora OFDM,

enviar os símbolos de dados para o fluxo de símbolos de saída para efectuar a função inversa de mapeamento, sendo o envio efectuado com uma ordem diferente da extracção, sendo a ordem determinada a partir de um conjunto de endereços, com o efeito de os símbolos de dados serem desentrelaçados a partir dos sinais de portadora OFDM,

gerar o conjunto de endereços, sendo um endereço gerado para cada um dos símbolos de dados recebidos para indicar o sinal de portadora OFDM a partir do qual o símbolo de dados recebido vai ser inversamente mapeado para o fluxo de

símbolos de saída, compreendendo a geração do conjunto de endereços

a utilização de um registador (200.1, 200.2, 200.3) de deslocamento com realimentação linear incluindo um número predeterminado de andares de registador para gerar uma sequência de bits pseudo aleatória de acordo com um polinómio gerador,

a utilização de um circuito (210.1, 210.2, 210.3) de permutação para receber o conteúdo dos andares de registador de deslocamento e permutar os bits presentes nos andares de registador de acordo com uma ordem de permutação para formar um endereço e

tornar a gerar um endereço quando um endereço gerado excede o número predeterminado de portadoras, caracterizado por se efectuar uma comutação entre os modos 2k, 4k e 8k de operação, em que, no modo 4k de operação, o número predeterminado de sinais de portadora OFDM é um máximo de quatro mil e noventa e seis,

o registador (200.1, 200.2, 200.3) de deslocamento com realimentação linear tem onze andares de registador com um polinómio gerador para o registador de deslocamento com

realimentação linear de $R'_i[10] = R'_{i-1}[0] \oplus R'_{i-1}[2]$ e a ordem de permutação forma, com um bit adicional, um endereço de doze bits que inclui um endereço $R_i[n]$ de onze bits para o i -ésimo símbolo de dados a partir do bit presente no n -ésimo andar de registador $R'_i[n]$ de acordo com o quadro:

$R_i'[n]$ para $n =$	10	9	8	7	6	5	4	3	2	1	0
$R_i[n]$ para $n =$	7	10	5	8	1	2	4	9	0	3	6

e o bit adicional ser o bit mais significativo dos endereços, sendo o valor do bit adicional alternado entre 0 e 1, entre endereços gerados sucessivamente.

- Gerador (102, 342) de endereços para utilizar com transmissão ou recepção de símbolos de dados entrelaçados sobre sub-portadoras de um símbolo Multiplexado por Divisão Ortogonal da Frequência de acordo com uma pluralidade de modos de operação diferentes, cada um dos quais proporciona um número diferente de portadoras OFDM, tendo o gerador (102, 342) de endereços a função de gerar um conjunto de endereços, sendo cada endereço gerado por cada um dos símbolos de dados para indicar um dos sinais de portadora sobre o qual o símbolo de dados vai ser mapeado, compreendendo o gerador (102, 342) de endereços

um registador (200.1, 200.2, 200.3) de deslocamento com realimentação linear incluindo um número predeterminado de andares de registador e tendo a função de gerar uma sequência de bits pseudo aleatória de acordo com um polinómio gerador.

um circuito (210.1, 210.2, 210.3) de permutação com a função de receber o conteúdo dos andares de registador de deslocamento e permutar os bits presentes nos andares de registador de acordo com uma ordem de permutação para formar um endereço, e

uma unidade (224.1, 224.2, 224.3) de controlo com a função de, em combinação com um circuito (216.1, 216.2, 216.3) de verificação de endereço, tornar a gerar um endereço quando um endereço gerado excede o número predeterminado de portadoras, caracterizado por o gerador de endereços ser comutável entre modos 2k, 4k, 8k de operação e por, para o modo 4k, o número predeterminado de sinais de portadora OFDM ser um máximo de quatro mil e noventa seis,

o registador (200.1, 200.2, 200.3) de deslocamento da realimentação linear ter onze andares de registador com um polinómio gerador para o registador de deslocamento com realimentação linear de $R'_i[10] = R'_{i-1}[0] \oplus R'_{i-1}[2]$. e a ordem de permutação formar, com um bit adicional, um endereço de doze bits que inclui um endereço $R_i[n]$ de onze bits para o i-ésimo símbolo de dados a partir do bit presente no n-ésimo andar de registador $R'_i[n]$ de acordo com o quadro:

$R'_i[n]$ para n =	10	9	8	7	6	5	4	3	2	1	0
$R_i[n]$ para n=	7	10	5	8	1	2	4	9	0	3	6

e o bit adicional ser o bit mais significativo dos endereços, sendo o valor do bit adicional alternado entre 0 e 1, entre endereços gerados sucessivamente.

Lisboa, 16 de Maio de 2012

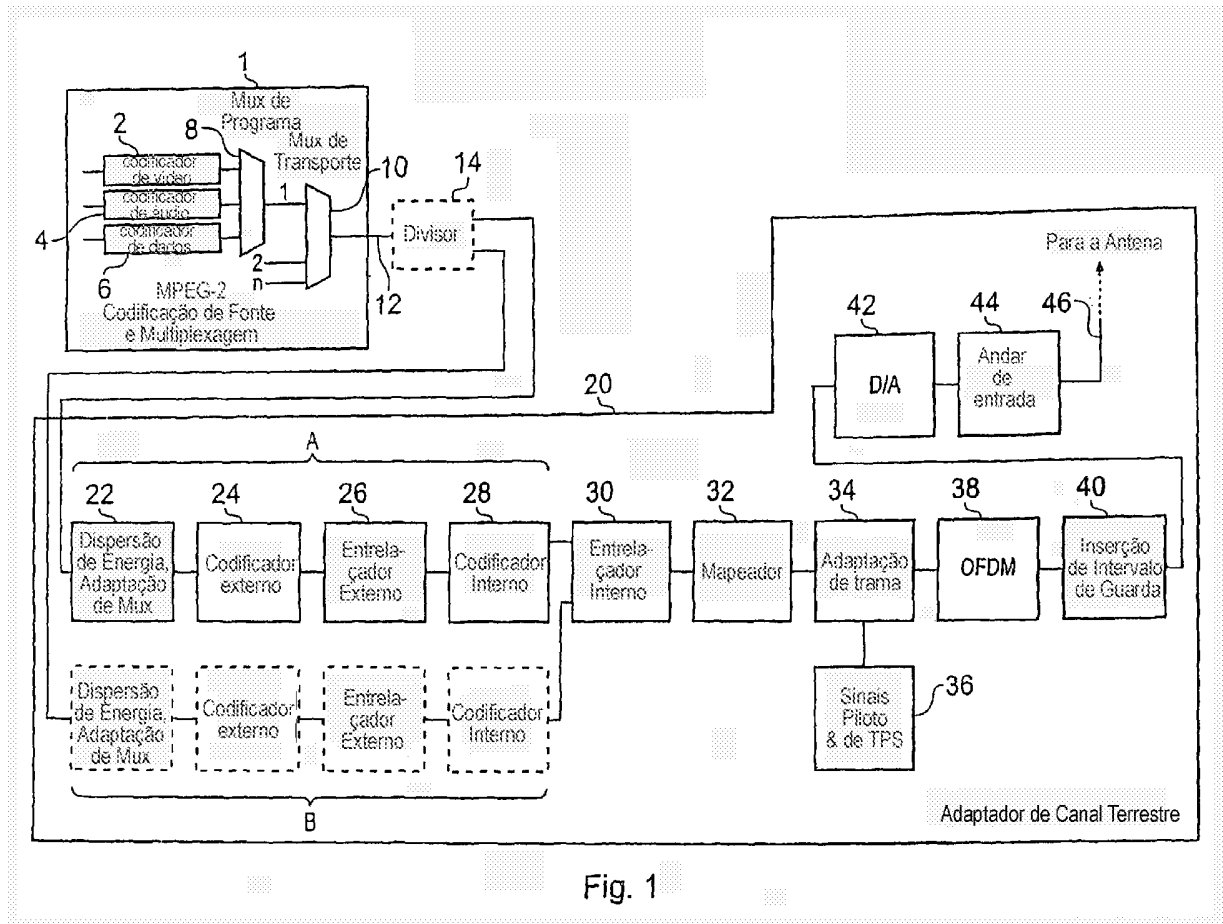


Fig. 1

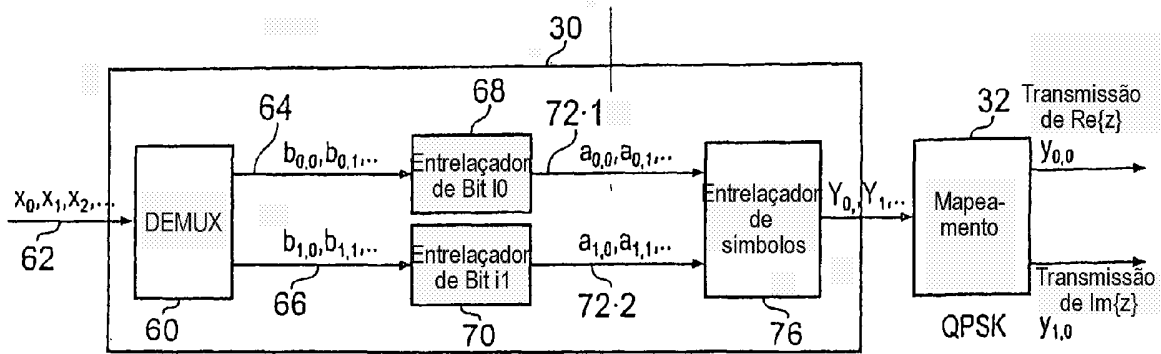


Fig. 2

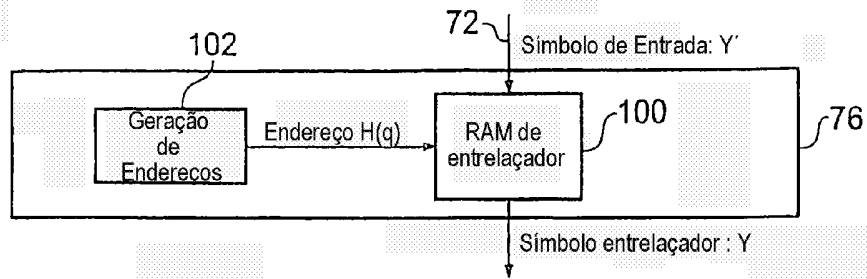


Fig. 3

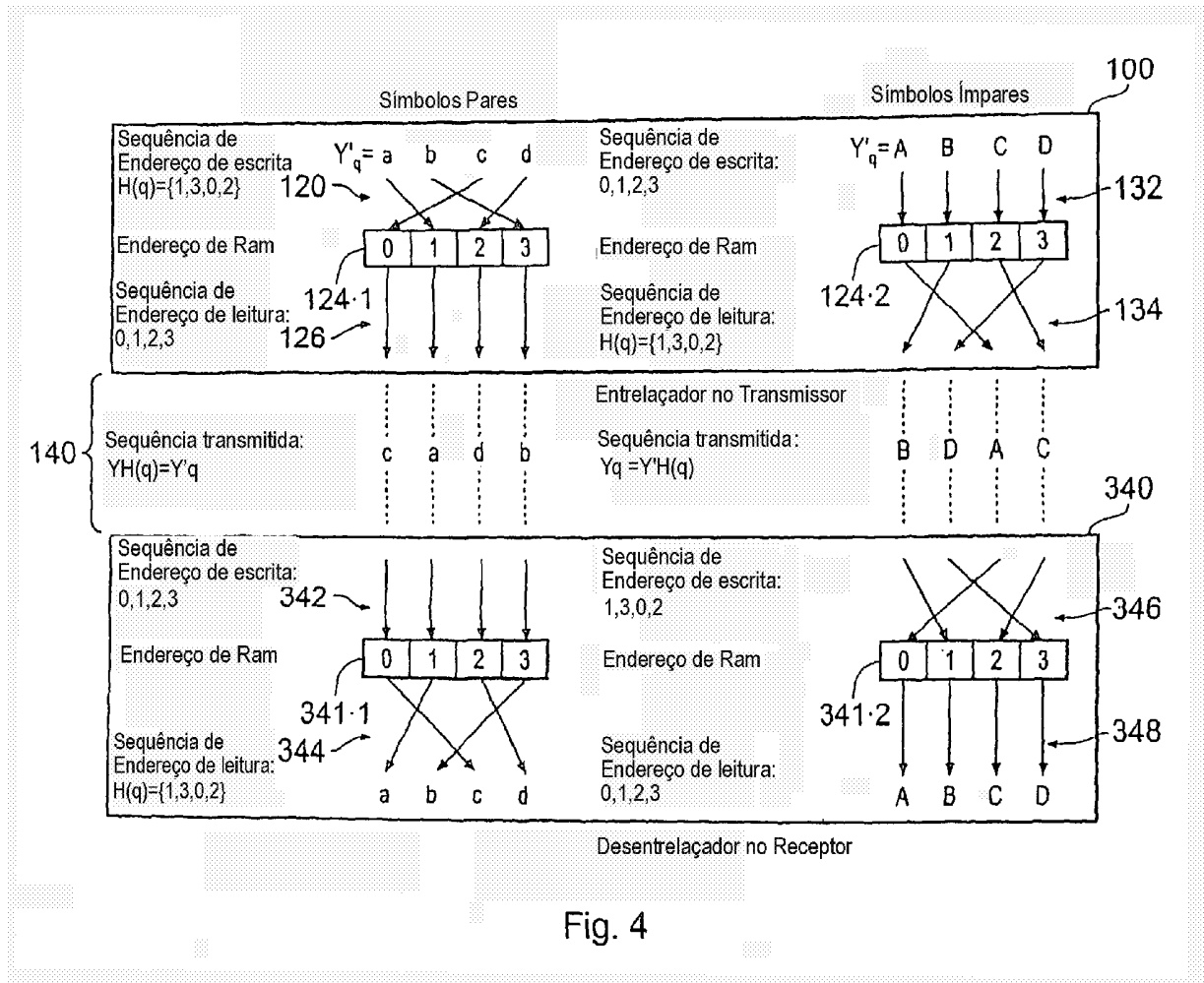


Fig. 4

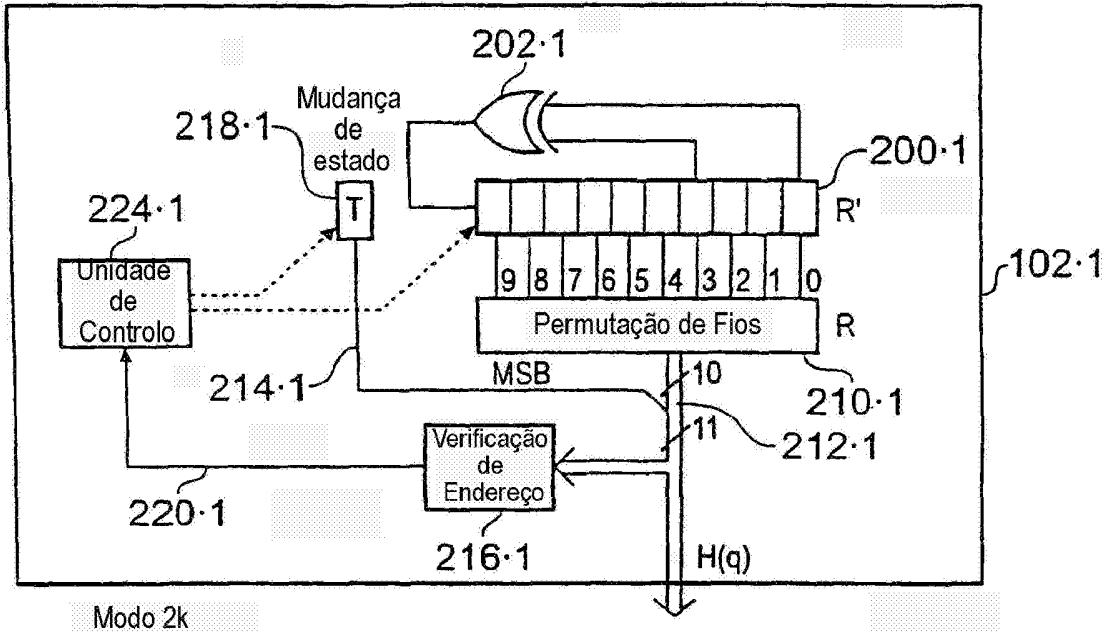


Fig. 5

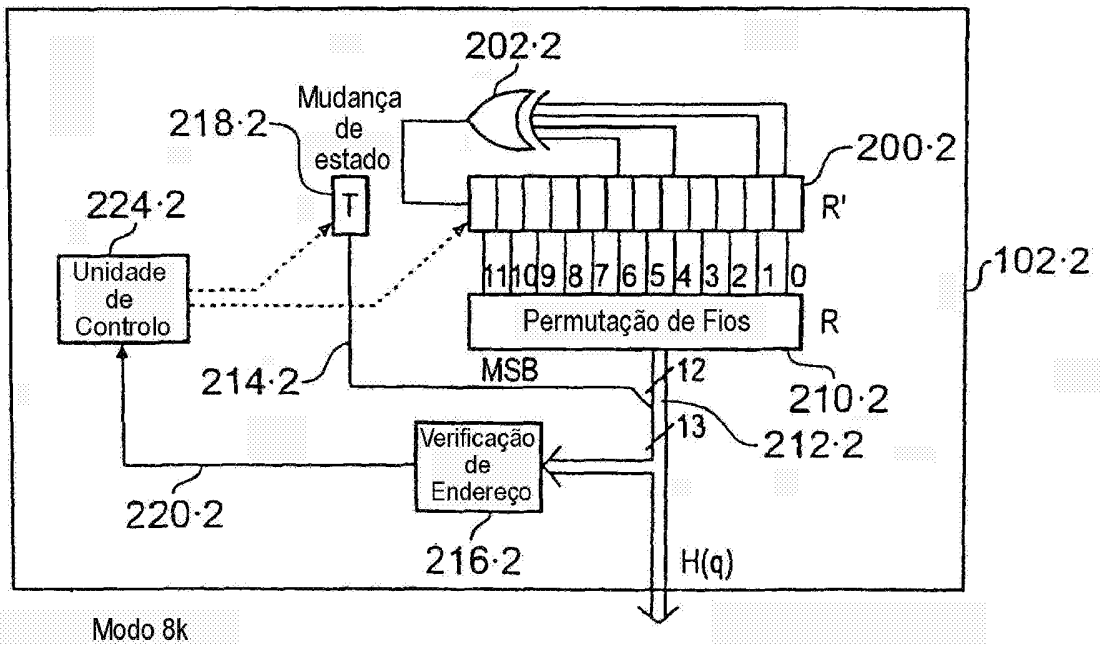


Fig. 6

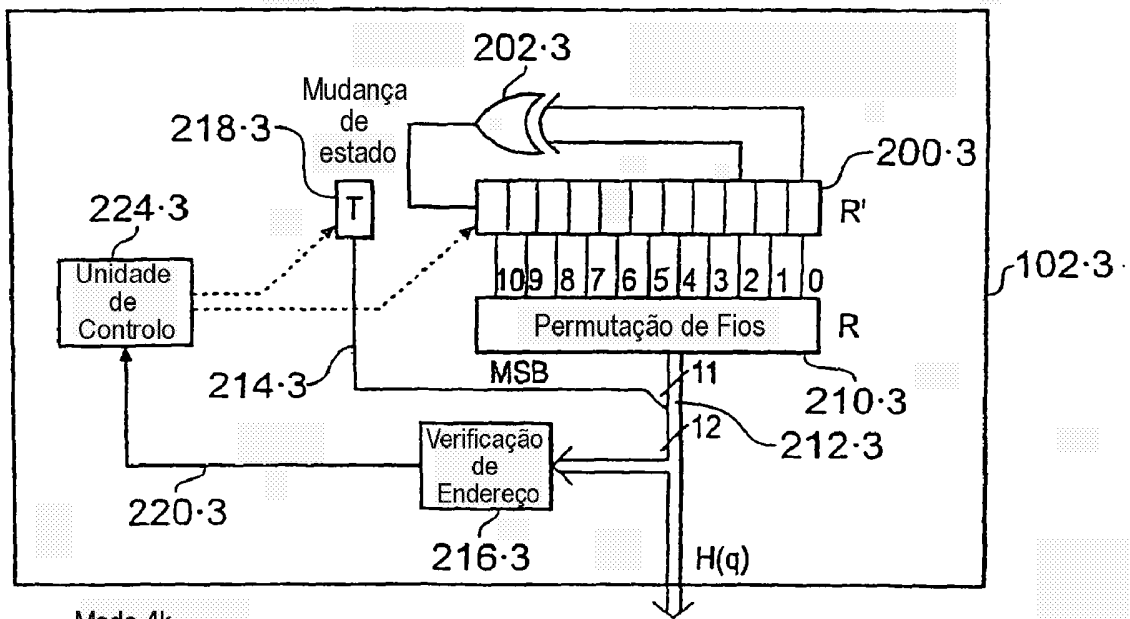


Fig. 7

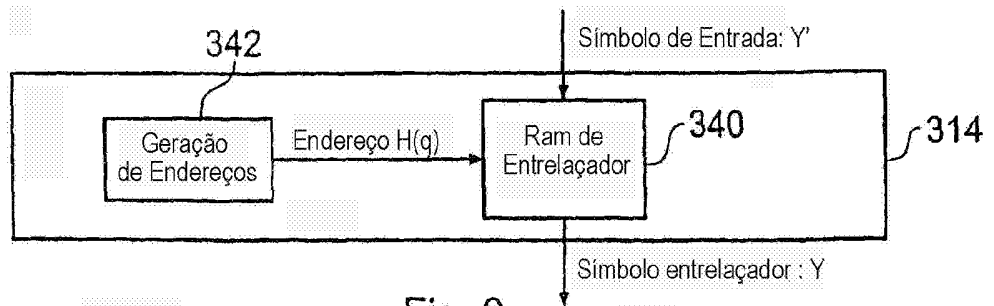
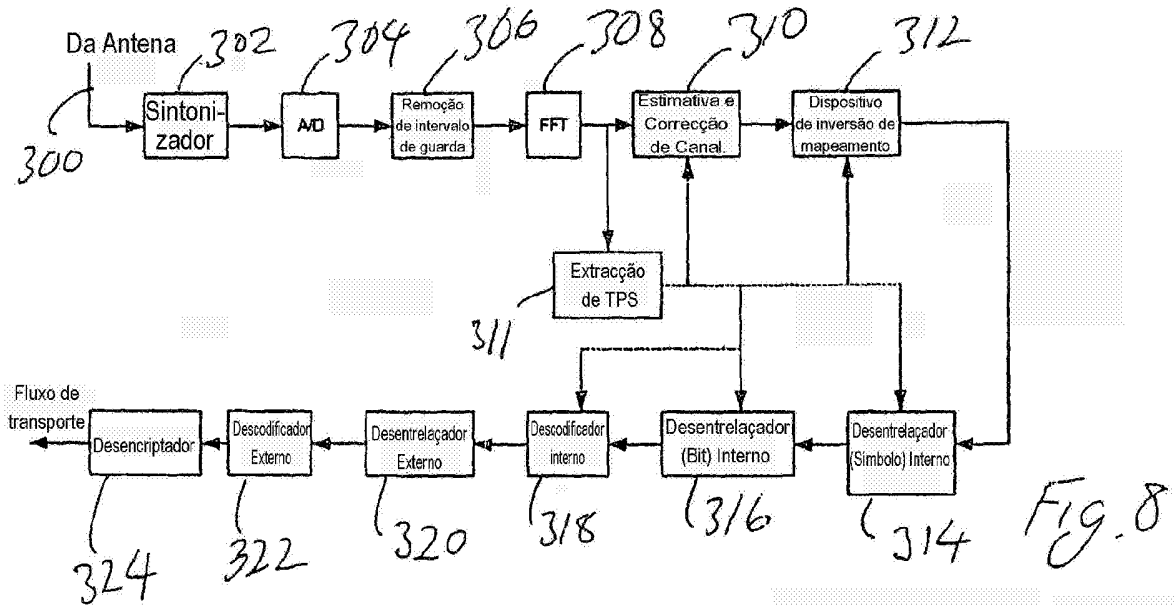


Fig. 9