

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5741567号
(P5741567)

(45) 発行日 平成27年7月1日(2015.7.1)

(24) 登録日 平成27年5月15日(2015.5.15)

(51) Int. Cl.	F I
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 H
HO 1 L 29/06 (2006.01)	HO 1 L 29/78 6 5 2 P
HO 1 L 29/41 (2006.01)	HO 1 L 29/06 3 0 1 F
	HO 1 L 29/06 3 0 1 G
	HO 1 L 29/06 3 0 1 V
請求項の数 28 (全 39 頁) 最終頁に続く	

(21) 出願番号 特願2012-501498 (P2012-501498)	(73) 特許権者 000005234 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号
(86) (22) 出願日 平成22年7月29日(2010.7.29)	(74) 代理人 100104190 弁理士 酒井 昭徳
(65) 公表番号 特表2012-533167 (P2012-533167A)	(72) 発明者 大西 泰彦 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
(43) 公表日 平成24年12月20日(2012.12.20)	(72) 発明者 杉 祥夫 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
(86) 国際出願番号 PCT/JP2010/004825	審査官 安田 雅彦
(87) 国際公開番号 W02011/013379	最終頁に続く
(87) 国際公開日 平成23年2月3日(2011.2.3)	
審査請求日 平成24年1月11日(2012.1.11)	
(31) 優先権主張番号 特願2009-180131 (P2009-180131)	
(32) 優先日 平成21年7月31日(2009.7.31)	
(33) 優先権主張国 日本国(JP)	

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1主面側に設けられた素子活性部と、
 第2主面側に設けられた低抵抗層と、
 前記素子活性部と前記低抵抗層との間に設けられた、第1の第1導電型領域および第1の第2導電型領域が交互に配置された第1の並列pn層と、
 前記素子活性部を囲む素子周縁部に設けられた、前記第1の第1導電型領域および前記第1の第2導電型領域の繰り返しピッチよりも狭いピッチで第2の第1導電型領域および第2の第2導電型領域が交互に配置された第2の並列pn層と、
 前記第2の並列pn層と前記第1主面との間に設けられ、前記素子活性部の前記素子周縁部に隣接する部分まで伸びている第3の第1導電型領域と、
 前記第3の第1導電型領域の前記第1主面側に互いに離れて設けられた複数の第3の第2導電型領域と、
 前記素子周縁部の前記素子活性部側に対して反対側において、前記第1主面と前記低抵抗層との間に設けられ、前記低抵抗層に接する第1導電型の終端領域と、
 前記複数の第3の第2導電型領域のうちの最も外側に位置する第3の第2導電型領域に電氣的に接続する第1の導電層と、
 前記終端領域に電氣的に接続する第2の導電層と、
 を備え、
 前記第1の並列pn層と前記第2の並列pn層との境界が前記第3の第1導電型領域の

10

20

下にあることを特徴とする半導体装置。

【請求項 2】

前記第 3 の第 1 導電型領域の不純物濃度が前記第 1 の第 1 導電型領域の不純物濃度よりも低いことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記第 3 の第 2 導電型領域の不純物濃度が前記第 3 の第 1 導電型領域の不純物濃度よりも高いことを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記複数の第 3 の第 2 導電型領域のうちの一部または全部がそれぞれ前記第 1 の導電層を含む別々の導電層に電氣的に接続することを特徴とする請求項 1 ~ 3 のいずれか一つに記載の半導体装置。

10

【請求項 5】

前記複数の第 3 の第 2 導電型領域にそれぞれ電氣的に接続する前記別々の導電層は、それぞれ、該導電層が電氣的に接続する第 3 の第 2 導電型領域から、前記第 3 の第 1 導電型領域を覆う絶縁層上に延在し、該絶縁層を介して前記第 3 の第 1 導電型領域の一部を覆うことを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】

隣り合う前記第 3 の第 2 導電型領域の間隔が前記素子周縁部の終端へ向かうに連れて広くなることを特徴とする請求項 1 ~ 5 のいずれか一つに記載の半導体装置。

【請求項 7】

前記第 1 の第 1 導電型領域および前記第 1 の第 2 導電型領域の平面形状がストライプ状であるか、前記第 1 の第 1 導電型領域および前記第 1 の第 2 導電型領域のいずれか一方の平面形状が正方形形状または多角形状であり、前記第 2 の第 1 導電型領域および前記第 2 の第 2 導電型領域の平面形状がストライプ状であるか、前記第 2 の第 1 導電型領域および前記第 2 の第 2 導電型領域のいずれか一方の平面形状が正方形形状または多角形状であることを特徴とする請求項 1 ~ 6 のいずれか一つに記載の半導体装置。

20

【請求項 8】

前記終端領域の前記第 1 主面側の表面層に選択的に設けられた第 2 導電型の最外周領域をさらに備え、

前記第 2 の導電層は、前記最外周領域に接続されていることを特徴とする請求項 1 ~ 7 のいずれか一つに記載の半導体装置。

30

【請求項 9】

第 1 主面側に設けられた素子活性部と、
第 2 主面側に設けられた低抵抗層と、
前記素子活性部を囲む素子周縁部と、
前記第 1 主面と前記低抵抗層との間に設けられた、第 4 の第 1 導電型領域および第 4 の第 2 導電型領域が交互に配置された並列 p n 層と、

前記素子周縁部の前記素子活性部側に対して反対側において、前記第 1 主面と前記低抵抗層との間に設けられ、前記低抵抗層に接する第 1 導電型の終端領域と、

前記素子周縁部の前記並列 p n 層と前記第 1 主面との間に設けられた、前記終端領域よりも不純物濃度の低い第 3 の第 1 導電型領域と、

40

前記素子周縁部の前記並列 p n 層と前記第 1 主面との間に設けられた、前記第 3 の第 1 導電型領域の前記素子活性部側に隣接し、前記素子活性部の前記素子周縁部に隣接する部分まで伸びている第 5 の第 2 導電型領域と、

絶縁層を介して前記第 5 の第 2 導電型領域の一部を覆う第 1 の導電層と、
前記終端領域に電氣的に接続するとともに絶縁層を介して前記第 3 の第 1 導電型領域の一部を覆う第 2 の導電層と、

を備えることを特徴とする半導体装置。

【請求項 10】

前記第 3 の第 1 導電型領域と前記第 5 の第 2 導電型領域との接合部が前記第 1 の導電層

50

と前記第2の導電層との間にあることを特徴とする請求項9に記載の半導体装置。

【請求項11】

前記第3の第1導電型領域の不純物濃度が前記第4の第1導電型領域の不純物濃度よりも低いことを特徴とする請求項9または10に記載の半導体装置。

【請求項12】

前記第5の第2導電型領域の不純物濃度が前記第4の第2導電型領域の不純物濃度よりも低いことを特徴とする請求項9～11のいずれか一つに記載の半導体装置。

【請求項13】

前記第5の第2導電型領域に不純物濃度が異なる複数の領域があることを特徴とする請求項9～12のいずれか一つに記載の半導体装置。

10

【請求項14】

前記第5の第2導電型領域の、不純物濃度が異なる複数の領域の不純物濃度が前記素子活性部から前記素子周縁部の終端へ向かうに連れて低くなることを特徴とする請求項13に記載の半導体装置。

【請求項15】

前記第4の第1導電型領域および前記第4の第2導電型領域の平面形状がストライプ状であるか、前記第4の第1導電型領域および前記第4の第2導電型領域のいずれか一方の平面形状が正方形または多角形状であることを特徴とする請求項9～14のいずれか一つに記載の半導体装置。

【請求項16】

20

第1主面側に設けられた素子活性部と、
第2主面側に設けられた低抵抗層と、
前記第1主面と前記低抵抗層との間に設けられた、一定の繰り返しピッチで第1導電型領域および第2導電型領域が交互に配置された並列pn層と、

前記素子活性部を囲む素子周縁部における前記並列pn層を覆う絶縁層と、
前記素子周縁部の前記素子活性部側に対して反対側において、前記第1主面と前記低抵抗層との間に設けられ、前記低抵抗層に接する第1導電型の終端領域と、

前記絶縁層を介して前記素子周縁部における前記並列pn層の前記素子活性部側の一部を覆う第1の導電層と、

前記終端領域に電氣的に接続するとともに前記絶縁層を介して前記素子周縁部における前記並列pn層の前記終端領域側の一部を覆う第2の導電層と、

30

を備え、

前記素子周縁部における前記並列pn層の前記第1主面側の前記素子活性部寄りの領域が実質的に第2導電型となり、

前記素子周縁部における前記並列pn層の前記第1主面側の前記終端領域寄りの領域が実質的に第1導電型となり、

前記実質的に第2導電型となる領域は、前記第1の導電層よりも前記終端領域に近い位置から前記第1の導電層の下まで伸びており、

前記実質的に第1導電型となる領域は、前記第2の導電層よりも前記素子活性部に近い位置から前記第2の導電層の下まで伸びており、

40

前記第1導電型領域および前記第2導電型領域の繰り返しピッチを一定に保ったまま、
前記実質的に第2導電型となる領域は、前記第2導電型領域の幅を広くする分、前記第1導電型領域の幅を狭くすることによって、前記第1導電型領域よりも前記第2導電型領域の不純物量が多くなっており、

前記実質的に第1導電型となる領域は、前記第1導電型領域の幅を広くする分、前記第2導電型領域の幅を狭くすることによって、前記第2導電型領域よりも前記第1導電型領域の不純物量が多くなっていることを特徴とする半導体装置。

【請求項17】

前記実質的に第2導電型となる領域では、前記第2導電型領域の前記第1導電型領域に対する比率が一定であることを特徴とする請求項16に記載の半導体装置。

50

【請求項 18】

前記実質的に第1導電型となる領域では、前記第2導電型領域の前記第1導電型領域に対する比率が一定であることを特徴とする請求項16に記載の半導体装置。

【請求項 19】

前記実質的に第2導電型となる領域では、前記第2導電型領域の前記第1導電型領域に対する比率が前記終端領域に近づくに連れて小さくなって1に近づくことを特徴とする請求項16に記載の半導体装置。

【請求項 20】

前記実質的に第1導電型となる領域では、前記第2導電型領域の前記第1導電型領域に対する比率が前記素子活性部に近づくに連れて大きくなって1に近づくことを特徴とする請求項16に記載の半導体装置。

10

【請求項 21】

前記実質的に第2導電型となる領域と前記実質的に第1導電型となる領域との間に実質的にチャージバランスとなる領域が存在し、

前記第1導電型領域および前記第2導電型領域の繰り返しピッチを一定に保ったまま、前記実質的にチャージバランスとなる領域は、前記第1導電型領域の幅と前記第2導電型領域の幅とを同じにすることによって、前記第1導電型領域の不純物量と前記第2導電型領域の不純物量とがほぼ同じになっていることを特徴とする請求項16に記載の半導体装置。

【請求項 22】

前記実質的にチャージバランスとなる領域の幅が前記第1の導電層と前記第2の導電層との間の距離の1/3以下であることを特徴とする請求項21に記載の半導体装置。

20

【請求項 23】

前記第1の導電層または前記第2の導電層が1段の階段状になっていることを特徴とする請求項16～22のいずれか一つに記載の半導体装置。

【請求項 24】

前記第1の導電層または前記第2の導電層が2段の階段状になっていることを特徴とする請求項16～22のいずれか一つに記載の半導体装置。

【請求項 25】

前記第1の導電層または前記第2の導電層が3段以上の階段状になっていることを特徴とする請求項16～22のいずれか一つに記載の半導体装置。

30

【請求項 26】

前記第1導電型領域および前記第2導電型領域の平面形状がストライプ状であることを特徴とする請求項16～25のいずれか一つに記載の半導体装置。

【請求項 27】

前記実質的に第2導電型となる領域と前記実質的に第1導電型となる領域との間に実質的にチャージバランスとなる領域が存在し、

前記第1導電型領域および前記第2導電型領域の繰り返しピッチを一定に保ったまま、前記実質的にチャージバランスとなる領域は、当該実質的にチャージバランスとなる領域に対する前記第1導電型領域の占有面積と前記第2導電型領域の占有面積とを同じにすることによって、前記第1導電型領域の不純物量と前記第2導電型領域の不純物量とがほぼ同じになっていることを特徴とする請求項16に記載の半導体装置。

40

【請求項 28】

前記第1導電型領域および前記第2導電型領域のいずれか一方の平面形状が正方形または多角形状であることを特徴とする請求項16～20, 27のいずれか一つに記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、MOSFET（絶縁ゲート型電界効果トランジスタ）、IGBT（絶縁ゲ

50

ート型バイポーラトランジスタ)、バイポーラトランジスタ等の能動素子やダイオード等の受動素子に適用可能で高耐圧化と大電流容量化が両立する半導体装置に関する。

【背景技術】

【0002】

一般に、半導体装置は、電極が半導体基板の片面に形成された横型の素子と、半導体基板の両面に電極を有する縦型の素子に分類される。縦型半導体装置は、オン状態のときにドリフト電流が流れる方向と、オフ状態のときに逆バイアス電圧による空乏層が伸びる方向とが同じである。通常のプレーナ型のnチャンネル縦型MOSFETでは、高抵抗のn⁻ドリフト層の部分は、オン状態のときに、縦方向にドリフト電流を流す領域として働く。従って、このn⁻ドリフト層の電流経路を短くすれば、ドリフト抵抗が低くなるので、MOSFETの実質的なオン抵抗を下げるができるという効果が得られる。

10

【0003】

その一方で、高抵抗のn⁻ドリフト層の部分は、オフ状態のときには空乏化して耐圧を高める。従って、n⁻ドリフト層が薄くなると、pベース領域とn⁻ドリフト層との間のpn接合から進行するドレイン-ベース間空乏層の広がる幅が狭くなり、シリコンの臨界電界強度に速く達するため、耐圧が低下してしまう。逆に、耐圧の高い半導体装置では、n⁻ドリフト層が厚いため、オン抵抗が大きくなり、損失が増えてしまう。このように、オン抵抗と耐圧との間には、トレードオフ関係がある。

【0004】

このトレードオフ関係は、IGBTやバイポーラトランジスタやダイオード等の半導体装置においても同様に成立することが知られている。また、このトレードオフ関係は、オン状態のときにドリフト電流が流れる方向と、オフ状態のときの逆バイアスによる空乏層の伸びる方向とが異なる横型半導体装置にも共通である。

20

【0005】

上述したトレードオフ関係による問題の解決法として、ドリフト層を、不純物濃度を高めたn型領域とp型領域とを交互に繰り返し接合した構成の並列pn構造とした超接合半導体装置が公知である(例えば、特許文献1、特許文献2、特許文献3参照)。このような構造の半導体装置では、並列pn構造の不純物濃度が高くても、オフ状態のときに、空乏層が、並列pn構造の縦方向に伸びる各pn接合から横方向に広がり、ドリフト層全体を空乏化するため、高耐圧化を図ることができる。

30

【0006】

一方、半導体装置の高耐圧化を実現するためには、素子周縁部構造が必要である。素子終端構造がないと、ドリフト層の終端で耐圧が低下してしまうため、高耐圧を実現することが困難となる。この問題を解決するための構造として、素子活性部の並列pn構造の外周において、その表面側の領域に、素子活性部の並列pn構造よりもピッチの小さい並列pn構造を配置することが提案されている(例えば、特許文献4参照)。この提案によれば、素子活性部付近の表面電界が緩和され、高耐圧が保持される。

【0007】

また、第1導電型(n型)の第1の半導体層と、第1の半導体層の主面上に設けられた第1導電型(n型)の第1の半導体ピラー領域と、第1の半導体層の前記主面に対して略平行な方向に第1の半導体ピラー領域と共に周期的配列構造を形成するように、第1の半導体ピラー領域に隣接して第1の半導体層の主面上に設けられた第2導電型(p型)の第2の半導体ピラー領域と、第1の半導体ピラー領域および第2の半導体ピラー領域の周期的配列構造が形成された素子部の外側の終端部における第1の半導体層の上に設けられ、第1の半導体ピラー領域よりも不純物濃度が低い第1導電型(n型)の第2の半導体層と、第2の半導体層中に選択的に埋め込まれた第2導電型(p型)半導体の埋め込みガードリング層と、を備えた半導体装置が提案されている(例えば、特許文献5参照)。

40

【0008】

また、終端領域の半導体中間層の表面上に形成されているリサーフ層と、リサーフ層のセル領域側の表面に形成されている終端コンタクト半導体領域と、終端コンタクト半導体

50

領域より反セル領域側のリサーフ層の表面上にセル領域側で厚みが薄く反セル領域側で厚みが厚くなるように調整されているフィールド酸化膜と、終端コンタクト半導体領域の表面上から薄層フィールド酸化膜を越えて厚層フィールド酸化膜の表面上にまで伸びているフィールドプレートを備えた半導体装置が提案されている（例えば、特許文献6参照。）

【0009】

また、耐压構造部に、基板の厚み方向に配向する縦型第1導電型（n型）領域と基板の厚み方向に配向する縦型第2導電型（p型）領域とを交互に繰り返して接合して成る並列pn構造を有し、耐压構造部の第1主面上の絶縁膜の上に形成されて成るフィールドプレートを有する半導体装置において、並列pn構造のうちでフィールドプレートの先端よりも外側に位置する縦型第2導電型（p型）領域の第1主面側の不純物濃度が、隣接する第2の縦型第1導電型（n型）領域の第1主面側の不純物濃度に比して高くなるようにした半導体装置が提案されている（例えば、特許文献7参照。）

10

【0010】

また、半導体基板の切断面に沿って形成される第1導電型（n型）ピラー領域と、活性部領域を囲み、かつ該活性部領域から第1導電型（n型）ピラー領域までの間にかけて形成される第2導電型（p型）半導体領域を有する終端構造部と、を備え、第2導電型（p型）半導体領域に第1導電型（n型）半導体領域が設けられ、該第2導電型（p型）半導体領域の平均不純物濃度から第1導電型（n型）半導体領域の平均不純物濃度を差し引いた平均不純物濃度が $2.5 \times 10^{14} \text{ cm}^{-3}$ 以下になるようにした半導体装置が提案されている（例えば、特許文献8参照。）

20

【0011】

また、超接合構造を有するパワーMOSFETにおいて、pリサーフ層の不純物濃度を深さ方向に小さくしていく分布（傾斜プロファイル）を持たせることにより、pリサーフ層の不純物量とn⁻ドリフト層の不純物量とのアンバランス量に対する耐压低下を従来よりも小さくした半導体装置が提案されている（例えば、特許文献9参照。）

【先行技術文献】

【特許文献】

【0012】

【特許文献1】米国特許第5216275号明細書

30

【特許文献2】米国特許第5438215号明細書

【特許文献3】特開平9-266311号公報

【特許文献4】特開2003-224273号公報

【特許文献5】特開2008-4643号公報

【特許文献6】特開2007-5516号公報

【特許文献7】特開2003-204065号公報

【特許文献8】特開2007-335658号公報

【特許文献9】特開2004-119611号公報

【発明の概要】

【発明が解決しようとする課題】

40

【0013】

しかしながら、従来の半導体装置では、耐压の耐電荷性が考慮されていない。耐電荷性の低い半導体装置では、初期の耐压を確保することができても、時間の経過に伴って耐压が低下してしまうため、耐压の信頼性を保証することが困難であるという問題点がある。例えば、前記特許文献5に開示された半導体装置では、終端部のn⁻層の下側に並列pn層が設けられていないため、高耐压化を図るのは困難であるという問題点がある。前記特許文献6に開示された半導体装置では、終端部の表面にn⁻層が設けられていないため、終端部の表面に負電荷が存在すると耐压を確保することが困難であるという問題点がある。前記特許文献7に開示された半導体装置では、終端部の表面に負電荷が存在するとストッパー電極側で電界集中が起こり、耐压が劣化するという問題点がある。前記特許文献8

50

に開示された半導体装置では、終端部の正味の導電型が第2導電型(p型)となるため、チャージバランスがさらに第2導電型(p型)に偏ると終端部のバルクにおいて活性部よりも先にブレークダウンが起こってしまうという問題点がある。

【0014】

図54は、従来の半導体装置における耐圧の表面電荷依存性のシミュレーション結果を示す特性図である。このシミュレーション結果は、前記特許文献4に開示された半導体装置(当該文献の図17~図19)についてのものである。図54に示すように、フィールドプレート電極とチャネルストッパー電極との間の酸化膜上に正電荷(正イオン)があると、耐圧が低下する。これは、次のような理由による。特許文献4に開示された半導体装置では、フィールドプレート電極とチャネルストッパー電極との間の表面側に、ピッチが狭く、かつ不純物濃度が低い並列pn層が配置されている。この並列pn層では空乏層が伸びやすく、フィールドプレート端での電界が緩和されるので、高耐圧化が可能となる。しかしながら、正電荷(正イオン)がフィールドプレート電極とチャネルストッパー電極との間に存在すると、空乏層が広がりにくくなり、フィールドプレート端での電界が高くなるため、耐圧が低下してしまう。

10

【0015】

図55~図57は、従来の半導体装置における耐圧のポテンシャル分布を示す図である。図55は、フィールドプレート電極とチャネルストッパー電極との間の表面電荷量が $-1.0 \times 10^{12} \text{ cm}^{-2}$ であるときのものである。図56は、該表面電荷量が 0.0 cm^{-2} であるときのものである。図57は、該表面電荷量が $+1.0 \times 10^{12} \text{ cm}^{-2}$ であるときのものである。これらの図より、表面電荷が負電荷(負イオン)であるときには、空乏層がフィールドプレート電極とチャネルストッパー電極との間で十分に伸びるが、表面電荷が正電荷(正イオン)であるときには、空乏層がフィールドプレート端で集中することがわかる。なお、図55~図57において、等電位線の間隔は50Vである(図10~図12、図20~図22、図31~図33においても同じ)。

20

【0016】

この発明は、上述した従来技術による問題点を解消するため、耐電荷性を向上させることができる半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0017】

上述した課題を解決し、目的を達成するため、第1の発明にかかる半導体装置は、以下の特徴を有する。第1主面側に素子活性部が設けられている。第2主面側に低抵抗層が設けられている。素子活性部と低抵抗層との間に、第1の第1導電型領域および第1の第2導電型領域が交互に配置された第1の並列pn層が設けられている。素子活性部を囲む素子周縁部に、第2の第1導電型領域および第2の第2導電型領域が交互に配置された第2の並列pn層が設けられている。第2の第1導電型領域および第2の第2導電型領域の繰り返しピッチは、第1の第1導電型領域および第1の第2導電型領域の繰り返しピッチよりも狭い。第2の並列pn層と第1主面との間に第3の第1導電型領域が設けられている。第3の第1導電型領域は、素子活性部の素子周縁部に隣接する部分まで伸びている。第3の第1導電型領域の第1主面側に複数の第3の第2導電型領域が互いに離れて設けられている。素子周縁部の素子活性部側に対して反対側において、第1主面と低抵抗層との間に、低抵抗層に接する第1導電型の終端領域が設けられている。複数の第3の第2導電型領域のうち最も外側に位置する第3の第2導電型領域に、第1の導電層が電気的に接続する。終端領域に第2の導電層が電気的に接続する。第1の並列pn層と第2の並列pn層との境界が第3の第1導電型領域の下にある。

30

40

【0018】

第1の発明によれば、第3の第2導電型領域が設けられているので、第1の導電層と第2の導電層との間に正電荷(正イオン)が存在するときに、素子活性部の外周付近における高電界が緩和される。従って、正電荷によって耐圧が変動するのを抑制することができる。また、第2の導電層が設けられているので、第1の導電層と第2の導電層との間に負

50

電荷（負イオン）が存在するときに、空乏層が素子周縁部の終端ヘリーチスルーするのが回避される。従って、負電荷によって耐圧が低下するのを抑制することができる。また、第2の並列pn層が設けられているので、素子周縁部において空乏層が伸びやすくなる。従って、容易に高耐圧化することができる。また、上述した発明によれば、耐圧が低下するのを抑制することができる。並列pn層のピッチの変わり目では、チャージインバランスによる耐圧の低下が起こりやすい。第3の第1導電型領域の下側では空乏層が伸びやすいので、並列pn層のピッチの変わり目が第3の第1導電型領域の下にあれば、耐圧が低下するのを抑制することができる。

【0019】

また、第1の発明にかかる半導体装置は、上述した発明において、第3の第1導電型領域の不純物濃度が第1の第1導電型領域の不純物濃度よりも低くてもよい。

10

【0020】

第1の発明によれば、第3の第1導電型領域の不純物濃度が低いので、素子周縁部において空乏層がより一層伸びやすくなる。従って、より一層容易に高耐圧化することができる。

【0025】

また、第1の発明にかかる半導体装置は、上述した発明において、第3の第2導電型領域の不純物濃度が第3の第1導電型領域の不純物濃度よりも高くてもよい。

【0026】

第1の発明によれば、第3の第2導電型領域の不純物濃度が高いので、電圧が印加されたときに、第3の第2導電型領域に中性領域が残り、第3の第2導電型領域の電位が固定される。従って、第1の導電層と第2の導電層との間に電荷（イオン）が存在するときに、表面電位が変動するのを抑制することができるので、耐圧の耐電荷性が向上する。

20

【0027】

また、第1の発明にかかる半導体装置は、上述した発明において、複数の第3の第2導電型領域のうちの一部または全部がそれぞれ第1の導電層を含む別々の導電層に電気的に接続してもよい。

【0028】

第1の発明によれば、第3の第2導電型領域が導電層に電気的に接続しているので、素子周縁部に来る電荷やイオンが導電層で収集される。従って、耐圧に対する電荷（イオン）の影響を小さくすることができる。

30

【0029】

また、第1の発明にかかる半導体装置は、上述した発明において、複数の第3の第2導電型領域にそれぞれ電気的に接続する別々の導電層は、それぞれ、該導電層が電気的に接続する第3の第2導電型領域から、第3の第1導電型領域を覆う絶縁層上に延在し、該絶縁層を介して第3の第1導電型領域の一部を覆っていてもよい。

【0030】

第1の発明によれば、第3の第2導電型領域に外周方向へ伸びる導電層と内周方向へ伸びる導電層が接続されることになるので、第1の導電層と第2の導電層との間に正電荷が存在するときに、第3の第2導電型領域の曲率を有する角部分に電界が集中するのを緩和することができる。第1の導電層と第2の導電層との間に負電荷が存在するときに、空乏層の伸びを緩和することができる。従って、耐圧が安定する。

40

【0031】

また、第1の発明にかかる半導体装置は、上述した発明において、隣り合う第3の第2導電型領域の間隔が素子周縁部の終端へ向かうに連れて広がっていてもよい。

【0032】

第1の発明によれば、電荷（イオン）の影響を受けやすい素子活性部の外周付近の高電界を緩和することができるので、耐圧の耐電荷性が向上する。

【0033】

また、第1の発明にかかる半導体装置は、上述した発明において、第1の第1導電型領

50

域および第1の第2導電型領域の平面形状がストライプ状であってもよい。第1の第1導電型領域および第1の第2導電型領域のいずれか一方の平面形状が正形状または多角形状であってもよい。第2の第1導電型領域および第2の第2導電型領域の平面形状がストライプ状であってもよい。第2の第1導電型領域および第2の第2導電型領域のいずれか一方の平面形状が正形状または多角形状であってもよい。第1の発明によれば、並列pn層の平面形状がストライプ状であっても、正形状や多角形状であっても、耐圧の耐電荷性が向上する。

【0034】

また、第1の発明にかかる半導体装置は、上述した発明において、終端領域の第1主面側の表面層に選択的に設けられた第2導電型の最外周領域をさらに備え、第2の導電層は、最外周領域に接続されていてもよい。

10

【0035】

また、第2の発明にかかる半導体装置は、以下の特徴を有する。第1主面側に素子活性部が設けられている。第2主面側に低抵抗層が設けられている。第1主面と低抵抗層との間に、第4の第1導電型領域および第4の第2導電型領域が交互に配置された並列pn層が設けられている。素子活性部を囲む素子周縁部の並列pn層と第1主面との間に第3の第1導電型領域が設けられている。第3の第1導電型領域の第1主面側に、複数の第3の第2導電型領域が互いに離れて設けられている。複数の第3の第2導電型領域のうちの最も外側に位置する第3の第2導電型領域に、第1の導電層が電氣的に接続する。素子周縁部の終端領域に第2の導電層が電氣的に接続する。

20

【0036】

第2の発明によれば、第3の第2導電型領域が設けられているので、第1の導電層と第2の導電層との間に正電荷（正イオン）が存在するときに、素子活性部の外周付近における高電界が緩和される。従って、正電荷によって耐圧が変動するのを抑制することができる。また、第2の導電層が設けられているので、第1の導電層と第2の導電層との間に負電荷（負イオン）が存在するときに、空乏層が素子周縁部の終端ヘリーチスルーするのが回避される。従って、負電荷によって耐圧が低下するのを抑制することができる。

【0037】

また、第2の発明にかかる半導体装置は、上述した発明において、第3の第1導電型領域の不純物濃度が第4の第1導電型領域の不純物濃度よりも低くてもよい。

30

【0038】

第2の発明によれば、第3の第1導電型領域の不純物濃度が低いので、素子周縁部において空乏層が伸びやすくなる。従って、容易に高耐圧化することができる。

【0039】

また、第2の発明にかかる半導体装置は、上述した発明において、第3の第1導電型領域の厚さが素子活性部の下における並列pn層の厚さの1/2以下であってもよい。

【0040】

第2の発明によれば、耐圧が低下するのを抑制することができる。第3の第1導電型領域と素子活性部の下における並列pn層との接合部の厚さが厚いほど、その接合部でチャージインバランスが起きやすいため、耐圧が低下しやすくなる。第3の第1導電型領域の厚さが素子活性部の下における並列pn層の厚さの1/2以下であれば、第3の第1導電型領域と並列pn層との接合部の厚さが薄くなるので、耐圧が低下するのを抑制することができる。

40

【0041】

また、第2の発明にかかる半導体装置は、上述した発明において、第3の第2導電型領域の不純物濃度が第3の第1導電型領域の不純物濃度よりも高くてもよい。

【0042】

第2の発明によれば、第3の第2導電型領域の不純物濃度が高いので、電圧が印加されたときに、第3の第2導電型領域に中性領域が残り、第3の第2導電型領域の電位が固定される。従って、第1の導電層と第2の導電層との間に電荷（イオン）が存在するときに

50

、表面電位が変動するのを抑制することができるので、耐圧の耐電荷性が向上する。

【0043】

また、第2の発明にかかる半導体装置は、上述した発明において、複数の第3の第2導電型領域のうちの一部または全部がそれぞれ別々の導電層に電氣的に接続してもよい。

【0044】

第2の発明によれば、第3の第2導電型領域が導電層に電氣的に接続しているので、素子周縁部に来る電荷やイオンが導電層で収集される。従って、耐圧に対する電荷（イオン）の影響を小さくすることができる。

【0045】

また、第2の発明にかかる半導体装置は、上述した発明において、隣り合う第3の第2導電型領域の間隔が素子周縁部の終端へ向かうに連れて広がっていてもよい。

10

【0046】

第2の発明によれば、電荷（イオン）の影響を受けやすい素子活性部の外周付近の高電界を緩和することができるので、耐圧の耐電荷性が向上する。

【0047】

また、第3の発明にかかる半導体装置は、以下の特徴を有する。第1主面側に素子活性部が設けられている。第2主面側に低抵抗層が設けられている。素子活性部を囲む素子周縁部が設けられている。第1主面と低抵抗層との間に、第4の第1導電型領域および第4の第2導電型領域が交互に配置された並列pn層が設けられている。素子周縁部の素子活性部側に対して反対側において、第1主面と低抵抗層との間に、低抵抗層に接する第1導電型の終端領域が設けられている。素子周縁部の並列pn層と第1主面との間に、終端領域よりも不純物濃度の低い第3の第1導電型領域が設けられている。素子周縁部の並列pn層と第1主面との間に、第3の第1導電型領域の素子活性部側に隣接する第5の第2導電型領域が設けられている。第5の第2導電型領域は、素子活性部の素子周縁部に隣接する部分まで伸びている。第1の導電層および第2の導電層が設けられている。第1の導電層は、絶縁層を介して第5の第2導電型領域の一部を覆う。第2の導電層は、終端領域に電氣的に接続するとともに、絶縁層を介して第3の第1導電型領域の一部を覆う。

20

【0048】

第3の発明によれば、第5の第2導電型領域が設けられているので、第1の導電層と第2の導電層との間に正電荷（正イオン）が存在するときに、第5の第2導電型領域が空乏化して表面電界が緩和される。従って、耐圧が保持される。第3の第1導電型領域が設けられているので、第1の導電層と第2の導電層との間に負電荷（負イオン）が存在するときに、第3の第1導電型領域が空乏化する。従って、耐圧が保持される。つまり、第1の導電層と第2の導電層との間に正電荷（正イオン）があっても負電荷（負イオン）があっても、耐圧が低下するのを抑制することができる。

30

【0049】

また、第3の発明にかかる半導体装置は、上述した発明において、第3の第1導電型領域と第5の第2導電型領域との接合部が第1の導電層と第2の導電層との間にあってもよい。

【0050】

また、第3の発明にかかる半導体装置は、上述した発明において、第3の第1導電型領域の不純物濃度が第4の第1導電型領域の不純物濃度よりも低くてもよい。

40

【0051】

第3の発明によれば、第3の第1導電型領域の不純物濃度が低いので、第3の第1導電型領域が空乏化しやすくなる。従って、容易に初期耐圧を確保することができる。

【0052】

また、第3の発明にかかる半導体装置は、上述した発明において、第5の第2導電型領域の不純物濃度が第4の第2導電型領域の不純物濃度よりも低くてもよい。

【0053】

第3の発明によれば、第5の第2導電型領域の不純物濃度が低いので、第5の第2導電

50

型領域が空乏化しやすくなる。従って、容易に初期耐圧を確保することができる。

【0054】

また、第3の発明にかかる半導体装置は、上述した発明において、第5の第2導電型領域に、不純物濃度が異なる複数の領域があってもよい。

【0055】

第3の発明によれば、第5の第2導電型領域に不純物濃度が異なる領域があるので、第1の導電層と第2の導電層との間に正電荷（正イオン）が存在するときに、第5の第2導電型領域内の電界分布を制御することができる。従って、正電荷によって耐圧が変動するのを抑制することができる。

【0056】

また、第3の発明にかかる半導体装置は、上述した発明において、第5の第2導電型領域の、不純物濃度が異なる複数の領域の不純物濃度が素子活性部から素子周縁部の終端へ向かうに連れて低くなっていてもよい。

【0057】

第3の発明によれば、第5の第2導電型領域に不純物濃度の勾配があるので、第1の導電層と第2の導電層との間に正電荷（正イオン）が存在するときに、第5の第2導電型領域内の電界分布を制御することができる。従って、正電荷によって耐圧が変動するのを抑制することができる。

【0060】

また、第3の発明にかかる半導体装置は、上述した発明において、第4の第1導電型領域および第4の第2導電型領域の平面形状がストライプ状であってもよい。第4の第1導電型領域および第4の第2導電型領域のいずれか一方の平面形状が正方形または多角形状であってもよい。

【0061】

第3の発明によれば、並列pn層の平面形状がストライプ状であっても、正方形または多角形状であっても、耐圧の耐電荷性が向上する。

【0062】

また、第4の発明にかかる半導体装置は、以下の特徴を有する。第1主面側に素子活性部が設けられている。第2主面側に低抵抗層が設けられている。第1主面と低抵抗層との間に、一定の繰り返しピッチで第1導電型領域および第2導電型領域が交互に配置された並列pn層が設けられている。素子活性部を囲む素子周縁部には、並列pn層を覆う絶縁層が設けられている。素子周縁部の素子活性部側に対して反対側において、第1主面と低抵抗層との間に、低抵抗層に接する第1導電型の終端領域が設けられている。第1の導電層および第2の導電層が設けられている。第1の導電層は、絶縁層を介して素子周縁部における並列pn層の素子活性部側の一部を覆う。第2の導電層は、終端領域に電氣的に接続するとともに、絶縁層を介して素子周縁部における並列pn層の終端領域側の一部を覆う。素子周縁部における並列pn層において、第1主面側の素子活性部寄りの領域は、実質的に第2導電型となる。実質的に第2導電型となる領域は、第1の導電層よりも終端領域に近い位置から第1の導電層の下まで伸びている。素子周縁部における並列pn層において、第1主面側の終端領域寄りの領域は、実質的に第1導電型となる。実質的に第1導電型となる領域は、第2の導電層よりも素子活性部に近い位置から第2の導電層の下まで伸びている。そして、第1導電型領域および第2導電型領域の繰り返しピッチを一定に保ったまま、実質的に第2導電型となる領域は、第2導電型領域の幅を広くする分、第1導電型領域の幅を狭くすることによって、第1導電型領域よりも第2導電型領域の不純物量が多くなっている。かつ、実質的に第1導電型となる領域は、第1導電型領域の幅を広くする分、第2導電型領域の幅を狭くすることによって、第2導電型領域よりも第1導電型領域の不純物量が多くなっている。

【0063】

また、第4の発明にかかる半導体装置は、上述した発明において、実質的に第2導電型となる領域では、第2導電型領域の第1導電型領域に対する比率が一定であってもよい。

【0064】

また、第4の発明にかかる半導体装置は、上述した発明において、実質的に第1導電型となる領域では、第2導電型領域の第1導電型領域に対する比率が一定であってもよい。

【0065】

また、第4の発明にかかる半導体装置は、上述した発明において、実質的に第2導電型となる領域では、第2導電型領域の第1導電型領域に対する比率が終端領域に近づくと連れて小さくなり、1に近づいてもよい。

【0066】

また、第4の発明にかかる半導体装置は、上述した発明において、実質的に第1導電型となる領域では、第2導電型領域の第1導電型領域に対する比率が素子活性部に近づくと連れて大きくなり、1に近づいてもよい。

10

【0067】

また、第4の発明にかかる半導体装置は、上述した発明において、実質的に第2導電型となる領域と実質的に第1導電型となる領域との間に実質的にチャージバランスとなる領域が存在する。そして、第1導電型領域および第2導電型領域の繰り返しピッチを一定に保ったまま、実質的にチャージバランスとなる領域は、第1導電型領域の幅と第2導電型領域の幅とを同じにすることによって、第1導電型領域の不純物量と第2導電型領域の不純物量とがほぼ同じになっていてもよい。

【0068】

また、第4の発明にかかる半導体装置は、上述した発明において、実質的にチャージバランスとなる領域の幅が、第1の導電層と第2の導電層との間の距離の1/3以下であってもよい。

20

【0069】

また、第4の発明にかかる半導体装置は、上述した発明において、第1の導電層または第2の導電層が1段の階段状になっていてもよい。

【0070】

また、第4の発明にかかる半導体装置は、上述した発明において、第1の導電層または第2の導電層が2段の階段状になっていてもよい。

【0071】

また、第4の発明にかかる半導体装置は、上述した発明において、第1の導電層または第2の導電層が3段以上の階段状になっていてもよい。

30

【0072】

また、第4の発明にかかる半導体装置は、上述した発明において、第1導電型領域および第2導電型領域の平面形状がストライプ状であってもよい。また、第4の発明にかかる半導体装置は、上述した発明において、実質的に第2導電型となる領域と実質的に第1導電型となる領域との間に実質的にチャージバランスとなる領域が存在し、第1導電型領域および第2導電型領域の繰り返しピッチを一定に保ったまま、実質的にチャージバランスとなる領域は、当該実質的にチャージバランスとなる領域に対する第1導電型領域の占有面積と第2導電型領域の占有面積とを同じにすることによって、第1導電型領域の不純物量と第2導電型領域の不純物量とがほぼ同じになっている。また、第4の発明にかかる半導体装置は、上述した発明において、第1導電型領域および第2導電型領域のいずれか一方の平面形状が正方形または多角形状であってもよい。

40

【0073】

第4の発明によれば、実質的に第2導電型となる領域が存在するので、第1の導電層と第2の導電層との間に正電荷（正イオン）が存在するときに、表面電界が緩和され、耐圧の向上を図ることができる。実質的に第1導電型となる領域が存在するので、第1の導電層と第2の導電層との間に負電荷（負イオン）が存在するときに、耐圧の向上を図ることができる。つまり、第1の導電層と第2の導電層との間に正電荷（正イオン）があっても負電荷（負イオン）があっても、耐圧が低下するのを抑制することができるので、耐圧の耐電荷性が向上する。

50

【発明の効果】

【0074】

本発明にかかる半導体装置によれば、耐電荷性を向上させることができるという効果を奏する。

【図面の簡単な説明】

【0075】

【図1】図1は、実施の形態1にかかる半導体装置の平面図である。

【図2】図2は、実施の形態1にかかる半導体装置の横断面図である。

【図3】図3は、実施の形態1にかかる半導体装置の図1 A - A'における縦断面図である。

10

【図4】図4は、実施の形態1にかかる半導体装置の図1 B - B'における縦断面図である。

【図5】図5は、実施の形態2にかかる半導体装置の平面図である。

【図6】図6は、実施の形態2にかかる半導体装置の横断面図である。

【図7】図7は、実施の形態2にかかる半導体装置の図5 A - A'における縦断面図である。

【図8】図8は、実施の形態2にかかる半導体装置の図5 B - B'における縦断面図である。

【図9】図9は、実施の形態2の半導体装置における耐圧の表面電荷依存性のシミュレーション結果を示す特性図である。

20

【図10】図10は、実施の形態2の半導体装置における耐圧のポテンシャル分布を示す図である。

【図11】図11は、実施の形態2の半導体装置における耐圧のポテンシャル分布を示す図である。

【図12】図12は、実施の形態2の半導体装置における耐圧のポテンシャル分布を示す図である。

【図13】図13は、実施の形態3にかかる半導体装置の平面図である。

【図14】図14は、実施の形態3にかかる半導体装置の横断面図である。

【図15】図15は、実施の形態3にかかる半導体装置の図13 A - A'における縦断面図である。

30

【図16】図16は、実施の形態3にかかる半導体装置の図13 B - B'における縦断面図である。

【図17】図17は、実施の形態4にかかる半導体装置の縦断面図である。

【図18】図18は、実施の形態4にかかる半導体装置の縦断面図である。

【図19】図19は、実施の形態4の半導体装置における耐圧の表面電荷依存性のシミュレーション結果を示す特性図である。

【図20】図20は、実施の形態4の半導体装置における耐圧のポテンシャル分布を示す図である。

【図21】図21は、実施の形態4の半導体装置における耐圧のポテンシャル分布を示す図である。

40

【図22】図22は、実施の形態4の半導体装置における耐圧のポテンシャル分布を示す図である。

【図23】図23は、実施の形態5にかかる半導体装置の縦断面図である。

【図24】図24は、実施の形態5にかかる半導体装置の縦断面図である。

【図25】図25は、実施の形態6にかかる半導体装置の縦断面図である。

【図26】図26は、実施の形態6にかかる半導体装置の縦断面図である。

【図27】図27は、実施の形態7にかかる半導体装置の平面図である。

【図28】図28は、実施の形態7にかかる半導体装置の図27 A - A'における縦断面図である。

【図29】図29は、実施の形態7にかかる半導体装置の図27 B - B'における縦断面

50

図である。

【図30】図30は、実施の形態7の半導体装置における耐圧の表面電荷依存性のシミュレーション結果を示す特性図である。

【図31】図31は、実施の形態7の半導体装置における耐圧のポテンシャル分布を示す図である。

【図32】図32は、実施の形態7の半導体装置における耐圧のポテンシャル分布を示す図である。

【図33】図33は、実施の形態7の半導体装置における耐圧のポテンシャル分布を示す図である。

【図34】図34は、実施の形態8にかかる半導体装置の平面図である。

10

【図35】図35は、実施の形態8にかかる半導体装置の図34 A - A'における縦断面図である。

【図36】図36は、実施の形態8にかかる半導体装置の図34 B - B'における縦断面図である。

【図37】図37は、実施の形態9にかかる半導体装置の平面図である。

【図38】図38は、実施の形態9にかかる半導体装置の並列pn層の平面図である。

【図39】図39は、実施の形態9にかかる半導体装置の図38 A - A'における縦断面図である。

【図40】図40は、実施の形態9の半導体装置における耐圧のポテンシャル分布を示す図である。

20

【図41】図41は、実施の形態9の半導体装置における耐圧のポテンシャル分布を示す図である。

【図42】図42は、実施の形態9の半導体装置における耐圧のポテンシャル分布を示す図である。

【図43】図43は、実施の形態11にかかる半導体装置の平面図である。

【図44】図44は、実施の形態12にかかる半導体装置の平面図である。

【図45】図45は、実施の形態13にかかる半導体装置の平面図である。

【図46】図46は、実施の形態14にかかる半導体装置の平面図である。

【図47】図47は、実施の形態14にかかる半導体装置の平面図である。

【図48】図48は、実施の形態15にかかる半導体装置の平面図である。

30

【図49】図49は、実施の形態15にかかる半導体装置の平面図である。

【図50】図50は、実施の形態16にかかる半導体装置の平面図である。

【図51】図51は、実施の形態16にかかる半導体装置の平面図である。

【図52】図52は、実施の形態17にかかる半導体装置の平面図である。

【図53】図53は、実施の形態17にかかる半導体装置の平面図である。

【図54】図54は、従来の半導体装置における耐圧の表面電荷依存性のシミュレーション結果を示す特性図である。

【図55】図55は、従来の半導体装置における耐圧のポテンシャル分布を示す図である。

【図56】図56は、従来の半導体装置における耐圧のポテンシャル分布を示す図である。

40

【図57】図57は、従来の半導体装置における耐圧のポテンシャル分布を示す図である。

【発明を実施するための形態】

【0076】

以下に添付図面を参照して、この発明にかかる半導体装置の好適な実施の形態を詳細に説明する。本明細書および添付図面においては、nまたはpを冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、nやpに付す+および-は、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。なお、以下の実施の形態の説明および添付図面において、同様の

50

構成には同一の符号を付し、重複する説明を省略する。

【0077】

(実施の形態1)

図1は、実施の形態1にかかる半導体装置の平面図である。図2は、実施の形態1にかかる半導体装置の横断面図である。図3は、実施の形態1にかかる半導体装置の図1A-A'における縦断面図である。図4は、実施の形態1にかかる半導体装置の図1B-B'における縦断面図である。なお、図1および図2には、半導体装置の1/4の部分が示されている(図5、図6、図13、図14、図27、図34、図37、図38、図43~図53においても同じ)。図1には、並列pn層、n型チャネルストップ領域、素子活性部の最も外側のpベース領域およびp型ガードリング領域のそれぞれの第1主面における形状が示されている(図5、図13においても同じ)。図2には、素子活性部および素子周縁部のいずれにおいても並列pn層を横切る断面、例えば素子活性部の並列pn層の1/2の深さでの断面における形状が示されている(図6、図14、図46~図53においても同じ)。

10

【0078】

図1~図4に示すように、半導体装置は、第1主面側に素子活性部1を有し、第2主面側にn⁺ドレイン領域(低抵抗層)2を有する。素子活性部1の外側には、素子活性部1を囲む素子周縁部3が設けられている。素子活性部1の第1主面側には、素子の表面構造として、n⁺ソース領域4、pベース領域5、p⁺コンタクト領域6、ソース電極7、層間絶縁膜8、ゲート絶縁膜9およびゲート電極10が設けられている。第2主面には、ドレイン電極11が設けられている。

20

【0079】

素子活性部1とn⁺ドレイン領域2との間には、第1の並列pn層12が設けられている。第1の並列pn層12は、第1のn型領域(第1の第1導電型領域)13と第1のp型領域(第1の第2導電型領域)14とが交互に繰り返し接合されてできている。第1のn型領域13および第1のp型領域14の平面形状は、ストライプ状である。素子周縁部3には、第2の並列pn層15が設けられている。第2の並列pn層15は、第2のn型領域(第2の第1導電型領域)16と第2のp型領域(第2の第2導電型領域)17とが交互に繰り返し接合されてできている。第2のn型領域16および第2のp型領域17の平面形状は、ストライプ状である。第2の並列pn層15のストライプの向きは、第1の並列pn層12のストライプの向きと同じである。第2のn型領域16および第2のp型領域17の繰り返しピッチP2は、第1のn型領域13および第1のp型領域14の繰り返しピッチP1よりも狭い。ピッチが狭いと、並列pn層において空乏層が外周方向に伸びやすくなるので、初期耐圧の高耐圧化が容易となる。第2のp型領域17は、空乏化するまではガードリングと同様の作用をする。それによって、第2のn型領域16の電界が緩和されるので、高耐圧化が容易となる。

30

【0080】

第2の並列pn層15と第1主面との間には、n⁻表面領域(第3の第1導電型領域)18が設けられている。n⁻表面領域18の不純物濃度は、第1のn型領域13の不純物濃度よりも低い。n⁻表面領域18の厚さは、第1の並列pn層12の厚さの1/2以下である。n⁻表面領域18は、素子活性部1の素子周縁部3に隣接する部分まで伸びている。実施の形態1では、第2の並列pn層15がn⁻表面領域18とともに素子活性部1の下にまで伸びている。第1の並列pn層12と第2の並列pn層15との境界は、n⁻表面領域18と第1の並列pn層12との接合部に一致している。n⁻表面領域18と第1の並列pn層12との接合部はチャージインバランスとなり、耐圧の低下を招くおそれがある。従って、n⁻表面領域18と第1の並列pn層12との接合部の厚さTは、第1の並列pn層12の厚さの1/2以下であるのが望ましい。

40

【0081】

n⁻表面領域18の第1主面側には、複数のp型ガードリング領域(第3の第2導電型領域)19, 20, 21が互いに離れて設けられている。p型ガードリング領域19, 2

50

0, 21の不純物濃度は、 n^- 表面領域18の不純物濃度よりも高い。例えば、隣り合うp型ガードリング領域19, 20, 21の間隔は、素子周縁部3の終端へ向かうに連れて広がっていてもよい。その理由は、電界が素子活性部1の外周から素子周縁部3の外周へ向かうに連れて低くなるからである。 n^- 表面領域18は、絶縁膜22で覆われている。絶縁膜22上には、フィールドプレート電極(第1の導電層)23およびチャネルストッパー電極(第2の導電層)24が互いに離れて設けられている。フィールドプレート電極23は、最も外側に位置するp型ガードリング領域19に電氣的に接続されている。素子周縁部3の終端領域には、n型チャネルストッパー領域25が設けられている。n型チャネルストッパー領域25の第1主面側には、p型最外周領域26が設けられている。チャネルストッパー電極24は、p型最外周領域26に電氣的に接続されている。なお、p型ガードリング領域の数は、2本または3本以上であってもよい。また、最も外側に位置するp型ガードリング領域以外のp型ガードリング領域の一部または全部にフィールドプレート電極が電氣的に接続されていてもよい。

【0082】

特に限定しないが、例えば実施の形態1の半導体装置が縦型MOSFETであり、耐圧が600Vクラスである場合には、各部の寸法および不純物濃度は次の値をとる。ドリフト領域の厚さ(第1の並列pn層12の厚さ)は44.0 μm 、第1のn型領域13および第1のp型領域14の幅は7.0 μm (繰返しピッチP1は14.0 μm)、第1のn型領域13および第1のp型領域14の不純物濃度は $3.0 \times 10^{15} \text{cm}^{-3}$ である。第2のn型領域16および第2のp型領域17の幅は3.5 μm (繰返しピッチP2は7.0 μm)、第2のn型領域16および第2のp型領域17の不純物濃度は $1.0 \times 10^{15} \text{cm}^{-3}$ である。 n^- 表面領域18の不純物濃度は $1.0 \times 10^{14} \text{cm}^{-3}$ 、 n^- 表面領域18の深さは15 μm である。p型ガードリング領域19, 20, 21の拡散深さは3.0 μm 、p型ガードリング領域19, 20, 21の表面不純物濃度は $3.0 \times 10^{17} \text{cm}^{-3}$ である。pウェル領域(pベース領域5)の拡散深さは3.0 μm 、pウェル領域の表面不純物濃度は $3.0 \times 10^{17} \text{cm}^{-3}$ である。 n^+ ソース領域4の拡散深さは0.5 μm 、 n^+ ソース領域4の表面不純物濃度は $3.0 \times 10^{20} \text{cm}^{-3}$ である。表面のn型ドリフト領域(図3および図4においてpベース領域5間の破線よりも上のn型領域)の拡散深さは2.5 μm 、表面のn型ドリフト領域の表面不純物濃度は $2.0 \times 10^{16} \text{cm}^{-3}$ である。 n^+ ドレイン領域2の厚さは300 μm 、 n^+ ドレイン領域2の不純物濃度は $2.0 \times 10^{18} \text{cm}^{-3}$ である。n型チャネルストッパー領域25の幅は30.0 μm 、n型チャネルストッパー領域25の不純物濃度は $5.0 \times 10^{15} \text{cm}^{-3}$ である。p型最外周領域26の不純物濃度は $3.0 \times 10^{17} \text{cm}^{-3}$ である。

【0083】

実施の形態1によれば、p型ガードリング領域19, 20, 21が設けられているので、フィールドプレート電極23とチャネルストッパー電極24との間に正電荷(正イオン)が存在するときに、素子活性部1の外周付近における高電界が緩和される。従って、正電荷によって耐圧が変動するのを抑制することができる。また、チャネルストッパー電極24が設けられているので、フィールドプレート電極23とチャネルストッパー電極24との間に負電荷(負イオン)が存在するときに、空乏層が素子周縁部3のn型チャネルストッパー領域25へリーチスルーするのが回避される。従って、負電荷によって耐圧が低下するのを抑制することができる。また、第2の並列pn層15が設けられているので、素子周縁部3において空乏層が伸びやすくなる。従って、容易に高耐圧化することができる。また、 n^- 表面領域18の不純物濃度が第1のn型領域13の不純物濃度よりも低いので、素子周縁部3において空乏層がより一層伸びやすくなる。従って、より一層容易に高耐圧化することができる。また、 n^- 表面領域18の厚さが第1の並列pn層12の厚さの1/2以下であれば、 n^- 表面領域18と第1の並列pn層12との接合部の厚さが薄くなるので、耐圧が低下するのを抑制することができる。また、p型ガードリング領域19, 20, 21の不純物濃度が n^- 表面領域18の不純物濃度よりも高いので、電圧が印加されたときに、p型ガードリング領域19, 20, 21に中性領域が残り、p型ガー

10

20

30

40

50

ドリング領域 19, 20, 21 の電位が固定される。従って、フィールドプレート電極 23 とチャンネルストッパー電極 24 との間に電荷 (イオン) が存在するとき、表面電位が変動するのを抑制することができるので、耐圧の耐電荷性が向上する。また、隣り合う p 型ガードリング領域 19, 20, 21 の間隔が素子周縁部 3 の終端へ向かうに連れて広がっていけば、電荷 (イオン) の影響を受けやすい素子活性部 1 の外周付近の高電界を緩和することができるので、耐圧の耐電荷性が向上する。

【0084】

(実施の形態 2)

図 5 は、実施の形態 2 にかかる半導体装置の平面図である。図 6 は、実施の形態 2 にかかる半導体装置の横断面図である。図 7 は、実施の形態 2 にかかる半導体装置の図 5 A - A' における縦断面図である。図 8 は、実施の形態 2 にかかる半導体装置の図 5 B - B' における縦断面図である。図 5 ~ 図 8 に示すように、実施の形態 2 が実施の形態 1 と異なるのは、次の 2 点である。第 1 の点は、並列 p n 層のピッチの変わり目、すなわち第 1 の並列 p n 層 12 と第 2 の並列 p n 層 15 との境界が n⁻表面領域 18 の下にあることである。第 2 の点は、各 p 型ガードリング領域 19, 20, 21 がそれぞれ別々のフィールドプレート電極 23, 27, 28 に電氣的に接続していることである。各フィールドプレート電極 23, 27, 28 は、それぞれが電氣的に接続する p 型ガードリング領域 19, 20, 21 と n⁻表面領域 18 とに跨って設けられている。すなわち、各フィールドプレート電極 23, 27, 28 は、それぞれが電氣的に接続する p 型ガードリング領域 19, 20, 21 と n⁻表面領域 18 との第 1 主面における接合部よりも内周方向または外周方向へ張り出している。なお、p 型ガードリング領域の数は、2 本または 3 本以上であってもよい。また、最も外側に位置する p 型ガードリング領域を除いて、フィールドプレート電極に電氣的に接続していない p 型ガードリング領域があってもよい。その他の構成は、実施の形態 1 と同様である。

【0085】

図 9 は、実施の形態 2 の半導体装置における耐圧の表面電荷依存性のシミュレーション結果を示す特性図である。このシミュレーション結果は、4 本の p 型ガードリング領域がフィールドプレート電極に電氣的に接続する構成のものである。図 9 に示すように、フィールドプレート電極とチャンネルストッパー電極との間の酸化膜上に正電荷 (正イオン) があっても、負電荷 (負イオン) があっても、耐圧は殆ど変動しない。つまり、実施の形態では、高耐圧であり、かつ耐圧の耐電荷性が向上していることがわかる。

【0086】

図 10 ~ 図 12 は、実施の形態 2 の半導体装置における耐圧のポテンシャル分布を示す図である。図 10 は、フィールドプレート電極とチャンネルストッパー電極との間の表面電荷量が $-1.0 \times 10^{12} \text{ cm}^{-2}$ であるときのものである。図 11 は、該表面電荷量が 0.0 cm^{-2} であるときのものである。図 12 は、該表面電荷量が $+1.0 \times 10^{12} \text{ cm}^{-2}$ であるときのものである。これらの図より、表面電荷が負電荷 (負イオン) であるときには、主としてフィールドプレート電極とチャンネルストッパー電極との間で耐圧を保持していることがわかる。表面電荷が正電荷 (正イオン) であるときには、主として p 型ガードリング領域とフィールドプレート電極とによって耐圧を保持していることがわかる。

【0087】

実施の形態 2 によれば、実施の形態 1 と同様の効果が得られる。また、並列 p n 層のピッチの変わり目では、チャージインバランスによる耐圧の低下が起こりやすい。並列 p n 層のピッチの変わり目が n⁻表面領域 18 の下にあれば、n⁻表面領域 18 の下側で空乏層が伸びやすいので、耐圧が低下するのを抑制することができる。また、各 p 型ガードリング領域 19, 20, 21 がフィールドプレート電極 23, 27, 28 に電氣的に接続しているので、素子周縁部 3 に来る電荷やイオンがフィールドプレート電極 23, 27, 28 で収集される。従って、耐圧に対する電荷 (イオン) の影響を小さくすることができる。また、各フィールドプレート電極 23, 27, 28 が p 型ガードリング領域 19, 20, 21 と n⁻表面領域 18 とに跨って設けられていけば、p 型ガードリング領域 19, 20

、21に外周方向と内周方向の両方へ伸びるフィールドプレート電極23、27、28が接続されていることになる。それによって、フィールドプレート電極23とチャネルストッパ電極24との間に正電荷が存在するときに、p型ガードリング領域19、20、21の曲率を有する角部分に電界が集中するのを緩和することができる。フィールドプレート電極23とチャネルストッパ電極24との間に負電荷が存在するときに、空乏層の伸びを緩和することができる。従って、耐圧が安定する。

【0088】

(実施の形態3)

図13は、実施の形態3にかかる半導体装置の平面図である。図14は、実施の形態3にかかる半導体装置の横断面図である。図15は、実施の形態3にかかる半導体装置の図13A-A'における縦断面図である。図16は、実施の形態3にかかる半導体装置の図13B-B'における縦断面図である。図13～図16に示すように、実施の形態3が実施の形態2と異なるのは、第2の並列pn層15のストライプの向きが第1の並列pn層12のストライプの向きと異なることである。例えば、第2の並列pn層15のストライプの向きは、第1の並列pn層12のストライプの向きと直交していてもよい。その他の構成は、実施の形態2と同様である。

10

【0089】

実施の形態3によれば、実施の形態2と同様の効果が得られる。すなわち、第1の並列pn層12と第2の並列pn層15とで並列pn層の向きが異なっても、素子周縁部3の構造が同じであれば、実施の形態2と同様に耐圧の耐電荷性の効果が得られる。

20

【0090】

(実施の形態4)

図17および図18は、実施の形態4にかかる半導体装置の縦断面図である。実施の形態4にかかる半導体装置の平面図は、図1と同様であり、第1の並列pn層12、第1のn型領域13および第1のp型領域14がそれぞれ並列pn層31、n型領域32およびp型領域33となる。図17は、図1A-A'における縦断面図に相当する。図18は、図1B-B'における縦断面図に相当する。図17および図18に示すように、実施の形態4が実施の形態1と異なるのは、第1主面とn⁺ドレイン領域2との間に、n型領域(第4の第1導電型領域)32およびp型領域(第4の第2導電型領域)33が交互に配置された並列pn層31が設けられていることである。すなわち、並列pn層31のピッチは、素子活性部1と素子周縁部3とで同じである。n⁻表面領域18の不純物濃度は、並列pn層31のn型領域32の不純物濃度よりも低い。n⁻表面領域18の厚さは、素子活性部1の下における並列pn層31の厚さの1/2以下である。n⁻表面領域18と素子活性部1の下における並列pn層31との接合部はチャージインバランスとなり、耐圧の低下を招くおそれがある。従って、n⁻表面領域18と素子活性部1の下における並列pn層31との接合部の厚さTは、素子活性部1の下における並列pn層31の厚さの1/2以下であるのが望ましい。その他の構成は、実施の形態1と同様である。

30

【0091】

特に限定しないが、例えば実施の形態4の半導体装置が縦型MOSFETであり、耐圧が600Vクラスである場合には、各部の寸法および不純物濃度は次の値をとる。ドリフト領域の厚さ(素子活性部1における並列pn層31の厚さ)は44.0μm、n型領域32およびp型領域33の幅は7.0μm(繰り返しピッチは14.0μm)、n型領域32およびp型領域33の不純物濃度は $3.0 \times 10^{15} \text{ cm}^{-3}$ である。n⁻表面領域18の不純物濃度は $1.0 \times 10^{14} \text{ cm}^{-3}$ である。p型ガードリング領域19、20、21の拡散深さは3.0μm、p型ガードリング領域19、20、21の表面不純物濃度は $3.0 \times 10^{17} \text{ cm}^{-3}$ である。pウェル領域(pベース領域5)の拡散深さは3.0μm、pウェル領域の表面不純物濃度は $3.0 \times 10^{17} \text{ cm}^{-3}$ である。n⁺ソース領域4の拡散深さは1.0μm、n⁺ソース領域4の表面不純物濃度は $3.0 \times 10^{20} \text{ cm}^{-3}$ である。表面のn型ドリフト領域(図17および図18においてpベース領域5間の破線よりも上のn型領域)の拡散深さは2.5μm、表面のn型ドリフト領域の表面不純物濃度は2.0

40

50

$\times 10^{16} \text{ cm}^{-3}$ である。 n^+ ドレイン領域 2 の厚さは $300 \mu\text{m}$ 、 n^+ ドレイン領域 2 の不純物濃度は $2.0 \times 10^{18} \text{ cm}^{-3}$ である。 n 型チャネルストッパー領域 25 の幅は $30.0 \mu\text{m}$ 、 n 型チャネルストッパー領域 25 の不純物濃度は $6.0 \times 10^{15} \text{ cm}^{-3}$ である。 p 型最外周領域 26 の不純物濃度は $3.0 \times 10^{17} \text{ cm}^{-3}$ である。

【0092】

図19は、実施の形態4の半導体装置における耐圧の表面電荷依存性のシミュレーション結果を示す特性図である。このシミュレーション結果は、4本の p 型ガードリング領域がフィールドプレート電極に電氣的に接続する構成のものである。図19に示すように、フィールドプレート電極とチャネルストッパー電極との間の酸化膜上に正電荷（正イオン）があっても、負電荷（負イオン）があっても、耐圧は殆ど変動しない。つまり、実施の形態では、高耐圧であり、かつ耐圧の耐電荷性が向上していることがわかる。

10

【0093】

図20～図22は、実施の形態4の半導体装置における耐圧のポテンシャル分布を示す図である。図20は、フィールドプレート電極とチャネルストッパー電極との間の表面電荷量が $-1.0 \times 10^{12} \text{ cm}^{-2}$ であるときのものである。図21は、該表面電荷量が 0.0 cm^{-2} であるときのものである。図22は、該表面電荷量が $+1.0 \times 10^{12} \text{ cm}^{-2}$ であるときのものである。これらの図より、表面電荷が負電荷（負イオン）であるときには、主としてフィールドプレート電極とチャネルストッパー電極との間で耐圧を保持していることがわかる。表面電荷が正電荷（正イオン）であるときには、主として p 型ガードリング領域とフィールドプレート電極とによって耐圧を保持していることがわかる。実施の形態4によれば、実施の形態1と同様の効果が得られる。

20

【0094】

（実施の形態5）

図23および図24は、実施の形態5にかかる半導体装置の縦断面図である。実施の形態5にかかる半導体装置の平面図は、図1と同様であり、第1の並列 pn 層12、第1の n 型領域13および第1の p 型領域14がそれぞれ並列 pn 層31、 n 型領域32および p 型領域33となる。図23は、図1A-A'における縦断面図に相当する。図24は、図1B-B'における縦断面図に相当する。図23および図24に示すように、実施の形態5が実施の形態4と異なるのは、最も内側に位置する p 型ガードリング領域21以外の p 型ガードリング領域19、20がフィールドプレート電極23、27に電氣的に接続していることである。最も内側に位置する p 型ガードリング領域21は、フィールドプレート電極に電氣的に接続していない。各フィールドプレート電極23、27は、互いに独立している。なお、 p 型ガードリング領域の数は、2本または4本以上であってもよい。その他の構成は、実施の形態4と同様である。

30

【0095】

実施の形態5によれば、実施の形態4と同様の効果が得られる。また、各 p 型ガードリング領域19、20がフィールドプレート電極23、27に電氣的に接続しているので、素子周縁部3に来る電荷やイオンがフィールドプレート電極23、27で収集される。従って、耐圧に対する電荷（イオン）の影響を小さくすることができる。

【0096】

（実施の形態6）

図25および図26は、実施の形態6にかかる半導体装置の縦断面図である。実施の形態6にかかる半導体装置の平面図は、図1と同様であり、第1の並列 pn 層12、第1の n 型領域13および第1の p 型領域14がそれぞれ並列 pn 層31、 n 型領域32および p 型領域33となる。図25は、図1A-A'における縦断面図に相当する。図26は、図1B-B'における縦断面図に相当する。図25および図26に示すように、実施の形態6が実施の形態4と異なるのは、全ての p 型ガードリング領域19、20、21がフィールドプレート電極23、27、28に電氣的に接続していることである。各フィールドプレート電極23、27、28は、互いに独立している。その他の構成は、実施の形態4と同様である。

40

50

【0097】

実施の形態6によれば、実施の形態4と同様の効果が得られる。また、全てのp型ガードリング領域19, 20, 21がフィールドプレート電極23, 27, 28に電氣的に接続しているので、素子周縁部3に於ける電荷やイオンがフィールドプレート電極23, 27で収集される。従って、耐圧に対する電荷(イオン)の影響を小さくすることができる。

【0098】

(実施の形態7)

図27は、実施の形態7にかかる半導体装置の平面図である。図28は、実施の形態7にかかる半導体装置の図27A-A'における縦断面図である。図29は、実施の形態7にかかる半導体装置の図27B-B'における縦断面図である。図27には、並列pn層、n型チャネルストッパー領域、素子活性部の最も外側のpベース領域、n⁻表面領域およびp⁻表面領域のそれぞれの第1主面における形状が示されている(図34においても同じ)。図27~図29に示すように、実施の形態7が実施の形態4と異なるのは、素子周縁部3において、並列pn層31と第1主面との間にn⁻表面領域18およびp⁻表面領域(第5の第2導電型領域)41が設けられていることと、n⁻表面領域18にp型ガードリング領域が設けられていないことである。

【0099】

p⁻表面領域41は、n⁻表面領域18と接合し、n⁻表面領域18と素子活性部1との間に設けられている。n⁻表面領域18とp⁻表面領域41との接合部は、フィールドプレート電極23とチャネルストッパー電極24との間にある。フィールドプレート電極23は、絶縁膜22を介して、p⁻表面領域41の素子活性部1側の部分を覆っている。チャネルストッパー電極24は、絶縁膜22を介して、n⁻表面領域18の終端領域側の部分を覆っている。n⁻表面領域18の不純物濃度は、並列pn層31のn型領域32の不純物濃度よりも低い。p⁻表面領域41の不純物濃度は、並列pn層31のp型領域33の不純物濃度よりも低い。

【0100】

n⁻表面領域18およびp⁻表面領域41の厚さ、すなわちp⁻表面領域41と素子活性部1の下における並列pn層31との接合部の厚さTは、素子活性部1の下における並列pn層31の厚さの1/3以下である。n⁻表面領域18と素子活性部1の下における並列pn層31との接合部の厚さTが厚いほど、素子周縁部3における並列pn層31の厚さが薄くなるため、耐圧が低下する。n⁻表面領域18の厚さが素子活性部1の下における並列pn層31の厚さの1/3以下であれば、素子周縁部3における並列pn層31の厚さが厚くなるので、耐圧が低下するのを抑制することができる。従って、n⁻表面領域18およびp⁻表面領域41の厚さTは、素子活性部1の下における並列pn層31の厚さの1/3以下であるのが望ましい。その他の構成は、実施の形態4と同様である。

【0101】

特に限定しないが、例えば実施の形態7の半導体装置が縦型MOSFETであり、耐圧が600Vクラスである場合には、各部の寸法および不純物濃度は次の値をとる。ドリフト領域の厚さ(素子活性部1における並列pn層31の厚さ)は44.0μm、n型領域32およびp型領域33の幅は7.0μm(繰り返しピッチは14.0μm)、n型領域32およびp型領域33の不純物濃度は $3.0 \times 10^{15} \text{ cm}^{-3}$ である。p⁻表面領域41の不純物濃度は $2.0 \times 10^{15} \text{ cm}^{-3}$ である。n⁻表面領域18の不純物濃度は $2.0 \times 10^{14} \text{ cm}^{-3}$ である。pウェル領域(pベース領域5)の拡散深さは3.0μm、pウェル領域の表面不純物濃度は $3.0 \times 10^{17} \text{ cm}^{-3}$ である。n⁺ソース領域4の拡散深さは1.0μm、n⁺ソース領域4の表面不純物濃度は $3.0 \times 10^{20} \text{ cm}^{-3}$ である。表面のn型ドリフト領域(図28および図29においてpベース領域5間の破線よりも上のn型領域)の拡散深さは2.5μm、表面のn型ドリフト領域の表面不純物濃度は $2.0 \times 10^{16} \text{ cm}^{-3}$ である。n⁺ドレイン領域2の厚さは300μm、n⁺ドレイン領域2の不純物濃度は $2.0 \times 10^{18} \text{ cm}^{-3}$ である。n型チャネルストッパー領域25の幅は30.0μm、n型チャネルストッパー領域25の不純物濃度は $6.0 \times 10^{15} \text{ cm}^{-3}$ である。p型

10

20

30

40

50

最外周領域 26 の不純物濃度は $3.0 \times 10^{17} \text{ cm}^{-3}$ である。

【0102】

図30は、実施の形態7の半導体装置における耐圧の表面電荷依存性のシミュレーション結果を示す特性図である。図30に示すように、フィールドプレート電極とチャネルストップ電極との間の酸化膜上に正電荷（正イオン）があっても、負電荷（負イオン）があっても、耐圧は殆ど変動しない。つまり、実施の形態では、高耐圧であり、かつ耐圧の耐電荷性が向上していることがわかる。

【0103】

図31～図33は、実施の形態7の半導体装置における耐圧のポテンシャル分布を示す図である。図31は、フィールドプレート電極とチャネルストップ電極との間の表面電荷量が $-1.0 \times 10^{12} \text{ cm}^{-2}$ であるときのものである。図32は、該表面電荷量が 0.0 cm^{-2} であるときのものである。図33は、該表面電荷量が $+1.0 \times 10^{12} \text{ cm}^{-2}$ であるときのものである。これらの図より、表面電荷が正電荷（正イオン）であるときには、主としてフィールドプレート電極とチャネルストップ電極との間の p⁻表面領域 41 で耐圧を保持していることがわかる。表面電荷が負電荷（負イオン）であるときには、主としてフィールドプレート電極とチャネルストップ電極との間の n⁻表面領域 18 で耐圧を保持していることがわかる。

【0104】

実施の形態7によれば、フィールドプレート電極 23 とチャネルストップ電極 24 との間に正電荷（正イオン）が存在するときに、p⁻表面領域 41 が空乏化して表面電界が緩和されるので、耐圧を保持することができる。フィールドプレート電極 23 とチャネルストップ電極 24 との間に負電荷（負イオン）が存在するときに、n⁻表面領域 18 が空乏化するので、耐圧を保持することができる。従って、フィールドプレート電極 23 とチャネルストップ電極 24 との間に正電荷（正イオン）があっても負電荷（負イオン）があっても、耐圧が低下するのを抑制することができるので、耐圧の耐電荷性が向上する。また、n⁻表面領域 18 の不純物濃度が並列 pn 層 31 の n 型領域 32 の不純物濃度よりも低いと、n⁻表面領域 18 が空乏化しやすくなるので、容易に初期耐圧を確保することができる。また、p⁻表面領域 41 の不純物濃度が並列 pn 層 31 の p 型領域 33 の不純物濃度よりも低いと、p⁻表面領域 41 が空乏化しやすくなるので、容易に初期耐圧を確保することができる。

【0105】

（実施の形態8）

図34は、実施の形態8にかかる半導体装置の平面図である。図35は、実施の形態8にかかる半導体装置の図34A-A'における縦断面図である。図36は、実施の形態8にかかる半導体装置の図34B-B'における縦断面図である。図34～図36に示すように、実施の形態8が実施の形態7と異なるのは、p⁻表面領域 41 に不純物濃度の異なる複数の領域 42, 43 が含まれていることである。p⁻表面領域 41 に含まれる複数の領域 42, 43 の不純物濃度が、素子活性部 1 から素子周縁部 3 の終端へ向かうに連れて低くなっていてもよい。つまり、p⁻表面領域 41 が、素子活性部 1 から素子周縁部 3 の終端へ向かうに連れて低くなるような不純物濃度の勾配を有していてもよい。例えば、p⁻表面領域 41 に含まれる複数の領域 42, 43 のうち、素子活性部 1 に近い p⁻表面領域 42 の不純物濃度が $2.0 \times 10^{15} \text{ cm}^{-3}$ であり、素子周縁部 3 の終端に近い p⁻表面領域 43 の不純物濃度が $1.0 \times 10^{15} \text{ cm}^{-3}$ であってもよい。なお、p⁻表面領域 41 が 3 以上の不純物濃度の異なる領域を含んでいてもよい。また、p⁻表面領域 41 の不純物濃度が、素子活性部 1 側の端部から素子周縁部 3 の終端側の端部に至るまで連続的に低くなっていてもよい。その他の構成は、実施の形態4と同様である。

【0106】

実施の形態8によれば、実施の形態7と同様の効果が得られる。また、p⁻表面領域 41 の不純物濃度に勾配があるので、フィールドプレート電極 23 とチャネルストップ電極 24 との間に正電荷（正イオン）が存在するときに、空乏層が外周方向へ伸びるのを正

10

20

30

40

50

電荷（正イオン）量に応じて制御することができる。つまり、 p^+ 表面領域41内の電界分布を制御することができる。従って、正電荷によって耐圧が変動するのを抑制することができる。

【0107】

（実施の形態9）

図37は、実施の形態9にかかる半導体装置の平面図である。図38は、実施の形態9にかかる半導体装置の並列pn層の平面図である。図39は、実施の形態9にかかる半導体装置の図38A-A'における縦断面図である。図37には、フィールドプレート電極、チャンネルストッパー電極、素子周縁部におけるNリッチ領域（実質的にn型となる領域）および素子周縁部におけるPリッチ領域（実質的にp型となる領域）が示されている（図43～図45においても同じ）。図38には、並列pn層およびn型チャンネルストッパー領域のそれぞれの第1主面における形状が示されている。図37～図39に示すように、実施の形態9は、実施の形態7において、 n^+ 表面領域および p^+ 表面領域の代わりにそれぞれNリッチ領域51およびPリッチ領域52を設けたものである。素子活性部1および素子活性部1からフィールドプレート電極23の最上段（最も素子周縁部3の終端領域に近い段）の途中まで、繰り返しピッチP1の第1の並列pn層12が配置されている。フィールドプレート電極23の最上段の途中から素子周縁部3の終端領域にかけて、繰り返しピッチP2の第2の並列pn層15が設けられている。P2 < P1である。

【0108】

第1の並列pn層12が配置されている領域は、概ねチャージバランス領域53となる。このチャージバランス領域53に隣接してPリッチ領域52が設けられている。Pリッチ領域52とNリッチ領域51との間の領域は、概ねチャージバランス領域54となる。Nリッチ領域51とn型チャンネルストッパー領域25との間の領域は、概ねチャージバランス領域55となる。図37および図39において、符号61はフィールドプレート電極23のチャンネルストッパー電極24側の終端であり、符号62、63、および64はそれぞれフィールドプレート電極23の段差である。符号65はチャンネルストッパー電極24のフィールドプレート電極23側の終端であり、符号66、67、および68はそれぞれチャンネルストッパー電極24の段差である。Nリッチ領域51は、チャンネルストッパー電極24とフィールドプレート電極23との間の位置からチャンネルストッパー電極24の下まで伸びている。Pリッチ領域52は、チャンネルストッパー電極24とフィールドプレート電極23との間の位置からフィールドプレート電極23の例えば最上段の途中の下まで伸びている。

【0109】

Nリッチ領域51は、第2の並列pn層15の第1主面側において、第2のn型領域16の幅が第2のp型領域17の幅よりも広いことによって、実質的にn型の領域となっている。Nリッチ領域51では、第2のn型領域16の幅は一定であり、第2のp型領域17の幅は一定である。Pリッチ領域52は、第2の並列pn層15の第1主面側において、第2のp型領域17の幅が第2のn型領域16の幅よりも広いことによって、実質的にp型の領域となっている。Pリッチ領域52では、第2のn型領域16の幅は一定であり、第2のp型領域17の幅は一定である。第2の並列pn層15の繰り返しピッチが一定である場合、Nリッチ領域51では第2のn型領域16の幅を広くする分、第2のp型領域17の幅が狭くなり、Pリッチ領域52では第2のp型領域17の幅を広くする分、第2のn型領域16の幅が狭くなる。第2の並列pn層15の繰り返しピッチが一定であり、かつNリッチ領域51およびPリッチ領域52のそれぞれにおいて第2のn型領域16の幅が一定であり、第2のp型領域17の幅が一定である場合には、Nリッチ領域51およびPリッチ領域52のそれぞれにおいて、第2のp型領域17の第2のn型領域16に対する比率が一定となる。

【0110】

Nリッチ領域51およびPリッチ領域52は、次のように形成される。例えば、基板に対してエピタキシャル成長を行う工程と、基板全面にn型不純物をイオン注入する工程と

、基板に対して選択的にp型不純物をイオン注入する工程と、を繰り返す。最後のp型不純物のイオン注入の際に、Nリッチ領域51となる部分の開口幅が狭く、Pリッチ領域52となる部分の開口幅が広いパターンのマスクを用いてイオン注入を行う。注入された不純物を熱拡散させる。

【0111】

図40～図42は、実施の形態9の半導体装置における耐圧のポテンシャル分布の模式図を示したものである。図40は、フィールドプレート電極23とチャンネルストッパー電極24との間の表面電荷量が0であるときのものである。図41は、該表面電荷量が正であるときのものである。図42は、該表面電荷量が負であるときのものである。

【0112】

これらの図において、破線は等電位線を表す。これらの図より、表面電荷が正電荷（正イオン）であるときには、主としてフィールドプレート電極23とチャンネルストッパー電極24との間のPリッチ領域52で耐圧を保持していることがわかる。表面電荷が負電荷（負イオン）であるときには、主としてフィールドプレート電極23とチャンネルストッパー電極24との間のNリッチ領域51で耐圧を保持していることがわかる。

【0113】

実施の形態9によれば、Pリッチ領域52が存在するので、フィールドプレート電極23とチャンネルストッパー電極24との間に正電荷（正イオン）が存在するときに、表面電荷が緩和され、耐圧の向上を図ることができる。Nリッチ領域51が存在するので、フィールドプレート電極23とチャンネルストッパー電極24との間に負電荷（負イオン）が存在するときに、耐圧の向上を図ることができる。従って、耐圧の耐電荷性が向上する。

【0114】

（実施の形態10）

実施の形態9において、Nリッチ領域51における第2のn型領域16の幅や、Pリッチ領域52における第2のp型領域17の幅が、ストライプごとに変化していたり、各第2のn型領域16や各第2のp型領域17の伸びる方向（図38のy方向）で徐々にもしくは段階的に変化していてもよい。実施の形態10は、実施の形態9において、Nリッチ領域51における第2のn型領域16の幅や、Pリッチ領域52における第2のp型領域17の幅を、ストライプごとに変化させたり、各第2のn型領域16や各第2のp型領域17が伸びる方向（図38のy方向）で徐々にもしくは段階的に変化させたものである。この場合、Nリッチ領域51では、第2のn型領域16の幅がチャンネルストッパー電極24から遠ざかるに連れて狭くなるようにして、チャージバランスに近づけるのがよい。また、Pリッチ領域52では、第2のp型領域17の幅がフィールドプレート電極23から遠ざかるに連れて狭くなるようにして、チャージバランスに近づけるのがよい。このようにすると、空乏層がより一層広がりやすくなるので、高耐圧を保持することができるからである。

【0115】

実施の形態10（実施例10）では、フィールドプレート電極とチャンネルストッパー電極との間の酸化膜上に正電荷（正イオン）があっても、負電荷（負イオン）があっても、耐圧は殆ど変動しない。また、実施の形態10（実施例10）では、初期耐圧がより一層高くなっている。実施の形態10によれば、実施の形態9と同様の効果が得られる。

【0116】

（実施の形態11）

実施の形態9において、Nリッチ領域51とPリッチ領域52とがより近づいて、Nリッチ領域51とPリッチ領域52との間のチャージバランス領域54ができるだけないようになっていてもよい。ただし、Nリッチ領域51とPリッチ領域52との間には、少なくとも第2の並列pn層15の1/2ピッチ分に相当する幅のチャージバランス領域54が入る。また、Nリッチ領域51とPリッチ領域52との間のチャージバランス領域54の幅がより広がっていてもよい。チャージバランス領域54の幅が広いほど、空乏層が広がりやすくなるので、耐圧が向上する。ただし、チャージバランス領域54の幅がフィ

10

20

30

40

50

ールドプレート電極 2 3 とチャンネルストッパー電極 2 4 との間の距離の 1 / 3 程度以下であれば、素子周縁部 3 の長さが長くなり過ぎないので、好ましい。N リッチ領域 5 1 と P リッチ領域 5 2 との間のチャージバランス領域 5 4 の幅をより広くした半導体装置の平面図を図 4 3 に示す。実施の形態 1 1 によれば、実施の形態 9 と同様の効果が得られる。

【 0 1 1 7 】

(実施の形態 1 2)

図 4 4 は、実施の形態 1 2 にかかる半導体装置の平面図である。図 4 4 に示すように、実施の形態 1 2 が実施の形態 9 と異なるのは、N リッチ領域 5 1 の外側にチャージバランス領域が設けられていないことである。図 4 4 に示す例では、実施の形態 9 においてチャージバランス領域 5 5 となっている領域も N リッチ領域 5 1 となっている。実施の形態 1 2 によれば、実施の形態 9 と同様の効果が得られる。

10

【 0 1 1 8 】

(実施の形態 1 3)

図 4 5 は、実施の形態 1 3 にかかる半導体装置の平面図である。図 4 5 に示すように、実施の形態 1 3 が実施の形態 9 と異なるのは、第 1 の並列 p n 層 1 2 と第 2 の並列 p n 層 1 5 との境界が、素子活性部 1 と素子周縁部 3 との境界に一致していることである。この場合、第 1 の並列 p n 層 1 2 と第 2 の並列 p n 層 1 5 との境界付近で並列 p n 層のピッチが徐々に変わるようにするとよい。第 1 の並列 p n 層 1 2 と第 2 の並列 p n 層 1 5 との境界で並列 p n 層のピッチが急激に変わると、例えば製造プロセスにおいて不純物をイオン注入する際に用いられるマスクの開口幅のばらつきや、イオン注入量のばらつきや、注入された不純物の再蒸発によるばらつきなどの影響によって、耐圧が変動しやすくなってしまふ。また、チャージバランスからずれた位置の耐圧が低くなってしまふ。第 1 の並列 p n 層 1 2 と第 2 の並列 p n 層 1 5 との境界付近で並列 p n 層のピッチが徐々に変わるようにすれば、耐圧の変動や低下を抑制することができる。実施の形態 1 3 によれば、実施の形態 9 と同様の効果が得られる。

20

【 0 1 1 9 】

(実施の形態 1 4)

図 4 6 および図 4 7 は、実施の形態 1 4 にかかる半導体装置の平面図である。図 4 6 に示すように、実施の形態 1 ~ 1 3 において、n 型領域 7 2 に平面形状が円形状の p 型領域 7 3 が配置された構成の並列 p n 層 7 1 であってもよい。このような構成の並列 p n 層 7 1 は、素子活性部 1 および素子周縁部 3 に配置されていてもよいし (図 4 6 のパターン)、素子活性部 1 のみに配置されていてもよいし (図 4 7 のパターン)、素子周縁部 3 のみに配置されていてもよい (図示省略)。図 4 7 に示すパターンでは、素子周縁部 3 に、第 2 の n 型領域 (第 2 の第 1 導電型領域) 7 6 と第 2 の p 型領域 (第 2 の第 2 導電型領域) 7 7 とがストライプ状に交互に繰り返し接合されてきた微細ピッチの第 2 の並列 p n 層 7 5 が設けられている。第 2 の n 型領域 7 6 と第 2 の p 型領域 7 7 の繰り返しピッチが素子活性部 1 の並列 p n 層 7 1 の繰り返しピッチと同じであってもよい。なお、p 型領域 7 3 に平面形状が円形状の n 型領域 7 2 が配置された構成でもよい。実施の形態 1 4 によれば、実施の形態 1 ~ 1 3 と同様の効果が得られる。

30

【 0 1 2 0 】

(実施の形態 1 5)

図 4 8 および図 4 9 は、実施の形態 1 5 にかかる半導体装置の平面図である。図 4 8 に示すように、実施の形態 1 ~ 1 3 において、n 型領域 7 2 に平面形状が正形状の p 型領域 7 3 が配置された構成の並列 p n 層 7 1 であってもよい。このような構成の並列 p n 層 7 1 は、素子活性部 1 および素子周縁部 3 に配置されていてもよいし (図 4 8 のパターン)、素子活性部 1 のみに配置されていてもよいし (図 4 9 のパターン)、素子周縁部 3 のみに配置されていてもよい (図示省略)。なお、p 型領域 7 3 に平面形状が正形状の n 型領域 7 2 が配置された構成でもよい。実施の形態 1 5 によれば、実施の形態 1 ~ 1 3 と同様の効果が得られる。

40

【 0 1 2 1 】

50

(実施の形態 16)

図 50 および図 51 は、実施の形態 16 にかかる半導体装置の平面図である。図 50 に示すように、実施の形態 1 ~ 13 において、n 型領域 72 に平面形状が多角形状（例えば、八角形状）の p 型領域 73 が配置された構成の並列 p n 層 71 であってもよい。このような構成の並列 p n 層 71 は、素子活性部 1 および素子周縁部 3 に配置されていてもよいし（図 50 のパターン）、素子活性部 1 のみに配置されていてもよいし（図 51 のパターン）、素子周縁部 3 のみに配置されていてもよい（図示省略）。なお、p 型領域 73 に平面形状が多角形状（例えば、八角形状）の n 型領域 72 が配置された構成でもよい。実施の形態 16 によれば、実施の形態 1 ~ 13 と同様の効果が得られる。

【0122】

10

(実施の形態 17)

図 52 および図 53 は、実施の形態 17 にかかる半導体装置の平面図である。図 52 に示すように、実施の形態 1 ~ 13 において、n 型領域 72 に平面形状が多角形状（例えば、六角形状）の p 型領域 73 が配置された構成の並列 p n 層 71 であってもよい。このような構成の並列 p n 層 71 は、素子活性部 1 および素子周縁部 3 に配置されていてもよいし（図 52 のパターン）、素子活性部 1 のみに配置されていてもよいし（図 53 のパターン）、素子周縁部 3 のみに配置されていてもよい（図示省略）。なお、p 型領域 73 に平面形状が多角形状（例えば、六角形状）の n 型領域 72 が配置された構成でもよい。実施の形態 17 によれば、実施の形態 1 ~ 13 と同様の効果が得られる。

【0123】

20

なお、実施の形態 14 ~ 実施の形態 17 において、p 型領域 73 は、素子活性部 1 および素子周縁部 3 でそれぞれ等間隔で配置されるが、素子化成部 1 での配置間隔と素子周縁部 3 の配置間隔は同じでもよいし、異なってもよい。

【0124】

以上において本発明は、上述した実施の形態に限らず、種々変更可能である。例えば、実施の形態中に記載した寸法や濃度などは一例であり、本発明はそれらの値に限定されるものではない。また、各実施の形態では第 1 導電型を n 型とし、第 2 導電型を p 型としたが、本発明は第 1 導電型を p 型とし、第 2 導電型を n 型としても同様に成り立つ。また、本発明は、MOSFET に限らず、IGBT、バイポーラトランジスタ、FWD (Free Wheeling Diode、フリーホイールダイオード) またはショットキーダイオード等にも適用可能である。

30

【産業上の利用可能性】

【0125】

以上のように、本発明にかかる半導体装置は、大電力用半導体装置に有用であり、特に、並列 p n 構造をドリフト部に有する MOSFET、IGBT、バイポーラトランジスタ、FWD またはショットキーダイオード等の高耐圧化と大電流容量化を両立させることのできる半導体装置に適している。

【符号の説明】

【0126】

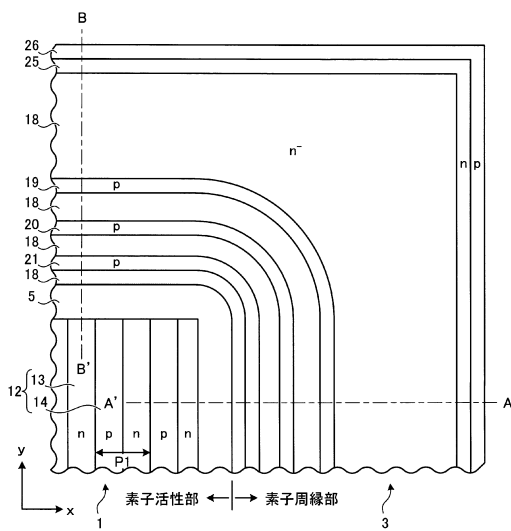
- 1 素子活性部
- 2 低抵抗層
- 3 素子周縁部
- 12 第 1 の並列 p n 層
- 13 第 1 の第 1 導電型領域
- 14 第 1 の第 2 導電型領域
- 15 第 2 の並列 p n 層
- 16 第 2 の第 1 導電型領域
- 17 第 2 の第 2 導電型領域
- 18 第 3 の第 1 導電型領域
- 19, 20, 21 第 3 の第 2 導電型領域

40

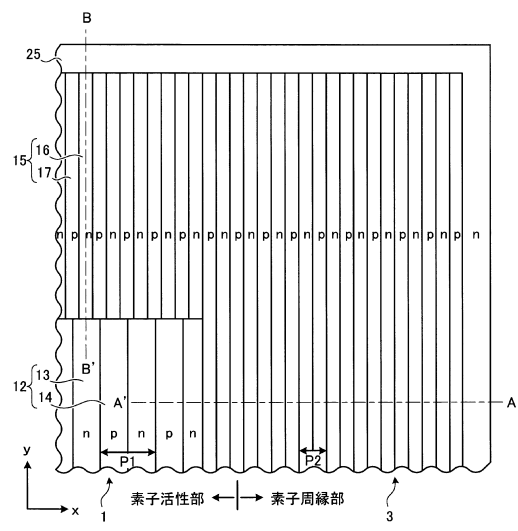
50

- 2 2 絶縁膜
- 2 3 , 2 7 , 2 8 第 1 の 導 電 層
- 2 4 第 2 の 導 電 層
- 3 1 並 列 p n 層
- 3 2 第 4 の 第 1 導 電 型 領 域
- 3 3 第 4 の 第 2 導 電 型 領 域
- 4 1 , 4 2 , 4 3 第 5 の 第 2 導 電 型 領 域

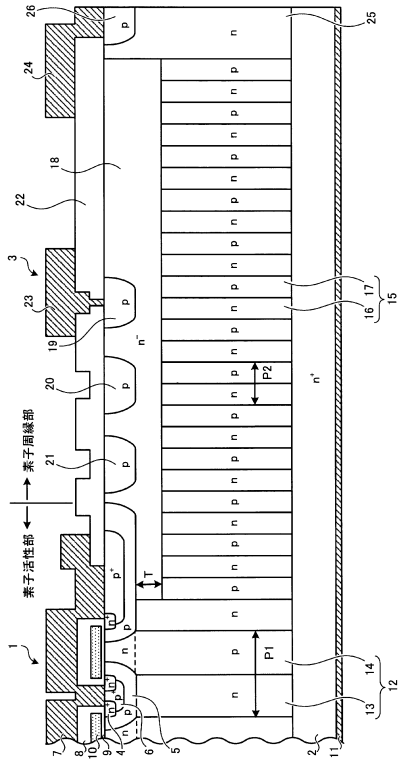
【 図 1 】



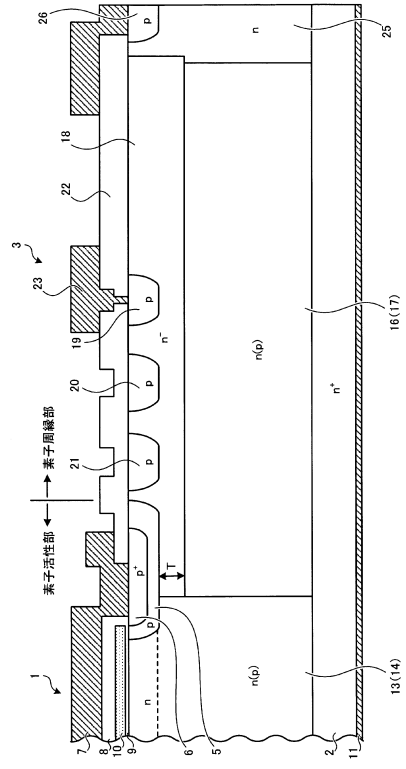
【 図 2 】



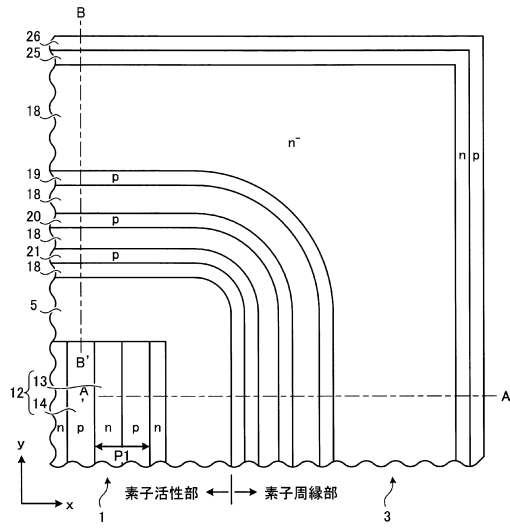
【図3】



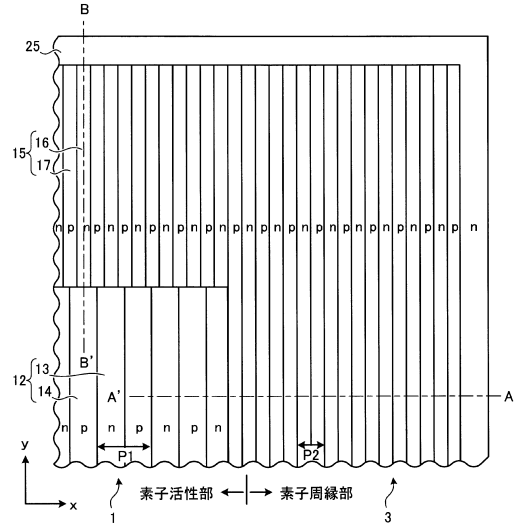
【図4】



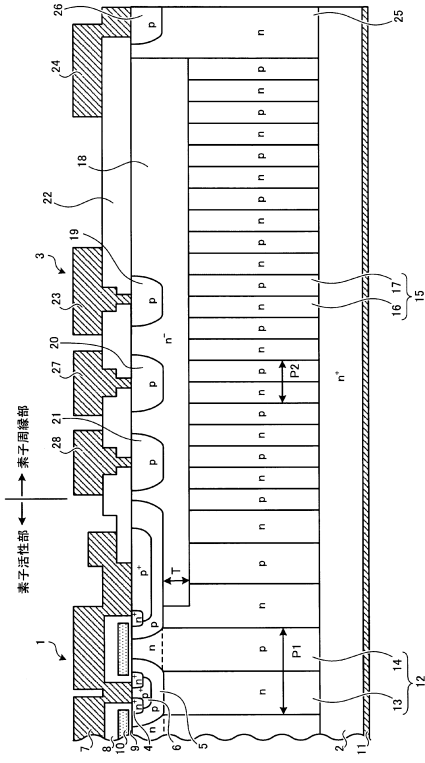
【図5】



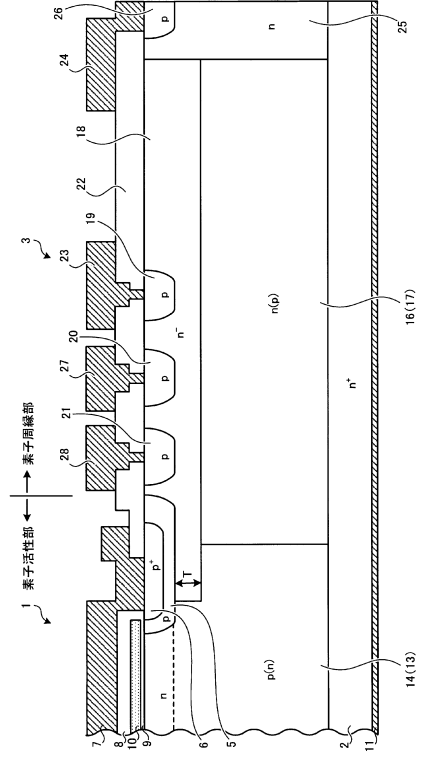
【図6】



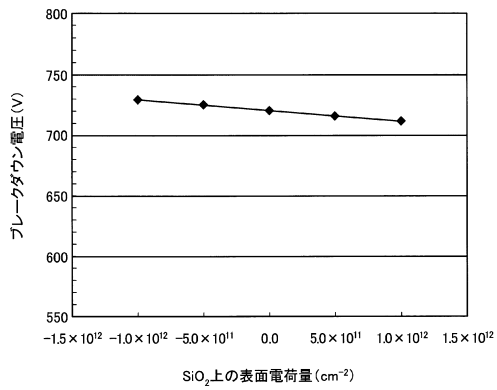
【図7】



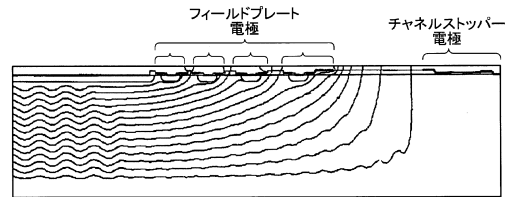
【図8】



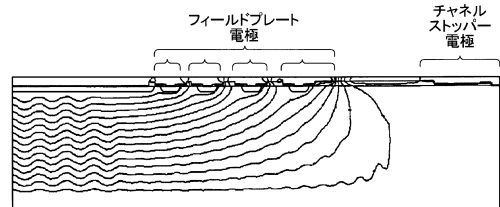
【図9】



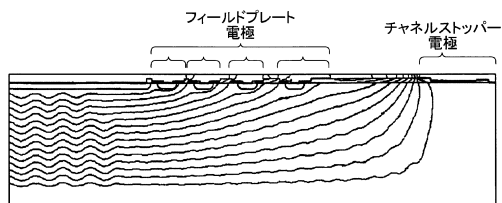
【図11】



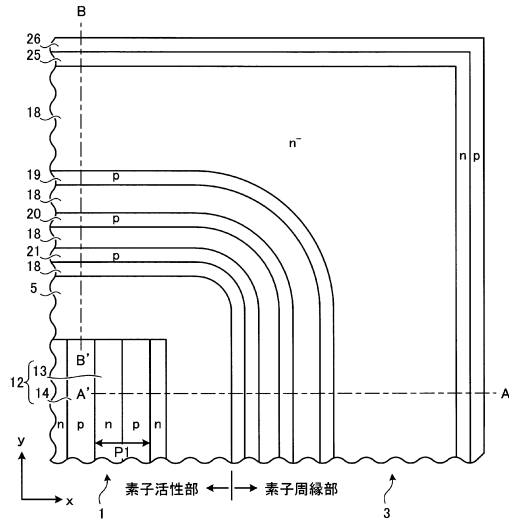
【図12】



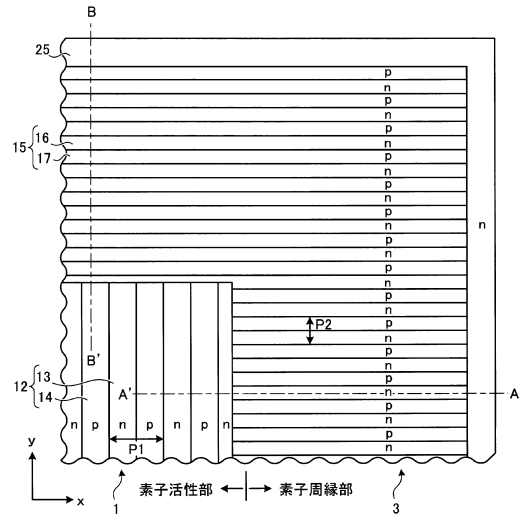
【図10】



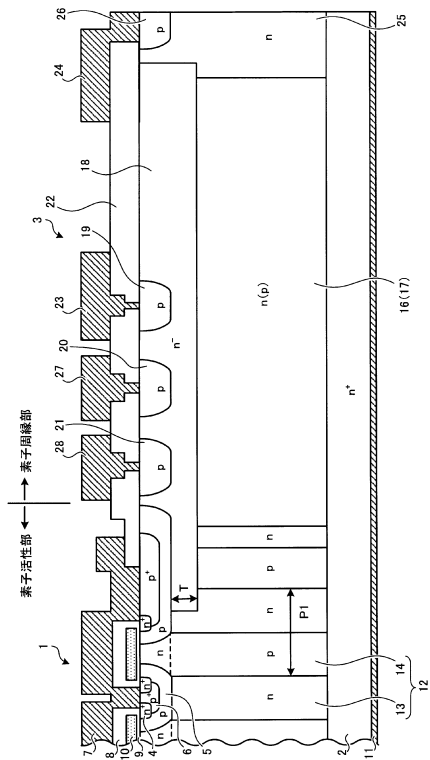
【図13】



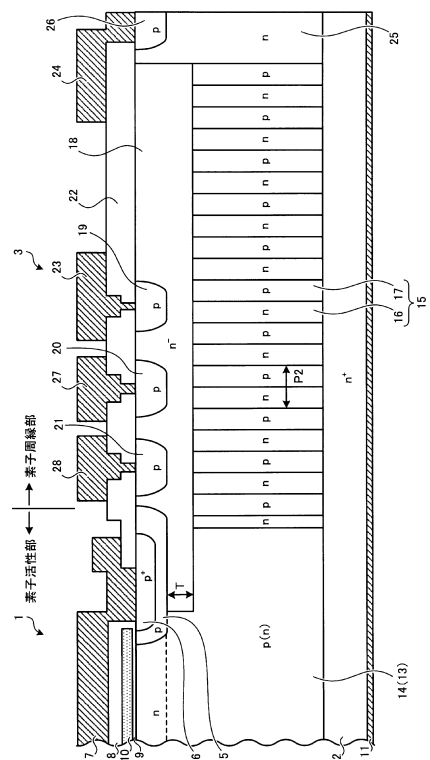
【図14】



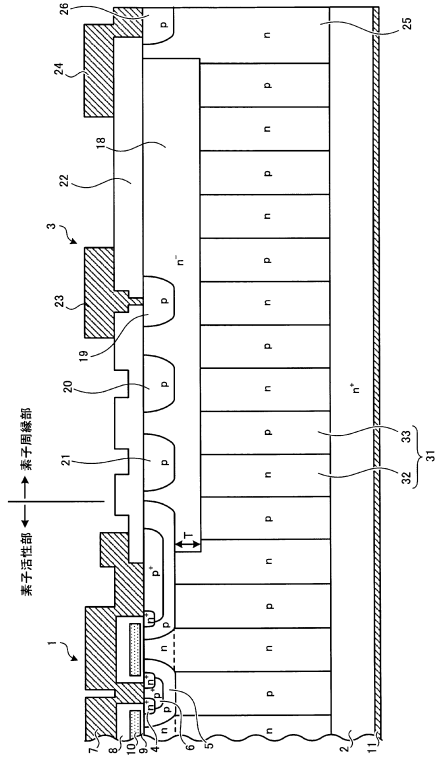
【図15】



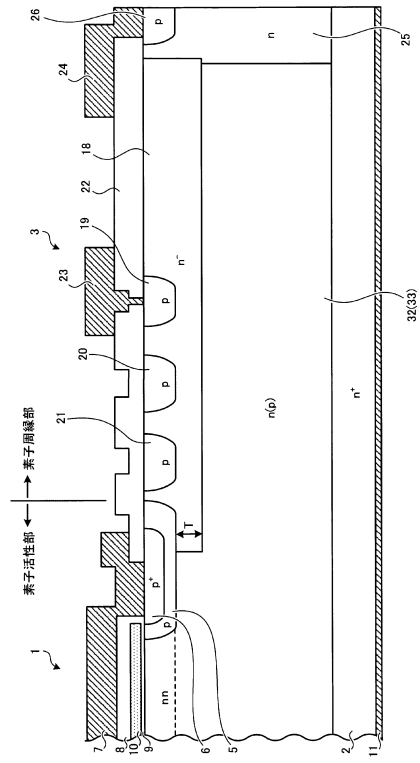
【図16】



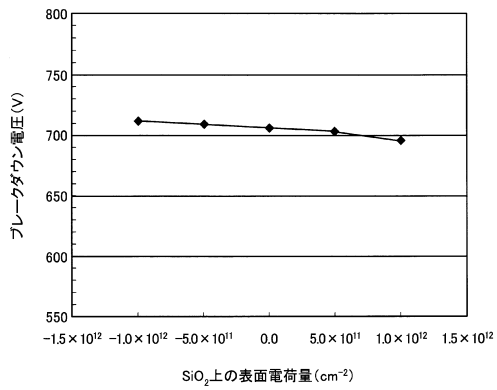
【図17】



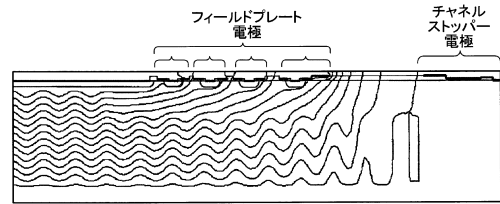
【図18】



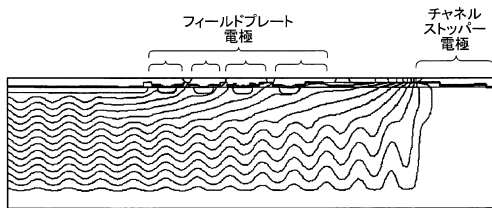
【図19】



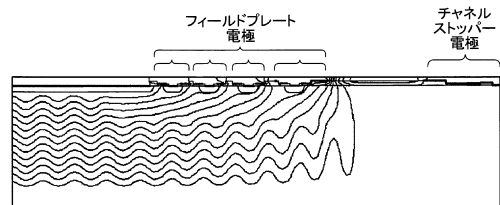
【図21】



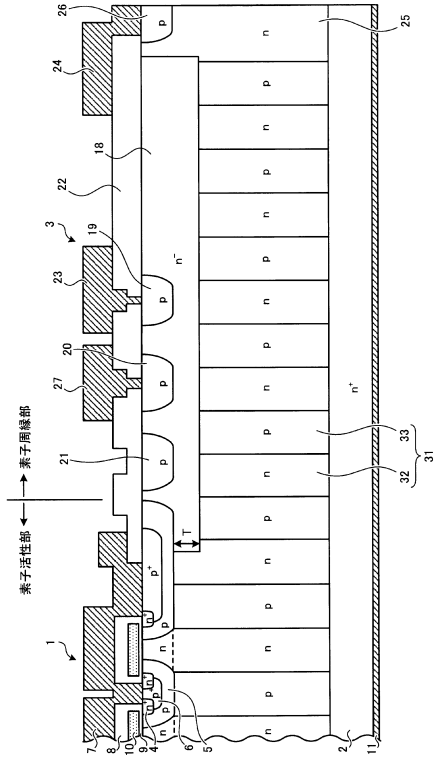
【図20】



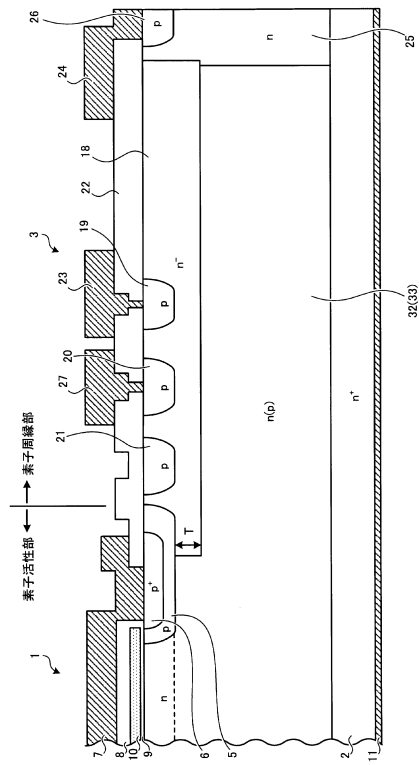
【図22】



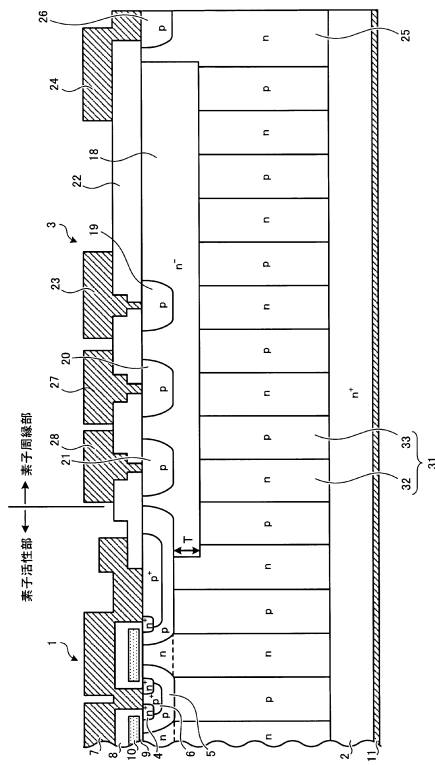
【図 23】



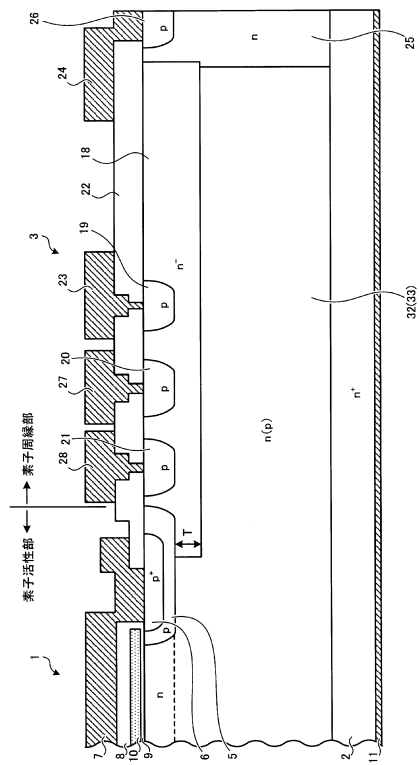
【図 24】



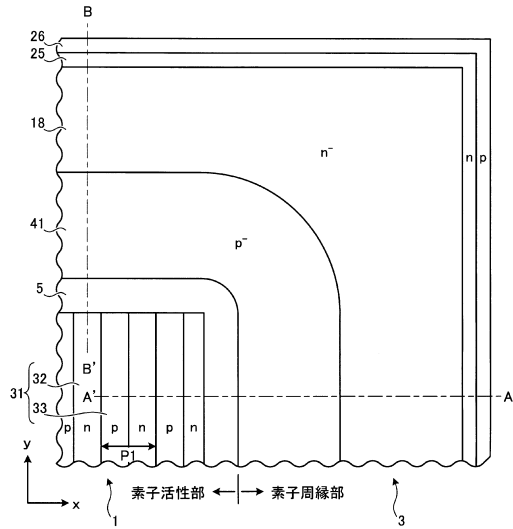
【図 25】



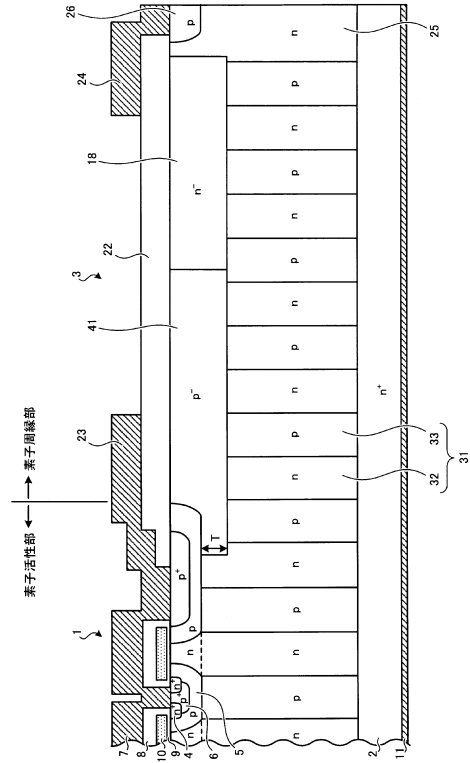
【図 26】



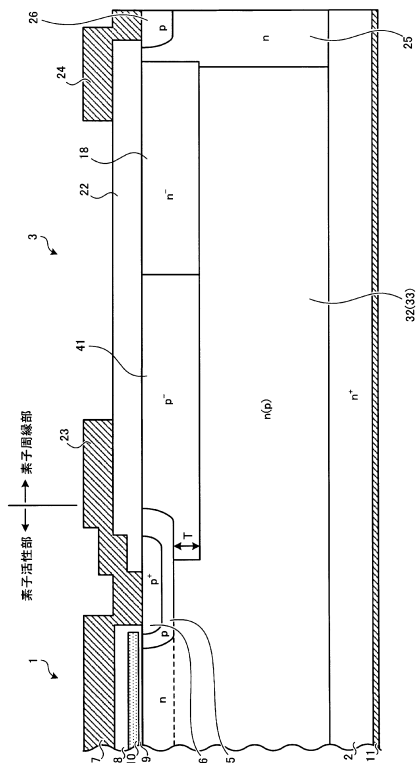
【図 27】



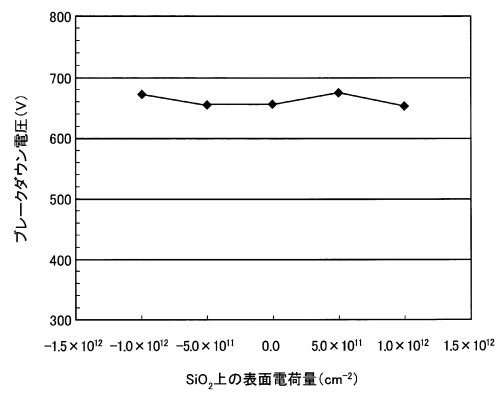
【図 28】



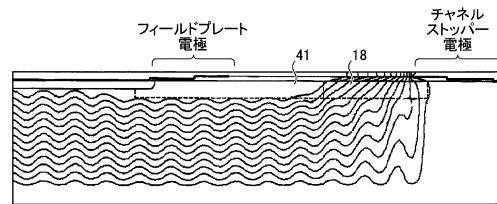
【図 29】



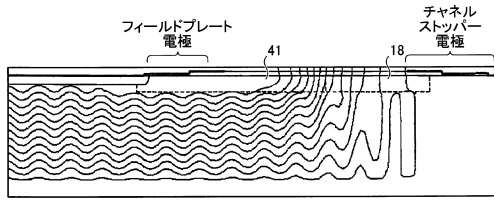
【図 30】



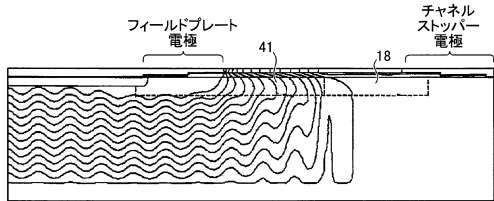
【図 31】



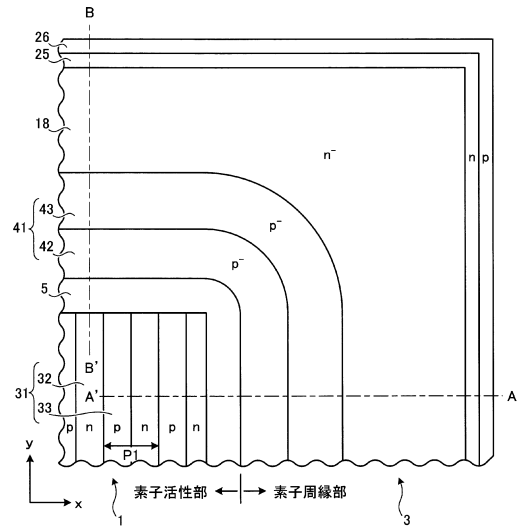
【図 3 2】



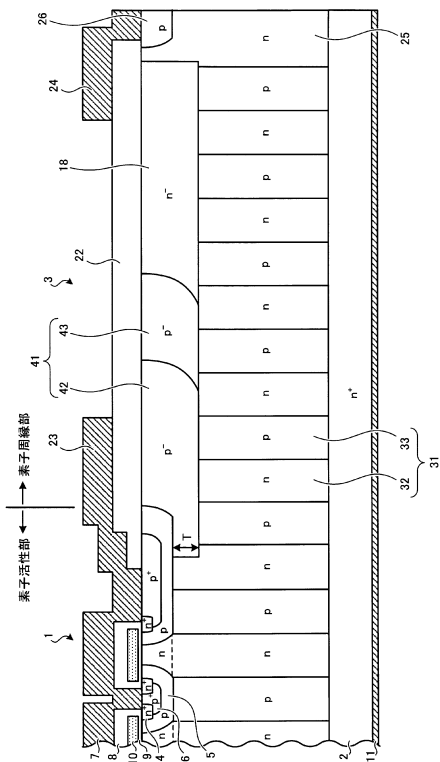
【図 3 3】



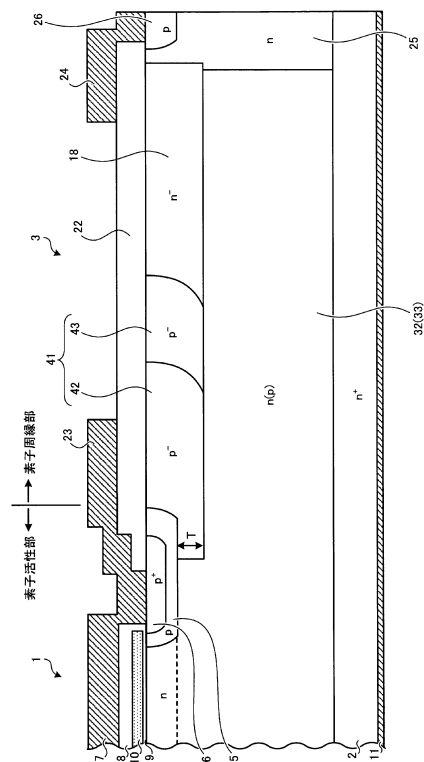
【図 3 4】



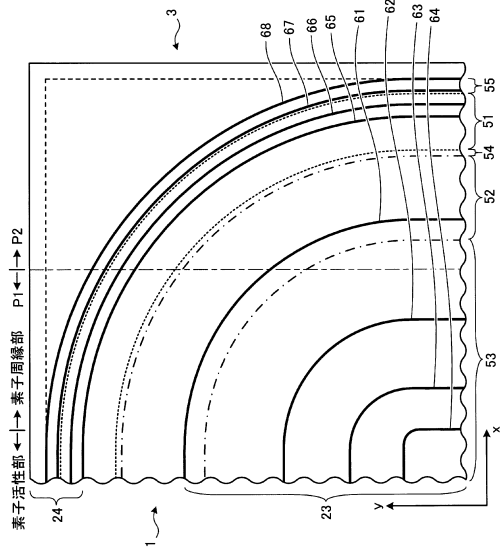
【図 3 5】



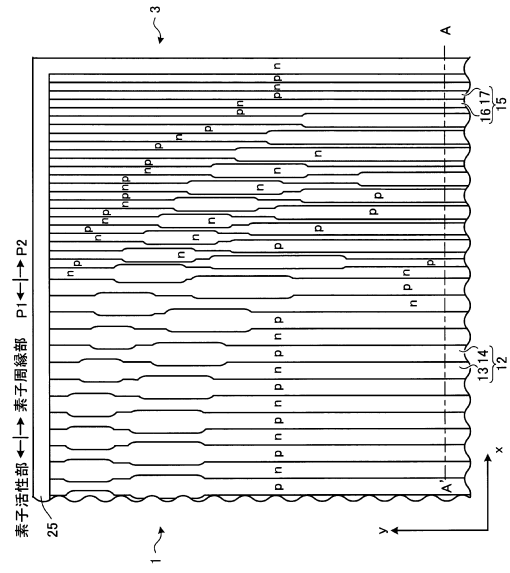
【図 3 6】



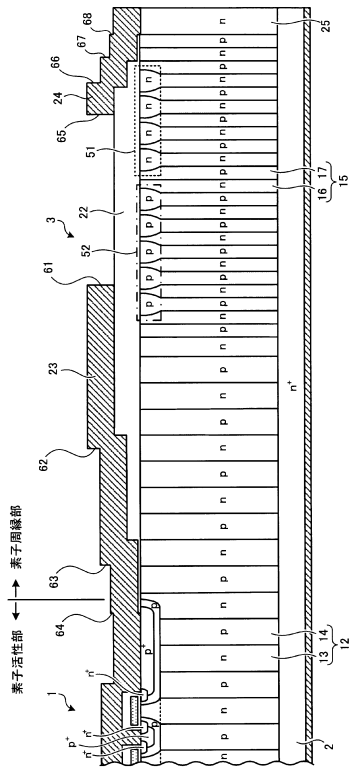
【図 37】



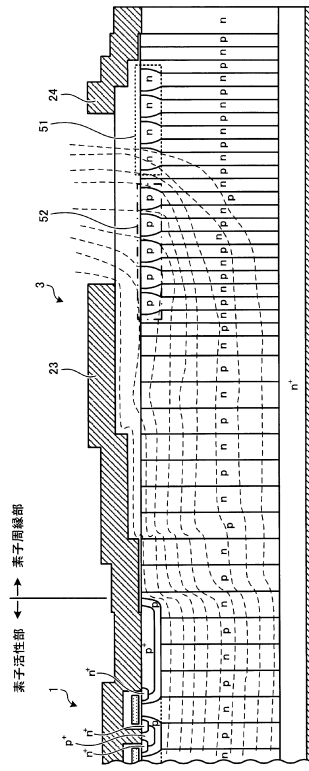
【図 38】



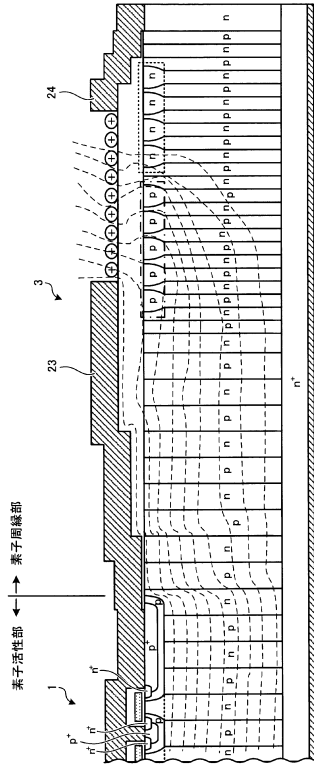
【図 39】



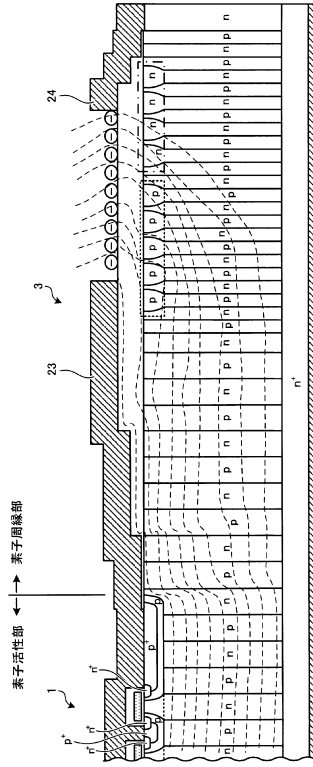
【図 40】



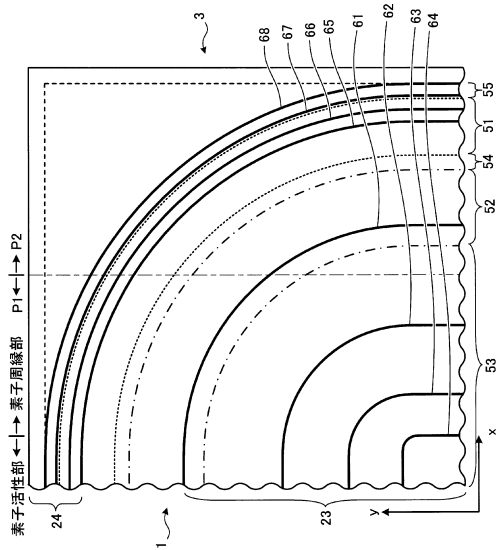
【図 4 1】



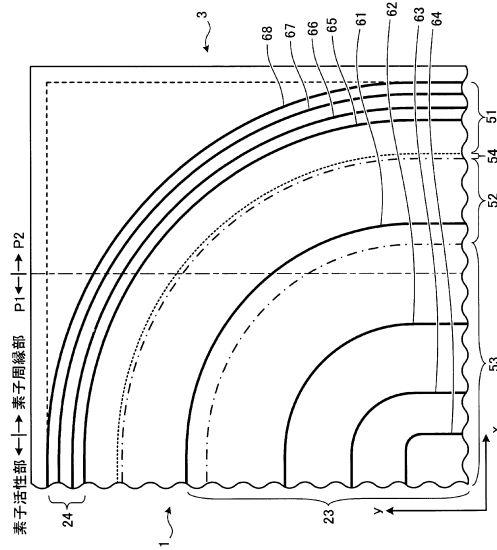
【図 4 2】



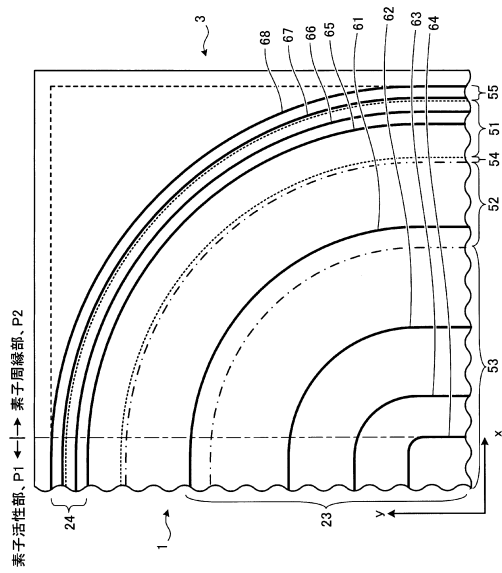
【図 4 3】



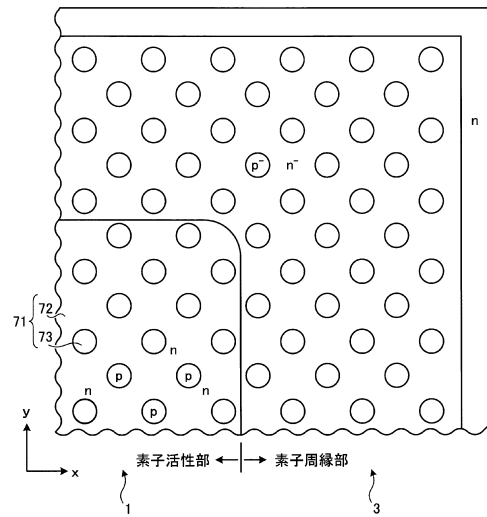
【図 4 4】



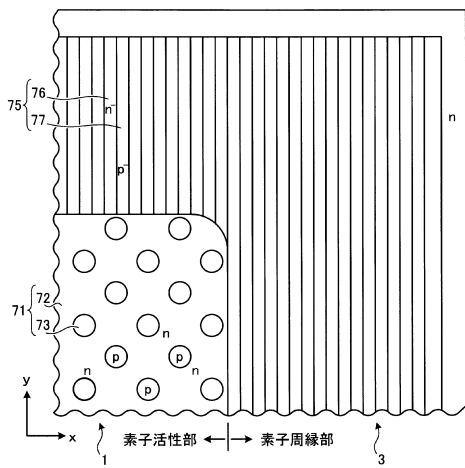
【 図 4 5 】



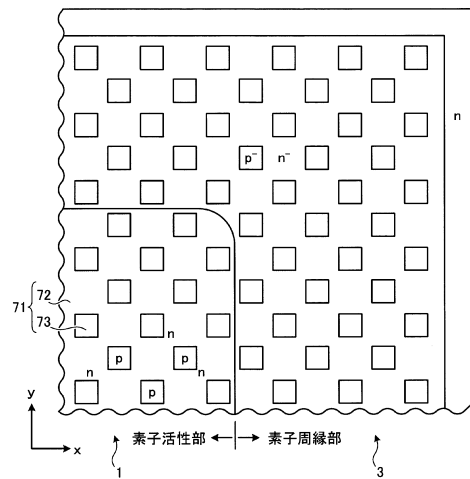
【 図 4 6 】



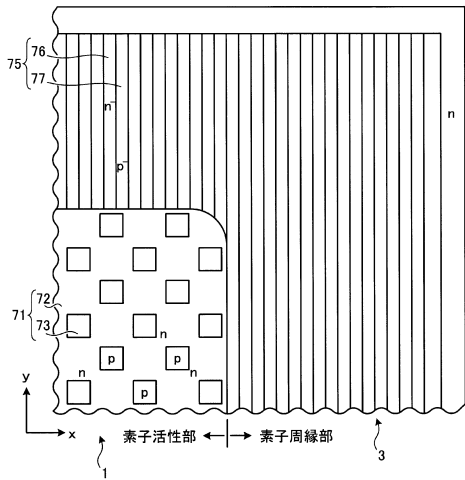
【 図 4 7 】



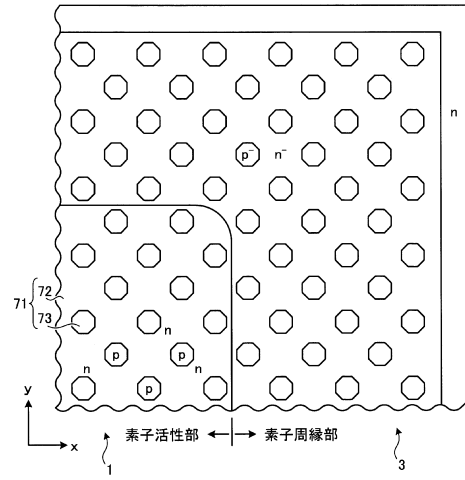
【 図 4 8 】



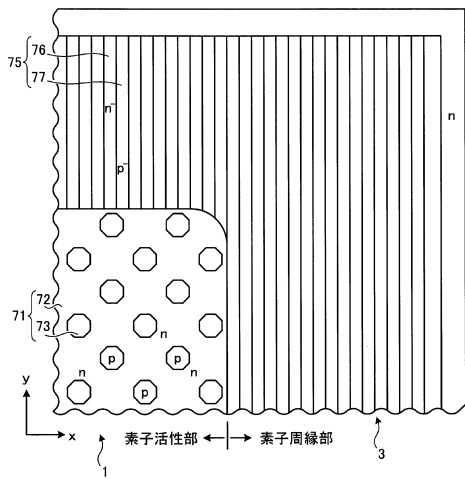
【図49】



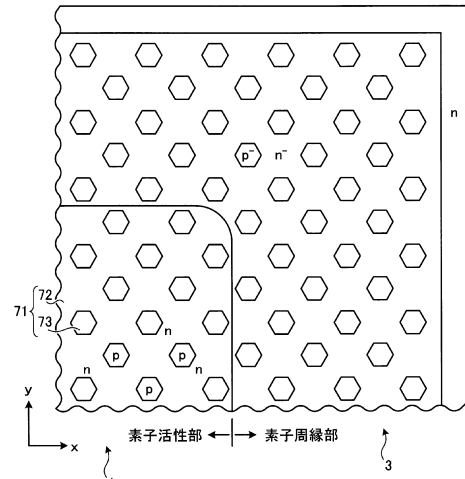
【図50】



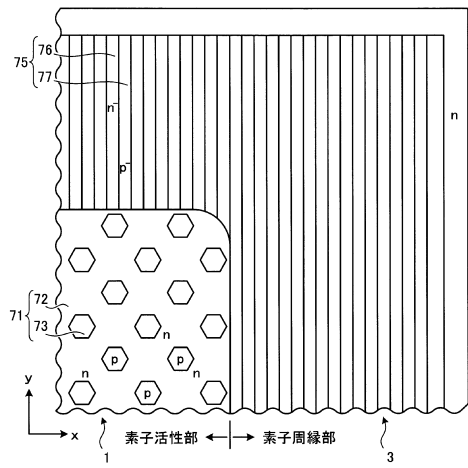
【図51】



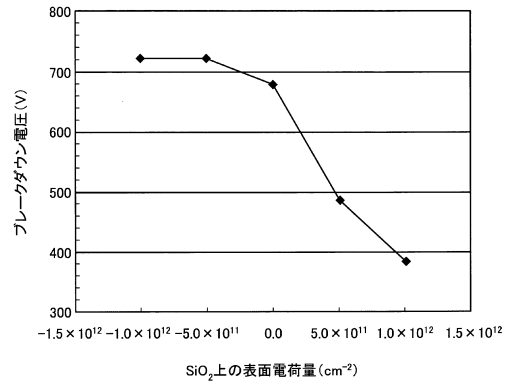
【図52】



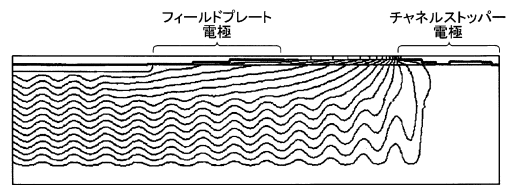
【図53】



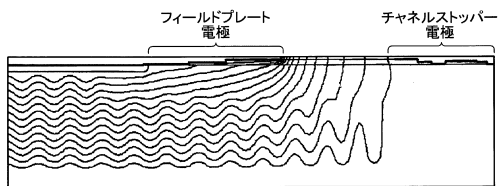
【図54】



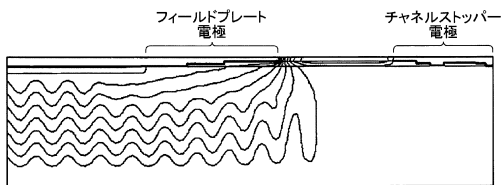
【図55】



【図56】



【図57】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/06 3 0 1 D
H 0 1 L 29/44 Y

(56)参考文献 特開2003-115589(JP,A)
特開2000-208768(JP,A)
特開2005-203565(JP,A)
特開2007-157799(JP,A)
特開平01-138759(JP,A)
特開2003-204065(JP,A)
特開2002-184987(JP,A)
特開2008-227236(JP,A)
特開2006-332217(JP,A)
特開2008-078282(JP,A)
特開2003-273355(JP,A)
特開2005-260199(JP,A)
特開2005-116951(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 9 / 7 8
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 9 / 0 6