

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4051190号
(P4051190)

(45) 発行日 平成20年2月20日(2008.2.20)

(24) 登録日 平成19年12月7日(2007.12.7)

(51) Int. Cl.	F I
GO2F 1/1345 (2006.01)	GO2F 1/1345
GO2F 1/13 (2006.01)	GO2F 1/13 101
GO1R 31/00 (2006.01)	GO1R 31/00
GO9F 9/00 (2006.01)	GO9F 9/00 352
GO9F 9/30 (2006.01)	GO9F 9/30 310

請求項の数 7 (全 32 頁) 最終頁に続く

(21) 出願番号	特願2001-319639 (P2001-319639)	(73) 特許権者	000005049
(22) 出願日	平成13年10月17日(2001.10.17)		シャープ株式会社
(65) 公開番号	特開2002-207223 (P2002-207223A)		大阪府大阪市阿倍野区長池町22番22号
(43) 公開日	平成14年7月26日(2002.7.26)	(74) 代理人	100077931
審査請求日	平成16年6月18日(2004.6.18)		弁理士 前田 弘
(31) 優先権主張番号	特願2000-333947 (P2000-333947)	(74) 代理人	100094134
(32) 優先日	平成12年10月31日(2000.10.31)		弁理士 小山 廣毅
(33) 優先権主張国	日本国(JP)	(74) 代理人	100113262
			弁理士 竹内 祐二
		(74) 代理人	100115510
			弁理士 手島 勝
		(72) 発明者	藤川 隆
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内

最終頁に続く

(54) 【発明の名称】 表示装置の製造方法、表示装置用基板および測定システム

(57) 【特許請求の範囲】

【請求項1】

少なくとも2つの互いに異なるタイプの表示装置を製造する製造ラインを用いた表示装置の製造方法であって、

前記表示装置の表示装置回路と、それぞれが互いに異なる前記表示装置回路を構成する回路要素の特性を評価するための少なくとも抵抗テスト要素および容量テスト要素を含む第1テスト要素群を備える回路基板を作製する工程と、

前記回路基板に形成された前記抵抗テスト要素および容量テスト要素の特性を測定する工程を含む、前記回路要素の特性を評価する工程と、

を包含し、

前記抵抗テスト要素は、前記少なくとも2つの互いに異なるタイプの表示装置に対して共通のパターンで配置された複数のテスト端子に含まれる6つの第1テスト端子のうちの4つの第1テスト端子に接続されており、前記容量テスト要素は前記6つの第1テスト端子のうちの残りの2つの第1テスト端子に接続されており、

前記測定工程は、前記表示装置のタイプに関わらず、共通のプローブを前記第1テスト端子に接触させた状態で実行される、表示装置の製造方法。

【請求項2】

前記回路基板は、それぞれが互いに異なる特性を評価するための少なくとも2つのさらなるテスト要素を含む第2テスト要素群をさらに備え、

前記少なくとも2つのさらなるテスト要素は、さらなる抵抗テスト要素およびさらなる

容量テスト要素であって、前記第2テスト要素群は、前記複数の第1テスト端子と同じパターンで配置された複数の第2テスト端子に接続されている、請求項1に記載の表示装置の製造方法。

【請求項3】

前記測定工程において、前記共通のプローブを前記複数の第1テスト端子に同時に接触させる工程と、前記共通のプローブを前記複数の第2テスト端子に同時に接触させる工程とが互いに独立に実行される、請求項2に記載の表示装置の製造方法。

【請求項4】

前記回路要素の特性を評価する工程は、
前記回路基板が前記少なくとも2つの互いに異なるタイプのうちのいずれであるかを特定する工程と、

前記特定されたタイプに応じた測定条件情報および前記複数のテスト端子の配置情報を取得する工程と、

前記取得された前記測定条件および前記配置情報に基づいて、前記共通のプローブを前記回路基板に対して相対的に移動させる工程と、

を包含する、請求項1から3のいずれかに記載の表示装置の製造方法。

【請求項5】

前記回路基板作製工程は、マザー基板上に複数の回路基板を形成する工程であり、前記特性評価工程は、前記複数の回路基板のそれぞれについて順次実行される、請求項1から4のいずれかに記載の表示装置の製造方法。

【請求項6】

表示装置の表示装置回路と、前記表示装置回路を構成する回路要素の特性を評価するための複数のテスト要素とを備える表示装置用基板であって、

前記複数のテスト要素は、それぞれが互いに隣接する抵抗テスト要素および容量テスト要素を含む第1テスト要素群および第2テスト要素群を少なくとも有し、

前記第1テスト要素群は、所定のパターンで配置された6つの第1テスト端子を備え、前記第1テスト要素群の抵抗テスト要素は、前記6つの第1テスト端子のうちの4つの第1テスト端子に接続されており、前記容量テスト要素は前記6つの第1テスト端子のうちの残りの2つの第1テスト端子に接続されており、前記第2テスト要素群は、前記複数の第1テスト端子と同じパターンで配置された複数の第2テスト端子の少なくとも一部に接続されている表示装置用基板。

【請求項7】

請求項6に記載の表示装置用基板が備える複数のテスト要素の特性を測定するための測定システムであって、

前記表示装置用基板における複数の第1テスト端子と同じパターンで配置された複数の接触部を有するプローブと、

それぞれに複数の前記表示装置用基板が形成された複数のマザー基板を収納するカセットに付された情報を読み取る手段と、

前記読取り手段によって読み取られた前記情報に基づいて、前記カセットから前記マザー基板を取り出す手段と、

前記マザー基板上に未測定のテスト要素が存在するか否かを判断する第1判断手段と、

前記第1判断手段によって未測定のテスト要素が存在すると判断された場合には、前記マザー基板のタイプに応じて、前記プローブを前記表示装置用基板上に設けられた未測定のテスト要素に対して相対的に移動させる手段と、

前記テスト要素に接続された端子を含む複数のテスト端子と前記プローブの複数の前記接触部とを接触させ、前記テスト要素の特性の測定を行う手段と、

前記第1判断手段によって未測定のテスト要素が存在しないと判断された場合には、前記カセットに未測定の前記マザー基板が収納されているか否かを判断する第2判断手段と、

前記第2判断手段によって未測定の前記マザー基板が収納されていると判断された場合

10

20

30

40

50

には、前記カセットから未測定の前記マザー基板を取り出す手段と、

前記第2判断手段によって未測定のマザー基板が収納されていないと判断された場合には、未測定の前記カセットが存在するか否かを判断する第3判断手段と、

前記第3判断手段によって未測定の前記カセットが存在すると判断された場合には、前記読取り手段による前記情報の読み取りが可能となるように、未測定の前記カセットを移動する手段と、

を包含する、測定システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、表示装置の製造方法、表示装置用基板および測定システムに関する。特にTFT(Thin Film Transistor)型、MIM(Metal-Insulator-Metal)型などのアクティブマトリクス型の液晶表示装置の製造方法、かかる液晶表示装置を製造するために用いられる基板およびその測定システムに関する。

【0002】

【従来の技術】

近年、表示装置の高性能化が進んでおり、それに伴ないデバイス特性の管理もこれまで以上に厳しく要求されている。デバイス特性の管理は、品質管理、不良基板の早期発見および不良基板の工程流出防止のために必要である。例えば、液晶表示装置のTFT基板は、複数の薄膜堆積工程およびパターンニング工程を含むプロセスを用いて作製され、その製造プロセス等を評価するために、TFT特性、バスライン抵抗、コンタクト抵抗などの評価が行なわれる。かかる評価手法として、評価する目的に応じたテスト要素を含むTEG(Test Element Group)をTFT基板上に設け、各テスト要素に接続された端子にプローブを接触させて、各テスト要素の特性を測定する手法がある(例えば特開平8-190087号公報、特に同公報の図1および図2参照)。

【0003】

【発明が解決しようとする課題】

しかし、液晶表示装置のタイプは多種多様であるので、評価すべき特性の項目および数も液晶表示装置のタイプにより異なり、TEGを構成するテスト要素の種類および数も異なる。例えば、絵素全面を覆う有機絶縁膜が形成されたTFT基板の場合には、有機絶縁膜を有しないTFT基板に対して行なわれる特性評価に加えて、有機絶縁膜に関連した特性の評価が行なわれる。また、液晶表示装置のサイズも多様であるので、設計上の都合から、TEGの数や位置が制限を受けることがある。近年、多品種の液晶表示装置を効率良く製造するために、同一の製造ラインを用いて、同一のマザー基板からパネルサイズの異なる液晶表示装置が製造されることがあり、また、同じサイズのマザー基板を用いて、マザー基板毎にパネルサイズの異なる液晶表示装置が製造されることがある。このように、液晶表示装置のタイプごとにTEGの位置や検査項目が異なるので、それに応じたプローブが必要となり、液晶表示装置のタイプごとに高価なプローブを準備し、検査する必要がある。したがって、それぞれの液晶表示装置のタイプに対応した検査装置を複数準備するか、あるいは同じ検査装置で液晶表示装置のタイプが変わるごとにプローブを取り替える必要があるので、製造プロセスに煩雑さがある。また、プローブを取り替える間の時間が無駄となり、生産効率が低下するという問題もある。

【0004】

一方、最近の表示装置は、TEGを形成するための基板上のスペースがますます減少する傾向にある。その第1の原因として、生産コストの削減が挙げられる。生産コストを抑えるために、1枚のマザー基板からできるだけ多数の基板を取らなければならない、表示部以外の基板の面積を極力小さくする必要があるからである。最近の表示装置は、中型や小型に特化した開発が行われる傾向にあり、モバイル商品に用いられる小型サイズの基板で、この原因は特に顕著である。第2の原因として、近年の表示装置の狭縁縁化が挙げられる。表示部以外の縁縁部をできるだけ狭くするために、狭い領域に必要な端子(ドライバ

10

20

30

40

50

など)やTEGを形成しなければならないからである。したがって、各テスト要素が効率良く集積化されたTEGの開発が求められる。

【0005】

本発明の目的は、安価に、また作業効率良く評価を行うことができ、もって生産効率の高い表示装置用基板を提供することにある。本発明の他の目的は、タイプの異なる表示装置を製造する製造ラインを用いた表示装置の製造方法であって、生産効率の高い表示装置の製造方法を提供することにある。言い換えれば、本発明の他の目的は、同じ製造ラインで多種多様な表示装置を効率よく製造することにある。

【0006】

【課題を解決するための手段】

(1)本発明の表示装置の製造方法は、少なくとも2つの互いに異なるタイプの表示装置を製造する製造ラインを用いた表示装置の製造方法であって、前記表示装置の表示装置回路と、それぞれが互いに異なる前記表示装置回路を構成する回路要素の特性を評価するための少なくとも抵抗テスト要素および容量テスト要素を含む第1テスト要素群を備える回路基板を作製する工程と、前記回路基板に形成された前記抵抗テスト要素および容量テスト要素の特性を測定する工程を含む、前記回路要素の特性を評価する工程と、を包含し、前記抵抗テスト要素は、前記少なくとも2つの互いに異なるタイプの表示装置に対して共通のパターンで配置された複数のテスト端子に含まれる6つの第1テスト端子のうちの4つの第1テスト端子に接続されており、前記容量テスト要素は前記6つの第1テスト端子のうちの残りの2つの第1テスト端子に接続されており、

前記測定工程は、前記表示装置のタイプに関わらず、共通のプロープを前記第1テスト端子に接触させた状態で実行されるものである。

【0007】

なお、本発明における「異なるタイプ」は、表示装置の大きさ、表示装置回路を構成する回路要素の種類の相違のみならず、回路要素の製造プロセスの相違なども含まれる。また、「回路基板」は、TFT基板、MIM基板などの複数の回路要素が形成された基板を指す(以下、「表示装置用基板」ともいう。。「テスト要素」は、基板上の表示装置回路が占有する領域以外の空いた領域に設けられた要素である。「表示装置回路」は、表示装置として動作するために必要な回路全体を指し、表示領域に設けられる絵素電極、TFTなどのスイッチ要素、バスラインなどの配線部および端子部だけでなく、スイッチ要素を駆動させるための駆動回路などが含まれる。「共通のパターンで配置された複数のテスト端子」とは、少なくとも2つの互いに異なるタイプの表示装置のそれぞれに配置された複数のテスト端子のパターンが一部または全部において同一であることを指す。

【0008】

(2)上記(1)に記載の表示装置の製造方法において、前記回路基板は、それぞれが互いに異なる特性を評価するための少なくとも2つのさらなるテスト要素を含む第2テスト要素群をさらに備え、前記少なくとも2つのさらなるテスト要素は、さらなる抵抗テスト要素およびさらなる容量テスト要素であって、前記第2テスト要素群は、前記複数の第1テスト端子と同じパターンで配置された複数の第2テスト端子に接続されている。

【0009】

(3)上記(2)に記載の表示装置の製造方法における前記測定工程において、前記共通のプロープを前記複数の第1テスト端子に同時に接触させる工程と、前記共通のプロープを前記複数の第2テスト端子に同時に接触させる工程とが互いに独立に実行される。

【0010】

(4)上記(1)から(3)のいずれかに記載の表示装置の製造方法において、前記回路要素の特性を評価する工程は、前記回路基板が前記少なくとも2つの互いに異なるタイプのうちのいずれであるかを特定する工程と、前記特定されたタイプに応じた測定条件情報および前記複数のテスト端子の配置情報を取得する工程と、前記取得された前記測定条件および前記配置情報に基づいて、前記共通のプロープを前記回路基板に対して相対的に移動させる工程と、を包含する。

10

20

30

40

50

【0011】

(5) 上記(1)から(4)のいずれかに記載の表示装置の製造方法において、前記回路基板作製工程は、マザー基板上に複数の回路基板を形成する工程であり、前記特性評価工程は、前記複数の回路基板のそれぞれについて順次実行される。

【0012】

本発明の表示装置用基板において、前記複数の第1テスト端子は6つの第1テスト端子であって、前記抵抗テスト要素は、前記6つの第1テスト端子のうちの4つの第1テスト端子に接続されており、前記容量テスト要素は前記6つの第1テスト端子のうちの残りの2つの第1テスト端子に接続されている。

【0013】

本発明における「表示装置用基板」は、作製を意図する表示装置に適合する大きさを有する基板であり、典型的には、複数の表示装置用基板が形成されたマザー基板を所定の大きさに切断して作製される。

【0014】

本発明の測定システムは、本発明の表示装置用基板が備える複数のテスト要素の特性を測定するための測定システムであって、前記表示装置用基板における複数の第1テスト端子と同じパターンで配置された複数の接触部を有するプローブと、それぞれに複数の前記表示装置用基板が形成された複数のマザー基板を収納するカセットに付された情報を読み取る手段と、前記読取り手段によって読み取られた前記情報に基づいて、前記カセットから前記マザー基板を取り出す手段と、前記マザー基板上に未測定のテスト要素が存在するか否かを判断する第1判断手段と、前記第1判断手段によって未測定のテスト要素が存在すると判断された場合には、前記マザー基板のタイプに応じて、前記プローブを前記表示装置用基板上に設けられた未測定のテスト要素に対して相対的に移動させる手段と、前記テスト要素に接続された端子を含む複数のテスト端子と前記プローブの複数の前記接触部とを接触させ、前記テスト要素の特性の測定を行う手段と、前記第1判断手段によって未測定のテスト要素が存在しないと判断された場合には、前記カセットに未測定の前記マザー基板が収納されているか否かを判断する第2判断手段と、前記第2判断手段によって未測定の前記マザー基板が収納されていると判断された場合には、前記カセットから未測定の前記マザー基板を取り出す手段と、前記第2判断手段によって未測定のマザー基板が収納されていないと判断された場合には、未測定の前記カセットが存在するか否かを判断する第3判断手段と、前記第3判断手段によって未測定の前記カセットが存在すると判断された場合には、前記読取り手段による前記情報の読み取りが可能となるように、未測定の前記カセットを移動する手段と、を包含する。

【0015】

以下、作用を説明する。本発明の表示装置の製造方法において、表示装置回路を構成する回路要素の特性を評価するための複数のテスト要素のそれぞれは、少なくとも2つの互いに異なるタイプの表示装置に対して共通のパターンで配置された複数のテスト端子の少なくとも一部のテスト端子に接続されている。また、表示装置のタイプに関わらず、前記少なくとも一部のテスト端子に共通のプローブを接触させた状態で、前記複数のテスト要素の特性が測定される。したがって、この製造方法によれば、表示装置のタイプに関わらず、共通のプローブを用いて回路要素の特性を評価することができるので、表示装置のタイプごとにプローブを準備して、取り替える必要がなく、安価に、また作業効率良く、回路要素の特性を評価することができ、よって効率良く表示装置を製造することができる。

【0016】

また、回路基板は、それぞれが互いに異なる特性を評価するための少なくとも2つのテスト要素を含む第1テスト要素群を備えている。したがって、この製造方法によれば、共通のプローブを用いて、第1テスト要素群に含まれる少なくとも2つの異なる特性を評価することができる。

【0017】

さらに、回路基板は、それぞれが互いに異なる特性を評価するための少なくとも2つの

10

20

30

40

50

さらなるテスト要素を含む第2テスト要素群をさらに備えている。また、第2テスト要素群は、複数の第1テスト端子と同じパターンで配置された複数の第2テスト端子の少なくとも一部のテスト端子に接続されている。さらに、測定工程において、共通のプローブを複数の第1テスト端子の少なくとも一部のテスト端子に同時に接触させる工程と、共通のプローブを複数の第2テスト端子の少なくとも一部のテスト端子に同時に接触させる工程とが独立に実行される。したがって、この製造方法によれば、共通のプローブを用いて、第1テスト要素群および第2テスト要素群の各特性を測定することができるので、第1テスト要素群および第2テスト要素群の各特性の測定に際して、プローブを取り替える必要がなく、安価に、また作業効率良く、回路要素の特性を評価することができ、よって効率良く表示装置を製造することができる。また、この製造方法によれば、プローブを前記少なくとも一部のテスト端子に同時に接触させるので、第1テスト要素群および第2テスト要素群のそれぞれに含まれる、互いに異なる特性を評価するための少なくとも2つのテスト要素を一組として、それぞれ一回のプローブ接触操作で少なくとも2つのテスト要素の特性を測定することができる。

10

【0018】

また、第1テスト要素群は抵抗テスト要素および容量テスト要素を含んでいるので、回路要素の特性を効率良く評価することができる。特に、TFT基板やMIM基板などに対しては、抵抗だけでなく容量も測定する必要があるため、第1テスト要素群が抵抗テスト要素および容量テスト要素を含むことによって、抵抗および容量を効率良く測定することができる。

20

【0019】

さらに、抵抗テスト要素は、6つの第1テスト端子のうち4つの第1テスト端子に接続されており、容量テスト要素は6つの第1テスト端子のうち残りの2つの第1テスト端子に接続されている。したがって、この製造方法によれば、抵抗テスト要素が4つの第1テスト端子に接続されているので、4端子法によって抵抗測定の精度が向上する。抵抗テスト要素をTFTテスト要素に変更した場合であっても、4つの第1テスト端子のうち3つの第1テスト端子にTFTテスト要素を接続することによって、TFTテスト要素の特性の測定が可能となる。

【0020】

第1テスト端子の数を6つにする理由は、以下の利点があるからである。第1に、抵抗テスト要素を4つの第1テスト端子に接続することによって、メタルシート抵抗を精度良く測定することができる。つまり、4端子測定法によるメタルシート抵抗の測定が可能となるので、2端子を用いた測定よりもさらに正確にシート抵抗を測定することができる。

30

【0021】

第2に、抵抗テスト要素に接続された4つのテスト端子(以下、抵抗測定用端子ともいう。)に接触するプローブの接触部と、容量テスト要素に接続された2つのテスト端子(以下、容量測定用端子ともいう。)に接触するプローブの接触部とを分けることができるので、測定装置の複雑化や測定精度の低下を防ぐことができる。例えば、抵抗測定用端子に接触する4つの接触部を有するプローブを、2つの容量測定用端子に接触するプローブとして兼用した場合、抵抗測定と容量測定とのスイッチングが必要となり、測定装置が複雑になるばかりか、スイッチング装置を介在させることにより測定精度が低下するおそれがある。近年、表示装置の高精細化のニーズが高まっている状況下では、測定精度の低下は大きな問題となる。したがって、抵抗測定用端子に接触する4つの接触部と、容量測定用端子に接触する2つの接触部とがそれぞれ別々の6つの接触部を有するプローブを用いることが望ましいので、このプローブに接触する第1テスト端子の数も6つにすることが望ましい。

40

【0022】

第3に、4つの抵抗測定用端子に接触するプローブの4つの接触部を、TFTテスト要素を測定するための接触部として兼用することができる。TFTテスト要素は3つのテスト端子に接続されているので、TFT特性を測定するためには、少なくとも3つの接触部

50

を有するプローブが必要である。例えば、4つの接触部を有するプローブを用いて、TFT特性および容量を測定する場合、少なくとも1つの接触部を兼用する必要があるため、TFT特性の測定と容量測定とのスイッチングが必要となる。一方、TFT特性の測定と容量測定とのスイッチングを行なうことなく、TFT特性および容量を測定する場合、5つの接触部を有するプローブを用いることもできる。しかし、このプローブを用いて抵抗および容量の測定を行なう場合、抵抗測定用として3つの接触部しか割り当てることができないので、4端子測定法による抵抗測定ができない。したがって、スイッチングを行なうことなく、抵抗、容量およびTFT特性を精度良く測定するためには、少なくとも6つの接触部を有するプローブが必要になり、このプローブの接触部に接触するテスト端子も少なくとも6つ必要である。

10

【0023】

上記の利点から、4つの抵抗測定用端子と2つの容量測定用端子とを組み合わせた6つの第1テスト端子は、測定装置を複雑化することなく測定精度を向上させるための最小ユニットであると言える。

【0024】

上記(2)に記載の表示装置の製造方法において、回路基板は、それぞれが互いに異なる特性を評価するための少なくとも2つのさらなるテスト要素を含む第2テスト要素群をさらに備え、少なくとも2つのさらなるテスト要素は、さらなる抵抗テスト要素およびさらなる容量テスト要素である。また、第2テスト要素群は、複数の第1テスト端子と同じパターンで配置された複数の第2テスト端子に接続されている。したがって、この製造方法によれば、共通のプローブを用いて、第1テスト要素群および第2テスト要素群のそれぞれについて、少なくとも抵抗および容量の2つの異なる特性を評価することができる。

20

【0025】

抵抗テスト要素に接続された4つのテスト端子と、容量テスト要素に接続された2つのテスト端子とを組み合わせた最小ユニットで配置することによって、表示装置のタイプやサイズに関わらず、汎用的に特性を評価することができる。例えば、表示装置のサイズが小さい場合には、抵抗テスト要素と容量テスト要素とからなる必要最小限数のテスト要素群を構築する。また、各テスト要素群に含まれる両テスト要素に接続されたテスト端子の数をそれぞれ最小ユニットの6つにする。各テスト要素群に含まれる両テスト要素は、最小ユニットのテスト端子に接続された最小のテストユニットであるので、場所の制限を受けず、基板上の小さな領域でも形成することができる。表示装置のサイズが大きい場合には、テスト要素群の数を増加させることによって、さらに詳細な特性の評価が可能となる。

30

【0026】

上記(3)に記載の表示装置の製造方法における測定工程において、共通のプローブを複数の第1テスト端子に同時に接触させる工程と、共通のプローブを複数の第2テスト端子に同時に接触させる工程とが互いに独立に実行される。したがって、この製造方法によれば、プローブを前記少なくとも一部のテスト端子に同時に接触させるので、第1テスト要素群および第2テスト要素群のそれぞれに含まれる抵抗テスト要素および容量テスト要素を一組として、それぞれ一回のプローブ接触操作で、抵抗テスト要素および容量テスト要素の特性を測定することができる。

40

【0027】

上記(4)に記載の表示装置の製造方法において、回路要素の特性を評価する工程は、回路基板が少なくとも2つの互いに異なるタイプのうちのいずれであるかを特定する工程と、特定されたタイプに応じた測定条件情報および複数のテスト端子の配置情報を取得する工程と、取得された測定条件および配置情報に基づいて、共通のプローブを前記回路基板に対して相対的に移動させる工程と、を包含する。したがって、この製造方法によれば、異なるタイプの回路基板に対して共通のプローブを用いて連続的に回路要素の特性を評価することができる。

【0028】

50

上記(5)に記載の表示装置の製造方法において、回路基板作製工程は、マザー基板上に複数の回路基板を形成する工程であり、特性評価工程は、複数の回路基板のそれぞれについて順次実行される。したがって、この製造方法によれば、マザー基板上に形成された複数の回路基板に対して、共通のプロープを用いて特性評価工程を順次実行することができる。

【0029】

本発明の表示装置用基板において、複数のテスト要素は、それぞれが互いに隣接する抵抗テスト要素および容量テスト要素を含む第1テスト要素群および第2テスト要素群を少なくとも有する。第1テスト要素群は、所定のパターンで配置された複数の第1テスト端子の少なくとも一部に接続されており、第2テスト要素群は、複数の第1テスト端子と同じパターンで配置された複数の第2テスト端子の少なくとも一部に接続されている。したがって、この表示装置用基板によれば、第1テスト要素群および第2テスト要素群のそれぞれに含まれる抵抗テスト要素および容量テスト要素が互いに隣接するので、基板上のスペースまたは評価項目の優先性を考慮して、抵抗テスト要素および容量テスト要素を回路基板上に効率良く形成することができる。また、第1テスト端子と第2テスト端子とが同じパターンで配置されているので、第1テスト要素群および第2テスト要素群のそれぞれに含まれる抵抗テスト要素および容量テスト要素の各特性を共通のプロープを用いて測定することができる。

10

【0030】

上記の表示装置用基板において、抵抗テスト要素は、6つの第1テスト端子のうち4つの第1テスト端子に接続されており、容量テスト要素は6つの第1テスト端子のうち残りの2つの第1テスト端子に接続されている。したがって、この表示装置用基板によれば、抵抗テスト要素が4つの第1テスト端子に接続されているので、4端子法によって抵抗測定の精度が向上する。抵抗テスト要素をTFTテスト要素に変更した場合であっても、4つの第1テスト端子のうち3つの第1テスト端子にTFTテスト要素を接続することによって、TFTテスト要素の特性の測定が可能となる。

20

【0031】

抵抗テスト要素に接続された4つのテスト端子と、容量テスト要素に接続された2つのテスト端子とを組み合わせた最小ユニットで配置することによって、表示装置のタイプやサイズに関わらず、汎用的に特性を評価することができる。例えば、表示装置のサイズが小さい場合には、抵抗テスト要素と容量テスト要素とからなる必要最小限数のテスト要素群を構築する。また、各テスト要素群に含まれる両テスト要素に接続されたテスト端子の数をそれぞれ最小ユニットの6つにする。各テスト要素群に含まれる両テスト要素は、最小ユニットのテスト端子に接続された最小のテストユニットであるので、場所の制限を受けずに、基板上的小さな領域でも形成することができる。表示装置のサイズが大きい場合には、テスト要素群の数を増加させることによって、さらに詳細な特性の評価が可能となる。

30

【0032】

本発明の測定システムは、本発明の表示装置用基板が備える複数のテスト要素の特性を測定するための測定システムであるので、共通のプロープを用いた連続的な測定が可能となる。したがって、手動ではなく自動での測定が可能となり、生産効率を向上させることができる。

40

【0033】

【発明の実施の形態】

以下、図面を参照しながら、TFTを用いたアクティブマトリクス型液晶表示装置を例にして、本発明の実施形態を説明する。但し、本発明はTFT型以外の液晶表示装置、例えばMIMを用いたアクティブマトリクス型液晶表示装置に適用することができる。さらに本発明は液晶表示装置以外の表示装置、例えば有機ELを用いた表示装置などに適用することができる。

【0034】

50

(実施形態1)

図1(a)は、本発明による実施形態の表示装置用基板100を概略的に表した平面図である。ガラス基板などの絶縁性基板101上には、TFTを含む表示部102と、表示部102の周辺部に位置し、TFTに電圧を供給するための走査線および信号線の端子電極が設けられた領域103とを含む表示装置回路104が形成されている。

【0035】

絶縁性基板101上には、複数のテスト要素および複数のテスト端子から構成されるTEG105が形成されている。複数のテスト要素は、表示装置回路104を構成するTFTの特性を検査するための要素である。なお、図1(a)に示す表示装置用基板100は、典型的には、複数の表示装置用基板100が形成されたマザー基板(不図示)を所定の大きさに切断することによって作製される。

10

【0036】

TEG105は絶縁性基板101上に形成される表示装置回路104の大きさおよび配置を考慮して形成される。図1(b)は、TEG105が設けられていない状態の表示装置用基板100を概略的に表した平面図である。TEG105は、絶縁性基板101上の表示装置回路104が占有する領域以外の領域(以下、「空き領域」ともいう。)の一部に、一箇所にまとまってあるいは何箇所かに分離して形成することができる。図1(a)においては、絶縁性基板101上の空き領域の3箇所に分かれてTEG105が形成されている。

【0037】

20

図2は、液晶表示装置のパネルサイズと空き領域の面積との関係の一例を示すグラフである。図2に示されるように、液晶表示装置のパネルサイズが小さくなるに従って、空き領域の面積が急激に減少することが分かる。したがって、空き領域の面積を考慮して、テストすべき特性の項目数を調節し、テスト項目に対応したTEG105を設計する。例えば、空き領域の面積が狭い小型機種の場合には、最低限度しなければならない基本テスト項目を優先させて、基本テスト項目に対応するTEG105を配置し、さらに残りの空き領域の面積および残りのテスト項目の優先性を考慮して、残りのテスト項目に対応するTEG105を配置する。

【0038】

図3および図4は、TEGの例を示す平面図である。図3および図4に示すTEG105a, 105bを13のTEGブロックに分けて表1に示す。なお、記載の都合上、図3および図4に分けてTEG105a, 105bを表したが、図3および図4にそれぞれ記載されたTEG105a, 105bは絶縁性基板101上では一箇所にまとまって形成されており、図3のTEGブロック6に隣接して図4のTEGブロック7が配置される。

30

【0039】

各TEGブロックに含まれるテスト要素について、名称、測定目的、テスト項目、測定端子数、相対面積を同じく表1に記載する。表1中の「テスト要素の名称」の欄において、C2-1、C2-2などの「-」の前の記号が同じであって、「-」の次の数字のみが異なるものは、テスト項目は互いに同じであるが、テスト要素の要素部の面積が相対的に異なるものであることを表す。表1中の「GI」はゲート絶縁膜を表し、「AO」は陽極酸化膜を表す。なお、図面および以下の記載において、表1中の「テスト項目」の欄における「ゲートメタルシート抵抗」を単に「ゲートシート抵抗」と表すことがあり、「ソースITOシート抵抗」および「ソースメタルシート抵抗」を単に「ソースシート抵抗」と表すことがある。

40

【0040】

【表1】

TEG ブロック	テスト要素の名称	測定目的	テスト項目	測定端子数	相対面積
1	TFTテスト要素	TFT特性測定	TFT特性	3端子	
	C2-1	容量特性測定	ゲート絶縁膜容量	2端子	S2
2	Rc1-1	コンタクト抵抗測定	ドレイン/ゲート間コンタクト抵抗	4端子	S1
	C1-1	容量特性測定	ゲート絶縁膜(AO有り)容量	2端子	S2
3	Rc1-2	コンタクト抵抗測定	ドレイン/ゲート間コンタクト抵抗	4端子	2×S1
	C2-2	容量特性測定	ゲート絶縁膜容量	2端子	1/2×S2
4	Rc1-3	コンタクト抵抗測定	ドレイン/ゲート間コンタクト抵抗	4端子	1/4×S1
	C1-2	容量特性測定	ゲート絶縁膜(AO有り)容量	2端子	1/2×S2
5	Rs1	配線抵抗測定	ゲートメタルシート抵抗	4端子	
	C1-3	容量特性測定	ゲート絶縁膜(AO有り)容量	2端子	1/4×S2
6	Rs2	配線抵抗測定	ソースITOシート抵抗	4端子	
	C2-3	容量特性測定	ゲート絶縁膜容量	2端子	1/4×S2
7	Rs3	GI/AO ドライエッチ確認	ゲート残膜シート抵抗	4端子	
	C3-1	容量特性測定	保護膜容量	2端子	S2
8	Rs4	配線抵抗測定	ソースメタルシート抵抗	4端子	
	C4-3	容量特性測定	有機絶縁膜+保護膜の全容量	2端子	1/4×S2
9	Rc2-1	コンタクト抵抗測定	絵素電極/ドレイン間コンタクト抵抗	4端子	S1
	C4-1	容量特性測定	有機絶縁膜+保護膜の全容量	2端子	S2
10	Rc2-2	コンタクト抵抗測定	絵素電極/ドレイン間コンタクト抵抗	4端子	2×S1
	C4-2	容量特性測定	有機絶縁膜+保護膜の全容量	2端子	1/2×S2
11	Rc2-3	コンタクト抵抗測定	絵素電極/ドレイン間コンタクト抵抗	4端子	4×S1
	C3-2	容量特性測定	保護膜容量	2端子	1/2×S2
12	Rs5	配線抵抗測定	絵素電極シート抵抗	4端子	
	C3-3	容量特性測定	保護膜容量	2端子	1/4×S2
13	Rs6	配線抵抗測定	n ⁺ 膜シート抵抗	4端子	

10

20

30

40

【0041】

図3および図4に示したTEG105a, 105bにおいて、各TEGブロック1~12は、それぞれが互いに異なる特性を評価するための抵抗テスト要素(またはTFTテスト要素)および容量テスト要素を含むテスト要素群を備える。例えば、TEGブロック1は、TFTテスト要素および容量テスト要素(C2-1)を含む第1テスト要素群を備え、TEGブロック2は、抵抗テスト要素(Rc1-1)および容量テスト要素(C1-1)を含む第2テスト要素群を備える。但し、TEGブロック13は、抵抗テスト要素(Rs6)のみをテスト要素として含んでいる。

50

【 0 0 4 2 】

本実施形態においては、それぞれが互いに異なる特性を評価するための2つのテスト要素が各TEGブロック1～12に含まれているが、互いに異なる特性を評価するためのテスト要素は3つ以上含まれていても良い。各TEGブロック内における複数のテスト要素の配置は特に制限されない。

【 0 0 4 3 】

抵抗テスト要素と容量テスト要素とは、空き領域の有効活用の観点から、抵抗テスト要素および容量テスト要素の全体の面積が可及的に小さくなるように組み合わせるのが望ましい。例えば、抵抗テスト要素として、面積が小さいTEGブロック7のRs3(図4参照)を設ける場合には、容量テスト要素として、面積が大きいTEGブロック7のC3-1(図4参照)を組み合わせるの望ましい。但し、抵抗テスト要素に代えてTF Tテスト要素を設ける場合には、ゲート絶縁膜/陽極酸化膜間の容量を評価するためのテスト要素(TEGブロック2のC1-1など)を組み合わせることはできない。その理由は、TF Tテスト要素のゲート端子と、ゲート絶縁膜/陽極酸化膜間の容量テスト要素の1端子とが繋がってしまうからである。

【 0 0 4 4 】

本実施形態においては、13個のTEGブロックを絶縁性基板101上の空き領域に形成しているが、形成するTEGブロックの数を減少させて、一部のテスト要素を省略することができる。例えばTF Tテスト要素の特性を測定することによって、表示部102のTF T全体の性能を把握することができるので、 n^+ 膜シート抵抗などの細部の特性測定を省くことができる。表1に記載された13個のTEGブロックのうち、例えばTEGブロック3, 4, 10, 11および13は、他のTEGブロックによる特性測定で大まかに確認できるので、省略することができる。但し、絶縁性基板101上に十分な空き領域がある場合には、テスト要素を追加して、細部の検査をするのがより望ましい。

【 0 0 4 5 】

各TEGブロック1～12に含まれる抵抗テスト要素(またはTF Tテスト要素)および容量テスト要素は、それぞれが互いに隣接して配置されている。各TEGブロック1～13には、それぞれ6つのテスト端子が含まれており、各TEGブロック1～13に含まれる各テスト要素は、各TEGブロック1～13に含まれる6つのテスト端子の少なくとも一部に接続されている。各TEGブロック1～13に含まれる6つのテスト端子は、典型的には、抵抗テスト要素に接続される4つのテスト端子と、容量テスト要素に接続される2つのテスト端子とに大別される。なお、抵抗テスト要素に接続される4つのテスト端子のうち3つのテスト端子をTF Tテスト要素に接続することができる。

【 0 0 4 6 】

具体的にTEGブロック1および2について説明すると、TEGブロック1において、第1テスト要素群は複数の第1テスト端子106a～106fの一部に接続されている。すなわち、第1テスト要素群に含まれるTF Tテスト要素は6つの第1テスト端子106a～106fのうち3つのテスト端子106a, 106b, 106cに接続され、容量テスト要素(C2-1)は2つのテスト端子106e, 106fに接続されている。残りの1つのテスト端子106dはテスト要素に接続されていないダミーの端子である。

【 0 0 4 7 】

ダミーのテスト端子106dは、テスト要素の特性測定に関与するものではない。しかし、プローブの接触部(以下、ピンともいう。)が絶縁性基板101に直接接触した場合、絶縁性基板101上に形成された膜の種類によっては、表面を損傷することによる膜剥がれなどの不良が発生することがある。ダミーのテスト端子106dを絶縁性基板101上に設けることによって、かかる不良を防ぐことができる。

【 0 0 4 8 】

また、ダミーのテスト端子106dが絶縁性基板101上に設けられなかった場合には、テスト端子106a, 106b, 106c, 106e, 106fが設けられた箇所と、ダミーのテスト端子106dが設けられなかった箇所とで、形成膜の構成が異なり、絶縁

10

20

30

40

50

性基板 101 上の形成膜の高さが違ってくる。したがって、テスト端子 106a, 106b, 106c, 106e, 106f にプローブの接触部が接触した際に、プローブの接触部への負荷が過大となり、接触部が損傷するおそれもある。

【0049】

ダミーのテスト端子 106d を絶縁性基板 101 上に設けることによって、他のテスト端子 106a, 106b, 106c, 106e, 106f と高さを合わせることができる。したがって、均一な接触圧でプローブがテスト端子 106a ~ 106f に接触することができ、プローブの接触部の損傷を防ぐことができる。なお、TEGブロック 13 も、テスト要素に接続されていないダミーのテスト端子を 2 つ有する。

【0050】

TEGブロック 2 において、第 2 テスト要素群は複数の第 2 テスト端子 107a ~ 107f に接続されている。すなわち、第 2 テスト要素群に含まれる抵抗テスト要素 (Rc1-1) は 6 つの第 2 テスト端子 107a ~ 107f のうちの 4 つのテスト端子 107a, 107b, 107c, 107d に接続され、容量テスト要素 (C1-1) は残りの 2 つのテスト端子 107e, 107f に接続されている。

【0051】

抵抗テスト要素については 2 端子で測定することも可能であるが、抵抗テスト要素を 4 端子法で測定することによって、端子の接触抵抗などの付加抵抗が除かれ、バスライン抵抗およびコンタクト抵抗を正確に測定することができる。

【0052】

図 3 に示すように、TEGブロック 1 に含まれる複数の第 1 テスト端子 106a ~ 106f と、TEGブロック 2 に含まれる複数の第 2 テスト端子 107a ~ 107f とは、いずれも同じピッチで列をなして配置されており、同じパターンで配置されている。また、他の TEGブロック 3 ~ 13 についても、第 1 テスト端子 106a ~ 106f と同じパターンでそれぞれ 6 つのテスト端子が配置されている。

【0053】

各 TEGブロックに含まれるテスト端子は、各 TEGブロックの相互間において、同じパターンで配置されていれば良く、1 つの TEGブロック内における各テスト端子間のピッチおよび位置は特に制限されない。例えば、TEGブロック 1 において、テスト端子 106a とこれに隣接するテスト端子 106b との間のピッチが、テスト端子 106b とこれに隣接するテスト端子 106c との間のピッチと異なっても良い。また、TEGブロック 1 内のテスト端子 106a ~ 106f は、複数の列をなしていてもよい。さらに、TEGブロック 1 内のテスト端子 106a ~ 106f の配列は、千鳥配列などの規則的な配列、散点などの不規則な配列であってもよい。

【0054】

本実施形態において各 TEGブロックに含まれるテスト端子の数が 6 個であり、プローブによる測定を 6 端子毎に行なうことができるので、各 TEGブロックに含まれるテスト端子の数が数十個の場合に比して、プローブのピンとテスト端子との位置ずれによる接触不良が起こり難いという利点がある。すなわち、テスト端子の数が多ければ多いほど、プローブのピンとテスト端子との位置合わせが困難となり、プローブがテスト端子に対して若干ずれて接触すると、プローブの一部のピンがテスト端子に接触せずに、接触不良を生じるおそれがある。本実施形態において各 TEGブロックに含まれるテスト端子の数が比較的少なく、各 TEGブロック毎にプローブとテスト端子とを接触させて測定を行なうことができるので、プローブのピンとテスト端子との位置合わせが容易であり、プローブがテスト端子に対して若干ずれても、プローブのピンとテスト端子との接触不良が生じ難い。

【0055】

次に、図 3 および図 4 に示した TEGブロック 1 ~ 13 に含まれるテスト要素と、表示部 102 の TFT202 との関係について、図 5 および図 6 を参照しながら説明する。図 5 は TFT202 の一絵素に相当する部分を模式的に示す平面図であり、図 6 は図 5 に示

10

20

30

40

50

す T F T 2 0 2 の等価回路を示す図である。

【 0 0 5 6 】

絶縁性基板 1 0 1 上には、互いに平行な複数の走査線（ゲートバスライン）2 0 4 b と、走査線 2 0 4 b に交差し、互いに平行な複数の信号線（ソースバスライン）2 0 6 b とが設けられており、走査線 2 0 4 b と信号線 2 0 6 b とがそれぞれ交差する付近に複数の T F T 2 0 2 が形成されている。すなわち、絶縁性基板 1 0 1 上には、走査線 2 0 4 b と電氣的に接続されたゲート電極 2 0 4 a および $S i N_x$, $S i O_2$, $T a_2 O_5$ などからなるゲート絶縁膜が順次形成されており、ゲート絶縁膜上に i - S i などからなる半導体膜が形成されている。なお、一般に走査線とゲート電極とは、T a N（上層）/ T a（中層）/ T a N（下層）の 3 層膜などから一体に形成される。半導体膜上には、信号線 2 0 6 b と電氣的に接続されたソース電極 2 0 6 a および I T O 膜などからなるドレイン電極 2 0 8 a が形成され、T F T 2 0 2 が構成されている。なお、一般に信号線とソース電極とは、I T O 膜などから一体に形成される。表示部 1 0 2 の T F T 2 0 2 は、スパッタリング、ドライエッチングなどの公知の手法によって作製することができる。

10

【 0 0 5 7 】

この T F T 2 0 2 上には、絵素全面を覆う、アクリル系樹脂などからなる有機絶縁膜が形成されており、有機絶縁膜上には I T O 膜などからなる絵素電極 2 1 0 d が形成されている。なお、有機絶縁膜上に絵素電極が形成された表示装置は、例えば特開平 9 - 1 5 2 6 2 5 号公報に開示されている。

【 0 0 5 8 】

絵素電極 2 1 0 d は、有機絶縁膜に設けられたコンタクトホール 2 1 2 内で、ドレイン電極 2 0 8 a と互いに電氣的に接続されている。コンタクトホール 2 1 2 近傍のドレイン電極 2 0 8 a は、走査線 2 0 4 b に平行な矩形をなしている。このドレイン電極 2 0 8 a の矩形部付近の絶縁性基板 1 0 1 上には、ゲート絶縁膜を挟んで補助容量配線 2 1 4 が走査線 2 0 4 b と平行に設けられている。補助容量配線 2 1 4 は、典型的には、走査線 2 0 4 b およびゲート電極 2 0 4 a と同じ膜から形成される。走査線 2 0 4 b および信号線 2 0 6 b はゲート外部端子 2 1 6 およびソース外部端子 2 1 8 とそれぞれ電氣的に接続されており、ゲート外部端子 2 1 6 およびソース外部端子 2 1 8 を介して走査回路およびホールド回路（いずれも図示せず）にそれぞれ接続されている。

20

【 0 0 5 9 】

ゲート外部端子 2 1 6 は、例えば以下の工程を経て形成される。走査線 2 0 4 b のゲートシート上にゲート絶縁膜を形成し、ドライエッチングなどによってゲート絶縁膜にスルーホールを形成する。さらに、ゲート絶縁膜上に I T O 膜などからなる透明電極を形成して、スルーホール内にて、ゲートシートと透明電極とを接続する。なお、ゲートシートは、T a N（上層）/ T a（中層）/ T a N（下層）の 3 層膜と、この 3 層膜を覆う陽極酸化膜とから構成されており、ドライエッチングなどによってゲート絶縁膜にスルーホールを形成する際に、陽極酸化膜およびゲートシート上層の T a N 膜を除去する。このとき、ゲートシート中層の T a 膜まで除去されることがあり、ゲートシート中層の T a 膜が全て除去されると、透明電極との接触不良が生じるおそれがある。本実施形態においては、スルーホールを形成する際に残存するゲートシート中層の T a 膜の抵抗を測定するために、ゲート残膜シート抵抗をテスト項目とする抵抗テスト要素（表 1 中の R s 3）が設けられている。

30

【 0 0 6 0 】

図 6 に示した等価回路の A ~ M における特性項目が、表 1 に記載されたテスト要素のいずれに相当するかを下記の表 2 に示す。

40

【 0 0 6 1 】

【表 2】

	テ ス ト 項 目	テスト要素の名称
A	TFT特性	TFTテスト要素
B, C	ゲート絶縁膜 (AO有り) 容量 (ゲート/ソース間容量)	C 1 (C 2)
D	ゲート絶縁膜 (AO有り) 容量 (ゲート/ドレイン間容量)	C 1 (C 2)
E	保護膜+有機絶縁膜の全容量 (ソース/ドレイン間容量)	C 4 (C 3)
F	ゲート絶縁膜 (AO有り) +保護膜+有機 絶縁膜の全容量 (ゲート/ドレイン間容量)	C 1, C 2, C 3, C 4
G	ドレイン/ゲート間コンタクト抵抗	R c 1
H	絵素電極/ドレイン間コンタクト抵抗	R c 2
I	ゲートシート抵抗	R s 1
J	ソースシート抵抗	R s 2, R s 4
K	ゲート残膜シート抵抗	R s 3
L	絵素電極シート抵抗	R s 5
M	n ⁺ 膜シート抵抗	R s 6

10

20

【 0 0 6 2 】

本実施形態における表示部 1 0 2 の TFT 2 0 2 は、大略的に、ゲート電極の形成 (工程 1)、ゲート絶縁膜の形成ならびに半導体膜の形成およびパターニング (工程 2)、ゲート絶縁膜のパターニング (工程 3)、ソース電極およびドレイン電極の形成ならびにパターニング (工程 4)、 SiN_x , SiO_2 , Ta_2O_5 などからなる保護膜の形成およびパターニング (工程 5)、有機絶縁膜の形成およびパターニング (工程 6)、絵素電極の形成およびパターニング (工程 7) の各工程を経て形成される。表 1 に記載の各テスト要素および各テスト端子は、表示部 1 0 2 の TFT 2 0 2 の製造プロセスを経て、表示部 1 0 2 の TFT 2 0 2 と共に形成される。したがって、回路要素の特性を評価するためのコストの上昇を抑えることができる。

30

【 0 0 6 3 】

図 7 に基づいて、表 1 に記載された TFT テスト要素を例にして、テスト要素の形成方法を説明する。なお、以下の説明において、表示部 1 0 2 の TFT 2 0 2 を形成する各膜について付された参照符号と数字が同じものは、その参照符号が付された膜と同じ膜から形成されるものであることを表す。

【 0 0 6 4 】

図 7 は、表 1 に記載の TFT テスト要素の製造工程を示す図であり、右列は平面図を、左列は平面図における X - Y 線断面図をそれぞれ表す。図 7 においては、表示装置回路 1 0 4 の TFT 2 0 2 を形成するための各工程の時系列と対比するために、上記の TFT 2 0 2 の工程番号を付している。

40

【 0 0 6 5 】

表示部 1 0 2 の TFT 2 0 2 のゲート電極 2 0 4 a と同じ膜から、TFT テスト要素のゲートシート 2 0 4 を形成する (工程 1)。ゲートシート 2 0 4 上にゲート絶縁膜 2 0 1 および半導体膜 2 0 3 を形成し、半導体膜 2 0 3 のパターニングを行なう (工程 2)。ゲート絶縁膜 2 0 1 のパターニング後 (工程 3)、ソースシート 2 0 6 およびドレインシート 2 0 8 を形成し、パターニングを行なう (工程 4)。パターニングされたゲートシート 2 0 4、ソースシート 2 0 6 およびドレインシート 2 0 8 のほぼ全面を覆う保護膜 2 0 5

50

を形成し、パターンングを行なった後（工程５）、さらに有機絶縁膜２０７を形成する（工程６）。表示部１０２における絵素電極２１０dの形成とともに、テスト端子１０６a、１０６b、１０６cの電極２１０a、２１０b、２１０cをゲートシート２０４、ドレインシート２０８およびソースシート２０６のそれぞれに接続する（工程７）。

【００６６】

図７に示されたTF Tテスト要素は、測定対象である要素部P（半導体膜２０３付近）と、要素部Pとテスト端子１０６a、１０６b、１０６cの電極２１０a、２１０b、２１０cとをそれぞれ接続する配線部W - a、W - b、W - cと、を備えている。

【００６７】

なお、ゲートシート２０４を陽極酸化するために、ゲートシート２０４に接続される電極２１０aは、表示部１０２のTF T 202のゲート電極２０４aと同じ膜から形成された短絡線２０９に接続されている。これに対して、ソースシート２０６およびドレインシート２０８のそれぞれに接続する電極２１０c、２１０bは、ゲートシート２０４との短絡を避けるために、短絡線２０９と接続されていない。

【００６８】

図８および図９は、表１に示した各抵抗テスト要素の平面図（右列）および平面図におけるX - Y線断面図（左列）である。図８（a）はゲートシート抵抗テスト要素（表１におけるRs 1）を、図８（b）はソース（ドレイン）シート抵抗テスト要素（表１におけるRs 2、Rs 4）を、図８（c）はゲート残膜シート抵抗テスト要素（表１におけるRs 3）を、それぞれ表す。図９（a）は絵素電極シート抵抗テスト要素（表１におけるRs 5）を、図９（b）はn⁺膜シート抵抗テスト要素（表１におけるRs 6）を、図９（c）はドレイン/ゲート間コンタクト抵抗テスト要素（表１におけるRc 1）を、図９（d）は絵素電極/ドレイン間コンタクト抵抗テスト要素（表１におけるRc 2）を、それぞれ表す。なお、図８および図９において各抵抗テスト要素に接続されるテスト端子の記載は省略する。

【００６９】

図８および図９に示された各抵抗テスト要素は、測定対象である要素部Pと、要素部Pと４つのテスト端子とをそれぞれ接続する配線部W - a、W - b、W - c、W - dと、を備えている。図８（a）、（b）、（c）および図９（a）、（b）に記載された各シート抵抗要素（Rs 1 ~ Rs 6）における要素部Pは、４つの配線部W - a、W - b、W - c、W - dに接続された矩形部分のうち２つの配線部W - b、W - c間の部分である。また、図９（c）、（d）に記載された各コンタクト抵抗テスト要素（Rc 1、Rc 2）における要素部Pは、ドレインシート２０８とゲートシート２０４とが接触する部分、または絵素電極シート２１０とドレインシート２０８とが接触する部分である。

【００７０】

図８および図９に示した各抵抗テスト要素は、TF Tテスト要素の場合と同様に、表示部１０２のTF T 202を形成するための各工程を経て形成される。例えばゲートシート抵抗テスト要素（表１におけるRs 1）は、表示部１０２のTF T 202のゲート電極２０４aと同じ膜から形成され、TF T 202のゲート電極２０４aの形成とともに形成される。また、ドレイン/ゲート間コンタクト抵抗テスト要素（表１におけるRc 1）は、ゲートシート２０４を覆うゲート絶縁膜２０１を形成した後、ゲートシート２０４にコンタクトするためのスルーホールをゲート絶縁膜２０１に形成し、その後ドレインシート２０８をゲート絶縁膜２０１上に形成することによって作製される。

【００７１】

ゲートシート２０４およびドレインシート２０８は、それぞれ４つのテスト端子に接続されており、４つのテスト端子のうち２つのテスト端子は電流印加用の端子として用いられ、残りの２つのテスト端子は電圧測定用の端子として用いられる。さらに、絵素電極/ドレイン間コンタクト抵抗テスト要素（表１におけるRc 2）は、有機絶縁膜２０７および保護膜２０５にスルーホールを形成し、その後有機絶縁膜２０７上に絵素電極シート２１０を形成して、スルーホール内で絵素電極シート２１０をドレインシート２０８にコ

10

20

30

40

50

ンタクトさせることによって作製される。ドレインシート208および絵素電極シート210は、電流印加用および電圧測定用の端子として用いるための2つのテスト端子にそれぞれに接続される。

【0072】

図10は、容量テスト要素の平面図(右列)および平面図におけるX-Y線断面図(左列)であり、図10(a)はゲート絶縁膜容量テスト要素(陽極酸化膜有り、表1におけるC1)を、図10(b)はゲート絶縁膜容量テスト要素(表1におけるC2)を、図10(c)は保護膜容量テスト要素(表1におけるC3)を、図10(d)は保護膜および有機絶縁膜の全容量テスト要素(表1におけるC4)を、図10(e)は有機絶縁膜容量テスト要素を、それぞれ表す。なお、図10において各容量テスト要素に接続されるテスト端子の記載は省略する。

10

【0073】

図10(e)に示した有機絶縁膜容量テスト要素は、本実施形態においては省略されている(表1参照)。本実施形態において有機絶縁膜容量テスト要素を省略した理由は、図10(c)に示した保護膜容量テスト要素(表1におけるC3)ならびに図10(d)に示した保護膜および有機絶縁膜の全容量テスト要素(表1におけるC4)の各測定結果から、有機絶縁膜容量を算出することができるからである。但し、本発明において有機絶縁膜容量テスト要素を絶縁性基板101上に設けることは排除されず、保護膜容量テスト要素(表1におけるC3)または保護膜および有機絶縁膜の全容量テスト要素(表1におけるC4)に代えて、また保護膜容量テスト要素(表1におけるC3)ならびに保護膜および有機絶縁膜の全容量テスト要素(表1におけるC4)とともに、有機絶縁膜容量テスト要素を設けても良い。

20

【0074】

図10に示された各容量テスト要素は、測定対象である要素部Pと、要素部Pと2つのテスト端子とをそれぞれ接続する配線部W-e, W-fと、を備えている。各容量テスト要素における要素部Pは、2つのテスト端子にそれぞれ接続された2つのシートによって挟まれた部分である。

【0075】

図10に示した各容量テスト要素は、TF Tテスト要素の場合と同様に、表示部102のTF T202を形成するための各工程を経て形成される。例えばゲート絶縁膜容量テスト要素(表1におけるC1, C2)については、ゲートシート204の形成、パターンングおよびシリコンナイトライド膜などのゲート絶縁膜201の形成を行なう。ゲートシート204およびゲート絶縁膜201上にソースシート206(またはドレインシート208)を形成、パターンングして、ゲート絶縁膜201をゲートシート204およびソースシート206(またはドレインシート208)で挟み込むことによって、一定面積のゲート絶縁膜容量テスト要素が形成される。ゲートシート204とゲート絶縁膜201との間に陽極酸化膜211が介在するゲート絶縁膜容量テスト要素(表1におけるC1)の場合には、ゲートシート204を短絡線209と接続して、ゲートシート204を陽極酸化する。

30

【0076】

保護膜容量テスト要素(表1におけるC3)、保護膜および有機絶縁膜の全容量テスト要素(表1におけるC4)ならびに有機絶縁膜容量テスト要素については、ソースシート206(またはドレインシート208)を形成、パターンングした後、容量測定に必要な保護膜205および/または有機絶縁膜207以外の絶縁膜をパターンングにより除去する。保護膜205または有機絶縁膜207上に絵素電極シート210を形成、パターンングして、保護膜205および/または有機絶縁膜207をソースシート206(またはドレインシート208)と絵素電極シート210とで挟み込むことによって、一定面積の各種絶縁膜容量テスト要素が形成される。ゲートシート204、ソースシート206(またはドレインシート208)および絵素電極シート210は、1つのテスト端子にそれぞれ接続される。

40

50

【 0 0 7 7 】

次に、テスト要素に接続されるテスト端子について説明する。本実施形態におけるテスト端子には、ゲートシート204に接続されるテスト端子、ソースシート206（またはドレインシート208）に接続されるテスト端子、絵素電極シート210に接続されるテスト端子、 n^+ 膜シートに接続されるテスト端子が含まれる。まず、ゲートシート204に接続されるテスト端子について説明する。

【 0 0 7 8 】

ゲートシート204を含むテスト要素としては、TFTテスト要素、ゲートシート抵抗テスト要素（表1における R_{s1} ）、ゲート絶縁膜容量テスト要素（表1における C_1 、 C_2 ）、ドレイン/ゲート間コンタクト抵抗テスト要素（表1における R_{c1} ）などがある。ゲートシート204を含むテスト要素に接続されるテスト端子の形成方法は、走査線（ゲートバスライン）204bのゲート外部端子216の形成方法と同様である。すなわち、ゲートシート204のパターニング後にゲート絶縁膜201および有機絶縁膜207を形成し、プローブの接触部が接触する箇所のゲート絶縁膜201および有機絶縁膜207にスルーホールを形成して、ゲートシート204の一部を露出させる。露出したゲートシート204に接続するITOなどの電極を有機絶縁膜207上に形成する。より具体的に説明するために、図7に示したTFTテスト要素を例に挙げて、ゲートシート204に接続されるテスト端子106aの説明を行なう。なお、図11～図14においては、表示部102のTFT202を形成するための各工程の時系列と対比するために、TFT202の製造工程の番号を付している。

【 0 0 7 9 】

図11は、図7に示したTFTテスト要素のゲートシート204に接続されるテスト端子106aの製造工程を示す図であり、右列は平面図を、左列は平面図におけるX-Y線断面図をそれぞれ表す。

【 0 0 8 0 】

まず、TFTテスト要素の要素部におけるゲートシート204のパターニングとともに、TFTテスト要素の要素部から延長されたゲートシート204をパターニングする（工程1）。ゲートシート204上にゲート絶縁膜201を形成した後（工程2）、ゲート絶縁膜201のパターニングを行なって、ゲート絶縁膜201にスルーホールを形成する（工程3）。TFTテスト要素から分断されたソースシート206（またはドレインシート208）の形成、パターニングを行なった後（工程4）、ソースシート206（またはドレインシート208）の一部が露出する保護膜205を形成、パターニングする（工程5）。有機絶縁膜207の形成、パターニングを行なった後（工程6）、電極210aを有機絶縁膜207上に形成して、ソースシート206（またはドレインシート208）の露出部に電極210aを接続させる（工程7）。

【 0 0 8 1 】

次に、図7に示したTFTテスト要素を例に挙げて、ソースシート206（またはドレインシート208）に接続されるテスト端子106b（または106c）の説明を行なう。図12は、図7に示したTFTテスト要素のソースシート206（またはドレインシート208）に接続されるテスト端子106b（または106c）の製造工程を示す図であり、右列は平面図を、左列は平面図におけるX-Y線断面図をそれぞれ表す。

【 0 0 8 2 】

まず、TFTテスト要素および短絡線209から分断されたゲートシート204の形成、パターニングを行なった後（工程1）、ゲートシート204上にゲート絶縁膜201を形成する（工程2）。ゲート絶縁膜201のパターニングを行なって、ゲート絶縁膜201にスルーホールを形成する（工程3）。TFTテスト要素の要素部から延長されたソースシート206（またはドレインシート208）の形成、パターニングを行なった後（工程4）、ソースシート206（またはドレインシート208）の一部が露出する保護膜205を形成し、パターニングする（工程5）。有機絶縁膜207の形成、パターニングを行なった後（工程6）、電極210b（または210c）を有機絶縁膜207上に形成し

て、ソースシート206（またはドレインシート208）の露出部に電極210b（または210c）を接続させる（工程7）。

【0083】

次に、絵素電極シート210に接続されるテスト端子の製造方法について説明する。なお、絵素電極シート210を含むテスト要素としては、表1中のRc2およびRs5の抵抗テスト要素が挙げられる。

【0084】

図13は、絵素電極シート210に接続されるテスト端子の製造工程を示す図であり、右列は平面図を、左列は平面図におけるX-Y線断面図をそれぞれ表す。

【0085】

まず、短絡線209から分断されたゲートシート204の形成、パターニングを行なった後（工程1）、ゲートシート204上にゲート絶縁膜201を形成し、パターニングを行なって、ゲート絶縁膜201にスルーホールを形成する（工程2,3）。テスト要素から分断されたソースシート206（またはドレインシート208）の形成、パターニングを行なった後（工程4）、ソースシート206（またはドレインシート208）の一部が露出する保護膜205を形成し、パターニングする（工程5）。有機絶縁膜207の形成、パターニングを行なった後（工程6）、テスト要素の絵素電極シート210の要素部から延長された電極210を有機絶縁膜207上に形成して、ソースシート206（またはドレインシート208）の露出部に電極210を接続させる（工程7）。

【0086】

次に、 n^+ 膜シートに接続されるテスト端子の製造方法について説明する。なお、 n^+ 膜シートを含むテスト要素としては、表1中のRs6が挙げられる。

【0087】

図14は、 n^+ 膜シートに接続されるテスト端子の製造工程を示す図であり、右列は平面図を、左列は平面図におけるX-Y線断面図をそれぞれ表す。

【0088】

まず、ゲート絶縁膜201を形成し、テスト要素の n^+ 膜シート（半導体膜203）の要素部から延長された半導体膜203を形成し、パターニングする（工程1,2,3）。半導体膜203上にソースシート206（またはドレインシート208）の形成、パターニングを行なった後（工程4）、ソースシート206（またはドレインシート208）の一部が露出する保護膜205を形成し、パターニングする（工程5）。有機絶縁膜207の形成、パターニングを行なった後（工程6）、電極210を有機絶縁膜207上に形成して、ソースシート206（またはドレインシート208）の露出部に電極210を接続させる（工程7）。

【0089】

（実施形態2）

本実施形態においては、実施形態1の表示装置用基板100とはタイプの異なる表示装置用基板として、TFT上に有機絶縁膜が設けられていない表示装置用基板について説明する。本実施形態においては、下記の表3に示すTEGブロック21~24が絶縁性基板101上に設けられている。なお、下記の表4に示す如くTEGブロックを追加することもできる。

【0090】

【表3】

10

20

30

40

TEG ブロック	テスト要素の名称	測定目的	テスト項目	測定端子数	相対面積
2 1	TFTテスト要素	TFT特性測定	TFT特性	3端子	S 2
	C 2-1	容量特性測定	ゲート絶縁膜容量	2端子	
2 2	Rc1-1	コンタクト抵抗測定	ドレイン/ゲート間コンタクト抵抗	4端子	S 1
	C1-1	容量特性測定	ゲート絶縁膜 (AO有り) 容量	2端子	S 2
2 3	Rs1	配線抵抗測定	ゲートメタルシート抵抗	4端子	1/4 × S 2
	C1-3	容量特性測定	ゲート絶縁膜 (AO有り) 容量	2端子	
2 4	Rs2	配線抵抗測定	ソースITOシート抵抗	4端子	1/4 × S 2
	C2-3	容量特性測定	ゲート絶縁膜容量	2端子	

【 0 0 9 1 】

【 表 4 】

10

20

30

40

TEG ブロック	テスト要素の名称	測定目的	テスト項目	測定端子数	相対面積
1	TF Tテスト要素	TF T特性測定	TF T特性	3端子	S2
	C2-1	容量特性測定	ゲート絶縁膜容量	2端子	
2	Rc1-1	コンタクト抵抗測定	ドレイン/ゲート間コンタクト抵抗	4端子	S1
	C1-1	容量特性測定	ゲート絶縁膜 (AO有り) 容量	2端子	S2
3	Rc1-2	コンタクト抵抗測定	ドレイン/ゲート間コンタクト抵抗	4端子	2×S1
	C2-2	容量特性測定	ゲート絶縁膜容量	2端子	1/2×S2
4	Rc1-3	コンタクト抵抗測定	ドレイン/ゲート間コンタクト抵抗	4端子	1/4×S1
	C1-2	容量特性測定	ゲート絶縁膜 (AO有り) 容量	2端子	1/2×S2
5	Rs1	配線抵抗測定	ゲートメタルシート抵抗	4端子	1/4×S2
	C1-3	容量特性測定	ゲート絶縁膜 (AO有り) 容量	2端子	
6	Rs2	配線抵抗測定	ソースITOシート抵抗	4端子	1/4×S2
	C2-3	容量特性測定	ゲート絶縁膜容量	2端子	
7	Rs3	GI/AO ドライエッチ確認	ゲート残膜シート抵抗	4端子	
8	Rs4	配線抵抗測定	ソースメタルシート抵抗	4端子	
9	Rs6	配線抵抗測定	n ⁺ 膜シート抵抗	4端子	

10

20

30

40

【0092】

図15は、絶縁性基板101上に形成された、表3に記載のTEGブロック21~24の平面図である。各TEGブロック21~24に含まれる抵抗テスト要素(またはTF Tテスト要素)および容量テスト要素は、それぞれが互いに隣接して配置されている。図15に記載されたテスト要素のうちC1-1、C1-3、C2-1およびC2-3の各容量テスト要素については、表1に記載された同じ名称のものと構造が同じである。また、Rc1-1、Rs1およびRs2の各抵抗テスト要素ならびにTF Tテスト要素については、有機絶縁膜207がない点を除けば、表1に記載された同じ名称のものと構造が同じである。すなわち、Rc1-1、Rs1およびRs2の各抵抗テスト要素は、それぞれ図9

50

(c)、図8(a)および図8(b)に示す各図において有機絶縁膜207を有しない構造を有している。また、TFTテスト要素は、図7の工程5に示す構造を有している。図15に記載された各テスト要素の断面図、各テスト要素の要素部および配線部、各テスト要素の製造法についての詳細な説明を省略する。なお、表1に記載された抵抗テスト要素および容量テスト要素のうち、Rc2、Rs3、Rs4、Rs5の各抵抗テスト要素、C3、C4の各容量テスト要素は表3に記載されていない。

【0093】

図15に記載された各TEGブロック21~24には、それぞれ6つのテスト端子が含まれており、各TEGブロック21~24に含まれる各テスト要素は、各TEGブロック21~24に含まれる6つのテスト端子の少なくとも一部に接続されている。

10

【0094】

具体的にTEGブロック21および22について説明すると、TEGブロック21においてTFTテスト要素は6つのテスト端子301a~301fのうちの3つのテスト端子301a, 301b, 301cにそれぞれ接続され、容量テスト要素(C2-1)は2つのテスト端子301e, 301fにそれぞれ接続されている。残りの1つのテスト端子301dはテスト要素に接続されていないダミーの端子である。

【0095】

TEGブロック22において抵抗テスト要素(Rc1-1)は6つのテスト端子302a~302fのうちの4つのテスト端子302a, 302b, 302c, 302dにそれぞれ接続され、容量テスト要素(C1-1)は残りの2つのテスト端子302e, 302fにそれぞれ接続されている。

20

【0096】

図15に示すように、TEGブロック21に含まれる複数のテスト端子301a~301fと、TEGブロック22に含まれる複数のテスト端子302a~302fとは、いずれも同じピッチで列をなして配置されており、同じパターンで配置されている。また、他のTEGブロック23および24についても、TEGブロック21のテスト端子301a~301fと同じパターンでそれぞれ6つのテスト端子が配置されている。さらに、各TEGブロック21~24に含まれるテスト端子は、実施形態1における各TEGブロック1~13に含まれるテスト端子と同じパターンで配置されている。

【0097】

30

次に、上記実施形態1および2において説明した各TEGブロックに含まれるテスト要素の特性測定方法について説明する。テスト要素は、TFTテスト要素、抵抗テスト要素、容量テスト要素に大別され、さらに抵抗テスト要素は、配線(シート)抵抗テスト要素、コンタクト抵抗テスト要素に大別される。以下、TFTテスト要素、配線(シート)抵抗テスト要素、コンタクト抵抗テスト要素、容量テスト要素の順に各特性の測定方法について説明する。

【0098】

〔TFTテスト要素のTFT特性測定、図3のTEGブロック1のTFTテスト要素参照〕

ゲートシート204に接続されたテスト端子106aおよびソースシート206に接続されたテスト端子106cに一定値の電圧を印加し、ゲートシート204に印加する電圧をスイープしながら、ソースシート206とドレインシート208との間の要素部P(図7の工程7参照)に流れる電流を測定する。例えばソース電圧として10Vを印加し、ゲート電圧として-20Vから20Vにスイープして印加する。

40

【0099】

〔配線(シート)抵抗テスト要素の抵抗測定、図3のTEGブロック5のRs1参照〕
抵抗テスト要素(Rs1)に接続された4つのテスト端子108a, 108b, 108c, 108dのうちの2つのテスト端子108a, 108dに、一定電流、例えば0.1mAを印加する。内側の2つのテスト端子108b, 108cから電圧を測定して、Rs1の配線(シート)抵抗を測定する。配線(シート)抵抗テスト要素は、4端子測定法に

50

よって測定したいメタルシートの部分のみの抵抗を測定することができる。例えば、抵抗テスト要素（ R_{s1} ）の要素部P（図8（a）参照）の面積が測定したいゲートメタルシートの面積の4倍である場合には、測定値を4で除することによって、メタルシート抵抗（単位： Ω ）を求めることができる。

【0100】

〔コンタクト抵抗テスト要素の抵抗測定、図3のTEGブロック2の R_{c1-1} 参照〕
 コンタクト抵抗テスト要素（ R_{c1-1} ）に接続された4つのテスト端子107a, 107b, 107c, 107dのうちの2つのテスト端子107a, 107dに一定電流、例えば0.1mAを印加して、残りの2つのテスト端子107b, 107cから電圧を測定することによって、ドレイン/ゲート間コンタクト抵抗テスト要素の要素部P（図9（c）参照）の抵抗と、2種類のメタルシート（ドレインおよびゲートシート）抵抗との全抵抗が求められる。さらに、2種類のメタルシート（ドレインおよびゲートシート）抵抗を上述の方法により測定することによって、ドレイン/ゲート間コンタクト抵抗テスト要素の要素部Pの抵抗のみを求めることができる。

10

【0101】

また、要素部の面積の異なる同じ特性を測定するためのコンタクト抵抗テスト要素を用いて、コンタクト抵抗を同様の方法で測定することができる。例えば、TEGブロック2の R_{c1-1} とTEGブロック3の R_{c1-2} とは、いずれもドレイン/ゲート間コンタクト抵抗を測定するためのコンタクト抵抗テスト要素であるが、 R_{c1-2} の要素部Pの面積は R_{c1-1} の要素部Pの面積の2倍であり（表1参照）、これらコンタクト抵抗テスト要素の抵抗値からコンタクト抵抗を測定することができる。メタルシート抵抗を一定にしておけば、図16（a）に示すように抵抗値は、コンタクト面積（要素部Pの面積）の逆数に比例するので（ $y = a_1 x + b_1$ の関係）、回帰係数を算出して傾き a_1 を求めることによって、この傾き a_1 をコンタクト抵抗（単位： $\Omega \cdot \mu m^2$ ）として求めることができる。

20

【0102】

〔容量テスト要素の容量測定、図3のTEGブロック1の C_{2-1} 参照〕
 容量テスト要素（ C_{2-1} ）に接続された2つのテスト端子106e, 106fに一定電圧、例えば10Vを印加して、これらテスト端子106e, 106fから容量を測定する。ゲート絶縁膜201を上下で挟み込んだメタルシート（ゲートシート204およびソースまたはドレインシート206, 208）の要素部P（図10（b）参照）の面積（ S_2 ）で容量値を除することによって、ゲート絶縁膜容量（単位： $pF / \mu m^2$ ）を求めることができる。

30

【0103】

また、要素部の面積の異なる同じ特性を測定するための容量テスト要素を用いて、絶縁膜容量を同様の方法で測定することができる。例えば、TEGブロック1の C_{2-1} とTEGブロック3の C_{2-2} とは、いずれもゲート絶縁膜容量を測定するための容量テスト要素であるが、 C_{2-1} の要素部Pの面積は C_{2-2} の要素部Pの面積の2倍であり（表1参照）、これら容量テスト要素の容量値からゲート絶縁膜容量を測定することができる。図16（b）に示すように容量値は、面積の大きさに比例するので（ $y = a_2 x + b_2$ の関係）、回帰係数を算出して傾き a_2 を求めることによって、この傾き a_2 をゲート絶縁膜容量（単位： $pF / \mu m^2$ ）として求めることができる。

40

【0104】

次に、上述の実施形態1および2におけるテスト端子に接触させるプローブについて説明する。図17は、プローブを含む測定システムの一例の概略を説明する図であり、図17（a）はプローブと2つの測定器との接続を説明するための構成図、図17（b）は測定システムを説明するための構成図である。プローブ401は、表示装置用基板100上に設けられたTEG105のテスト端子に接触させるための6つの接触部402a~402fを有している。各接触部402a~402fは、いずれも同じピッチで列をなして配置されており、実施形態1および2の各TEGブロック1~13、21~24にそれぞれ

50

含まれる6つのテスト端子と同じパターンで配置されている。また、6つの接触部402 a ~ 402 fのうち4つの接触部402 a, 402 b, 402 c, 402 dは4端子抵抗測定器に、残りの2つの接触部402 e, 402 fは2端子容量測定器に、それぞれケーブルを介して接続されている。

【0105】

プローブ401を例えば図3に示すTEGブロック1に含まれるテスト端子106 a ~ 106 fに接触させた場合、プローブ401の接触部402 a ~ 402 fはテスト端子106 a ~ 106 fにそれぞれ同時に接触する。すなわち、プローブ401の接触部402 a, 402 b, 402 cが、TF Tテスト要素に接続されたテスト端子106 a, 106 b, 106 cにそれぞれ接続され、プローブ401の接触部402 e, 402 fが、容量テスト要素(C2-1)に接続されたテスト端子106 e, 106 fにそれぞれ接続される。したがって、一回のプローブ接触操作によって、TF Tテスト要素に接続されたテスト端子106 a, 106 b, 106 cが4端子抵抗測定器に接続され、ゲート絶縁膜容量テスト要素(C2-1)に接続されたテスト端子106 e, 106 fが2端子容量測定器に接続される。TF T特性測定およびゲート絶縁膜容量測定は、プローブ401の接触部402 a ~ 402 fとテスト端子106 a ~ 106 fとを接触させた状態で実行される。

【0106】

また、TEGブロック2に含まれるテスト端子107 a ~ 107 fは、TEGブロック1に含まれるテスト端子106 a ~ 106 fと同じパターンで配置されているので、プローブ401の接触部402 a ~ 402 fをテスト端子107 a ~ 107 fにそれぞれ同時に接触させることができる。すなわち、プローブ401の4つの接触部402 a, 402 b, 402 c, 402 dが、ドレイン/ゲート間コンタクト抵抗テスト要素(Rc1-1)に接続された4つのテスト端子107 a, 107 b, 107 c, 107 dにそれぞれ接続され、プローブ401の2つの接触部402 e, 402 fが、ゲート絶縁膜(AO有り)容量テスト要素(C1-1)に接続された2つのテスト端子107 e, 107 fにそれぞれ接続される。したがって、TEGブロック1の場合と同様に、一回のプローブ接触操作によって、プローブ401の接触部402 a ~ 402 fとテスト端子107 a ~ 107 fとが同時に接触し、この接触させた状態でドレイン/ゲート間コンタクト抵抗測定およびゲート絶縁膜(AO有り)容量測定を行なうことができる。

【0107】

さらに、図15に示すTEGブロック21に含まれるテスト端子301 a ~ 301 fは、図3に示すTEGブロック1に含まれるテスト端子106 a ~ 106 fと同じパターンで配置されている。したがって、実施形態1の表示装置用基板100とタイプの異なる実施形態2の表示装置用基板(図15参照)についても同様に、一回のプローブ接触操作によって、プローブ401の接触部402 a ~ 402 fをテスト端子301 a ~ 301 fに同時に接触させた状態で、TF T特性測定およびゲート絶縁膜容量測定を行なうことができる。

【0108】

図17(b)に示された測定システムは、少なくとも2つの互いに異なるタイプの表示装置を製造する製造ラインに組み込まれており、マザー基板上に形成された複数のTF T基板について各種の特性を評価するものである。測定システムは、プローバ403と、4端子抵抗測定器および2端子容量測定器を含むテスト404とから主として構成されており、プローバ403とテスト404との間ではGP I B (General Purpose Interface Bus) を介して相互に情報のやりとりが行なわれる。また、プローバ403は、制御ラインに接続されており、測定前のマザー基板が収納されたカセットを測定システムへ自動搬送し、測定後のマザー基板が収納されたカセットを次工程へ自動搬送するための情報をやりとりする。テスト404はイーサネット(登録商標)に接続されており、製造ラインの他のシステムとの間での情報のやりとりが行なわれる。

【0109】

プローバ403は、複数のマザー基板(不図示)が収納されたカセット(不図示)から

10

20

30

40

50

マザー基板をロードし、ロードされたマザー基板のタイプに応じて、T F T基板上に設けられたT E Gの位置へプローブ〔図17(b)において図示せず〕を移動させて、接触動作を行なわせ、測定終了後にマザー基板をアンロードしてカセットに戻す。プローバ403は、機種に関する情報が含まれているカセットIDに対応したレシピを有しており、レシピには各機種のマザー基板上のT F T基板の枚数、T E Gの位置が設定されている。例えば、ある機種のマザー基板上にT F T基板が12枚形成されており、T F T基板内のT E Gブロックの数が4であれば、マザー基板上の合計のT E Gブロック数である48ブロックについて、各ブロックのマザー基板上の位置が設定されている。

【0110】

テスト404は、4端子抵抗測定器および2端子容量測定器の他に、情報を記録し、処理するためのパーソナルコンピュータ(PC)と、PCによって処理された情報を表示するためのディスプレイ(CRT)とを含む。テスト404は、各種のT E Gに対応した測定条件でテスト要素の特性測定を行ない、T F T基板毎に特性評価を行なう。テスト404は、カセットIDに対応したレシピを有しており、レシピには判定条件、基板条件、測定条件が設定されている。

10

【0111】

判定条件として、機種毎に決まったT F T基板当たりのT E Gの構成が設定されている。例えば、表3に記載のT E Gブロック21~24を有するT F T基板であれば、T E Gブロックの数がいくつであるのか(表3ではT E Gブロックの数は4である)、それぞれのT E Gブロックでは4端子抵抗測定器、2端子容量測定器は何を測定するのか(表3のT E Gブロック21では、T F T特性およびゲート絶縁膜容量である)などが設定され、さらに測定値を合否判定するための許容範囲が設定されている。

20

【0112】

基板条件として、マザー基板内で測定すべき基板の数が設定されている。例えば、ある機種のマザー基板上にT F T基板が12枚形成されている場合には、12である。

【0113】

測定条件として、測定するテスト要素についての条件が設定されている。例えば、T F Tテスト要素ではゲート端子、ソース端子に何ボルト印加するのか、抵抗テスト要素では何アンペア印加するのか、コンタクト抵抗テスト要素または容量テスト要素の要素部の面積はいくらかなど、各々のテスト要素の細部にわたり条件が設定されている。

30

【0114】

次に、図18に基づいて、図17に示された測定システムによる測定の流れ(フローチャート)を説明する。

【0115】

プローバ403の測定ポート(不図示)に、測定前のマザー基板が収納されたカセットが移動したとき(S1)、プローバ403は光学式読取装置(不図示)などによって、カセットに付されたカセットIDを読み取る(S2)。読み取られたカセットIDは、テスト404へGPIBを介して送信される。プローバ403は、カセットIDに対応するレシピ設定を読み込んで、カセットに収納されたマザー基板がいずれの機種であるかを特定し(S3)、カセットからマザー基板を取り出す(S4)。

40

【0116】

プローバ403は、マザー基板に付された基板番号を読み取り、基板番号をテスト404へ送信する(S5)。プローバ403は、測定すべきT E Gブロックのマザー基板上の位置(座標)へプローブ401を移動させ(S6)、プローブ401の各接触部402a~402fをT E Gブロック内の複数のテスト端子に同時に接触させる(S7)。例えば、カセットに収納されたマザー基板が、実施形態1の表示装置用基板100が12枚形成されたマザー基板であれば、マザー基板上の1枚目の表示装置用基板100におけるT E Gブロック1内のテスト端子106a~106fにプローブ401が接触するように、プローバ403は、マザー基板におけるT E Gブロック1の位置(座標)へプローブ401を移動させ、プローブ401の6つの接触部402a~402fをT E Gブロック1内

50

の6つのテスト端子106a~106fにそれぞれ接触させる。

【0117】

プローバ403は、測定すべきTEGブロックの位置(座標)をテスト404へ送信し(S8)、テスト404は、カセットIDに対応するレシピ設定に基づいて、TEGブロック内のテスト要素の特性測定を行なう。例えば、TEGブロック1であれば、TFTテスト要素および容量テスト要素(C2-1)の各特性の測定を行なう。各特性の測定が終了して、テスト404が測定完了をプローバ403へ知らせると、プローバ403は、プローバ401の接触部402a~402fをTEGブロック内のテスト端子から離れさせて、次に測定すべきTEGブロックの有無を判断する(S9)。次に測定すべきTEGブロックがある場合には、次に測定すべきTEGブロックの位置へプローバ401を移動させて、マザー基板上の全TEGブロックについて順次測定が行なわれる(S6~S9)。例えばTEGブロック1について特性測定が終了したときは、TEGブロック2からTEGブロック13までについて特性測定が順次行なわれる。さらに、マザー基板上の1枚目の表示装置用基板100について特性測定が終了したときは、マザー基板上の2枚目から12枚目までの表示装置用基板100について、各TEGブロック毎に特性測定が順次行なわれる。

10

【0118】

次に測定すべきTEGブロックがマザー基板にない場合には、例えばマザー基板上の12枚全ての表示装置用基板100について特性測定が終了した場合には、プローバ403は、マザー基板の測定が終了したことをテスト404へ知らせる(S10)。テスト404は、測定値の解析などを行ない、マザー基板内のデータ、例えば各TEGブロックに含まれるテスト要素の測定値などをCRTに表示する。このとき、テスト要素の測定値が許容範囲を越えているときは、特性不良のマザー基板を製造ラインから人為的または自動的に排除することができる。プローバ403は、次に測定すべきマザー基板の有無を判断し(S11)、次に測定すべきマザー基板がある場合には、再びカセットからマザー基板を取り出し、マザー基板上の各TEGブロックに含まれる各テスト要素について各TEGブロック毎に特性測定を行なう(S4~S10)。

20

【0119】

次に測定すべきマザー基板がない場合には、プローバ403は、カセット内の全てのマザー基板についての測定が終了したことをテスト404へ知らせる(S12)。プローバ403は、次に測定すべきカセットの有無を判断し、次に測定すべきカセットがある場合には、再びカセットに付されたカセットIDを読み取って、上記の工程(S2~S12)を繰り返す(S13)。例えば、実施形態2の表示装置用基板が複数枚形成されたマザー基板がカセットに収納されている場合には、上記の工程を繰り返して、複数枚の表示装置用基板について各TEGブロック21~24に含まれる各テスト要素の特性測定が行なわれる。

30

【0120】

以上の通り、図17に示された測定システムによれば、TFT基板などの表示装置用基板内の複数のTEGブロックに対して、プローバ401を取り替えることなく、TEGブロック毎に連続的にテスト要素の特性測定を行なうことができる。また、自動的な測定が可能となり、生産効率が向上する。さらに、同じカセット(すなわち同じロット)内の複数のマザー基板に対しても、プローバ401を取り替えることなく、連続的な特性測定を行なうことができる。少なくとも2つの互いに異なるタイプの表示装置用基板に対して共通のパターンで複数のテスト端子が配置されている場合、例えば実施形態1の表示装置用基板および実施形態2の表示装置用基板の如く、各TEGブロック1~13、21~24内の複数のテスト端子が同じパターンで配置されている場合、タイプの異なる多機種のマザー基板に対しても、プローバ401を取り替えることなく、連続的な特性測定を行なうことができる。

40

【0121】

上記の特性評価工程を経たマザー基板は、所定枚数の表示装置用基板に切断される。マ

50

ザー基板を切断するとき、マザー基板上の各TEGブロックを除去してもよいが、特に支障のない限り、各TEGブロックを残しても良い。所定枚数の表示装置用基板に切断した後、表示装置回路上に公知の配向膜処理を行ない、対向基板によって液晶を挟み込み、液晶表示装置が作製される。

【0122】

【発明の効果】

本発明によれば、例えばTFT製造プロセスにおける各種特性評価を測定基板のタイプに関わらず、必要な特性評価を効率的に行なうことができる。製造プロセスにおけるバラツキまたはトラブルによる工程不良を早急に、的確に見出すことが可能になり、不良基板の流出の低減を可能にする。したがって、表示装置を効率良く製造することができる。また、本発明の測定システムによれば、自動での測定が可能であり、生産効率を向上させることができる。

10

【図面の簡単な説明】

【図1】 本発明による実施形態1の液晶表示装置用基板100を説明するための図であり、(a)は液晶表示装置用基板100を概略的に表した平面図、(b)はTEG105が設けられていない状態の平面図である。

【図2】 液晶表示装置のパネルサイズと空き領域の面積との関係の一例を示すグラフである。

【図3】 TEG105aの平面図である。

【図4】 TEG105bの平面図である。

20

【図5】 TFT202の一絵素に相当する部分を模式的に示す平面図である。

【図6】 図5に示すTFT202の等価回路を示す図である。

【図7】 表1に記載のTFTテスト要素の製造工程を示す図であり、右列は平面図を、左列は平面図におけるX-Y線断面図を表す。

【図8】 表1に示した各抵抗テスト要素の平面図(右列)および平面図におけるX-Y線断面図(左列)である。

【図9】 表1に示した各抵抗テスト要素の平面図(右列)および平面図におけるX-Y線断面図(左列)である。

【図10】 容量テスト要素の平面図(右列)および平面図におけるX-Y線断面図(左列)である。

30

【図11】 図7に示したTFTテスト要素のゲートシート204に接続されるテスト端子106aの製造工程を示す図であり、右列は平面図を、左列は平面図におけるX-Y線断面図を表す。

【図12】 図7に示したTFTテスト要素のソースシート206(またはドレインシート208)に接続されるテスト端子106b(または106c)の製造工程を示す図であり、右列は平面図を、左列は平面図におけるX-Y線断面図を表す。

【図13】 絵素電極シート210に接続されるテスト端子の製造工程を示す図であり、右列は平面図を、左列は平面図におけるX-Y線断面図を表す。

【図14】 n^+ 膜シートに接続されるテスト端子の製造工程を示す図であり、右列は平面図を、左列は平面図におけるX-Y線断面図を表す。

40

【図15】 絶縁性基板100上に形成された、表3に記載のTEGブロック21~24の平面図である。

【図16】 (a)はコンタクト抵抗測定における抵抗値とコンタクト面積の逆数との関係を示すグラフであり、(b)は容量測定における容量値と容量テスト要素の面積との関係を示すグラフである。

【図17】 プローブを含む測定システムの一例の概略を説明する図であり、(a)はプローブと2つの測定器との接続を説明するための構成図であり、(b)は測定システムを説明するための構成図である。

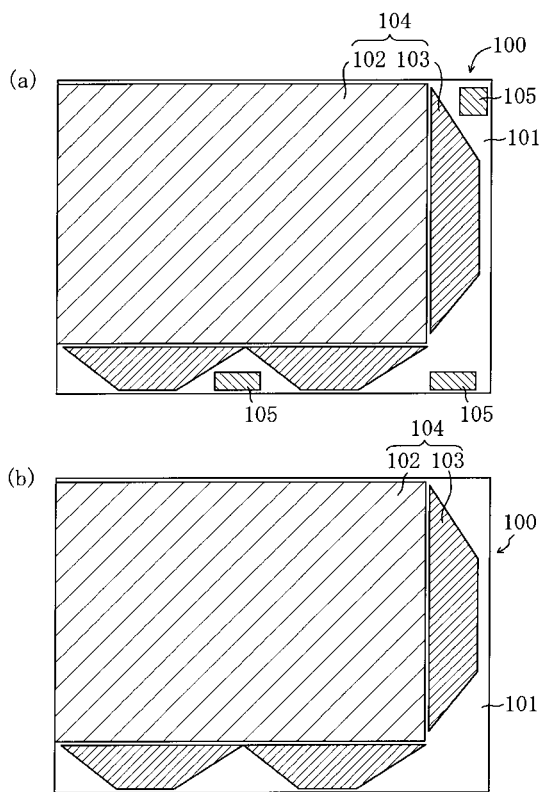
【図18】 図17に示された測定システムによる測定の流れ(フローチャート)を説明する図である。

50

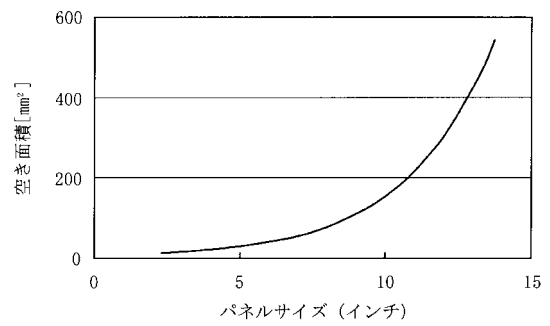
【符号の説明】

- 100 表示装置用基板
- 102 表示部
- 104 表示装置回路
- 105 TEG
- 106 a ~ 106 f TEGブロック1のテスト端子
- 107 a ~ 107 f TEGブロック2のテスト端子
- 202 表示部のTFT
- 401 プローブ
- 402 a ~ 402 f プローブの接触部
- P テスト要素の要素部
- W - a ~ W - d テスト要素の配線部

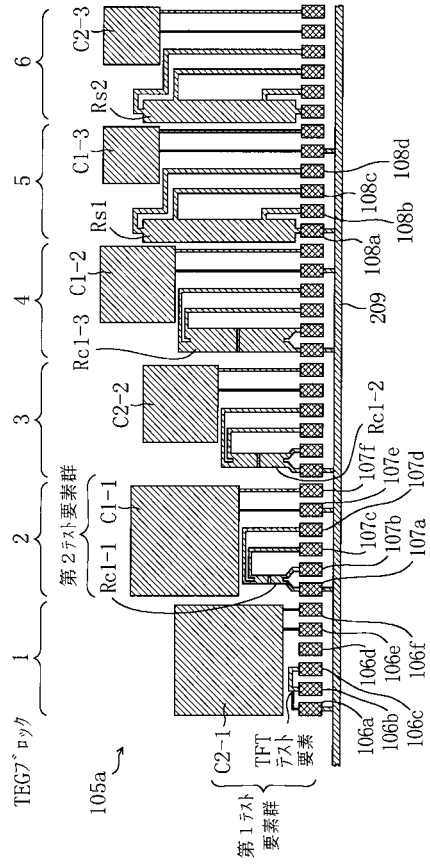
【図1】



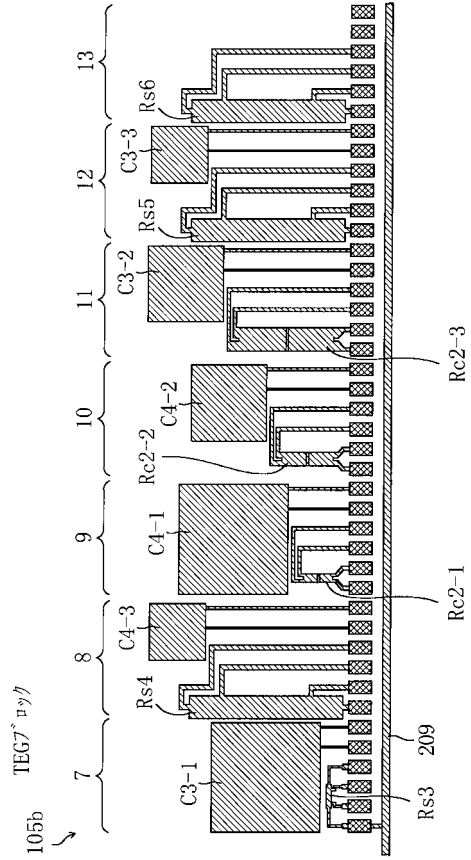
【図2】



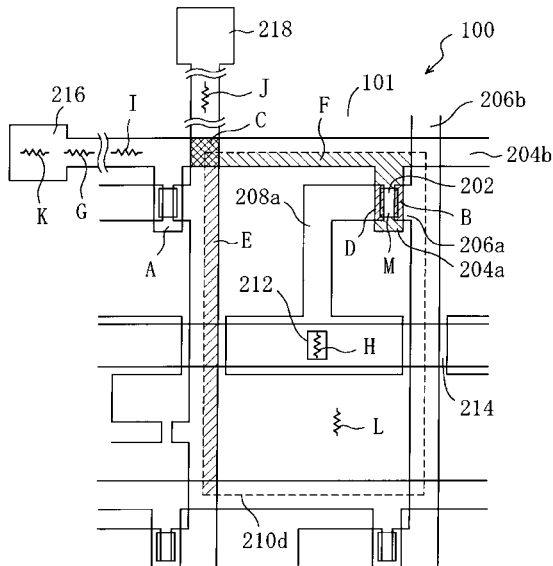
【図3】



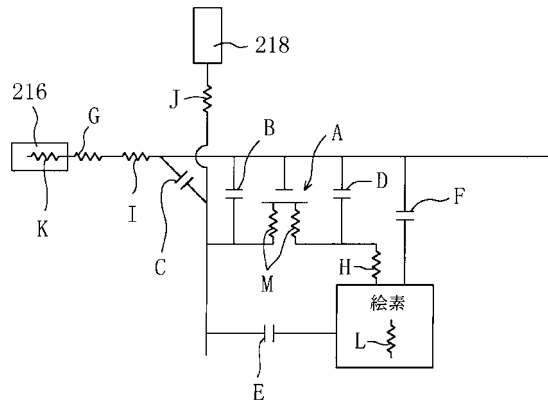
【図4】



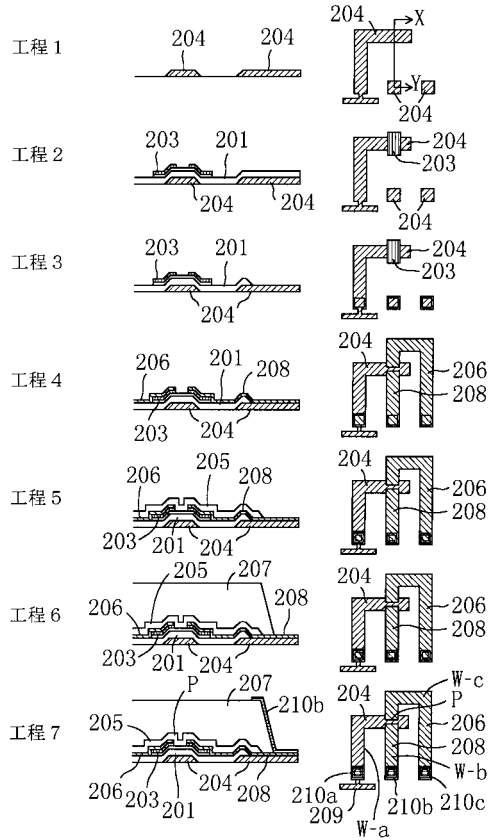
【図5】



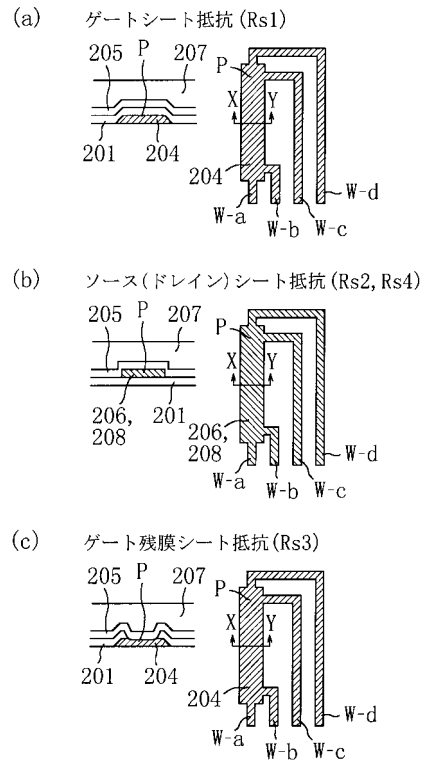
【図6】



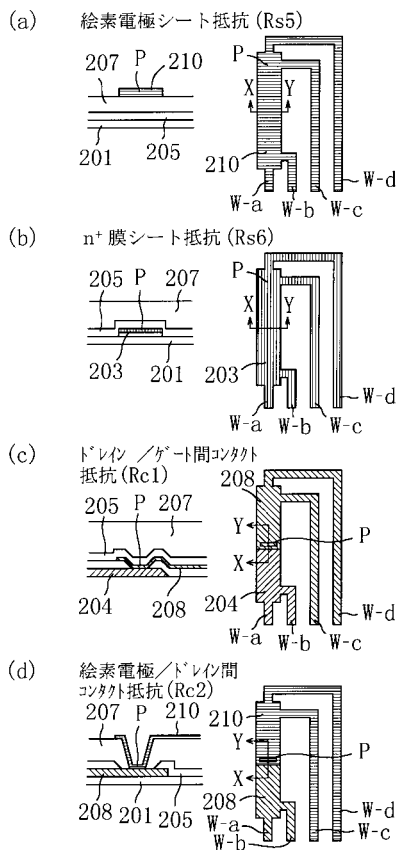
【図7】



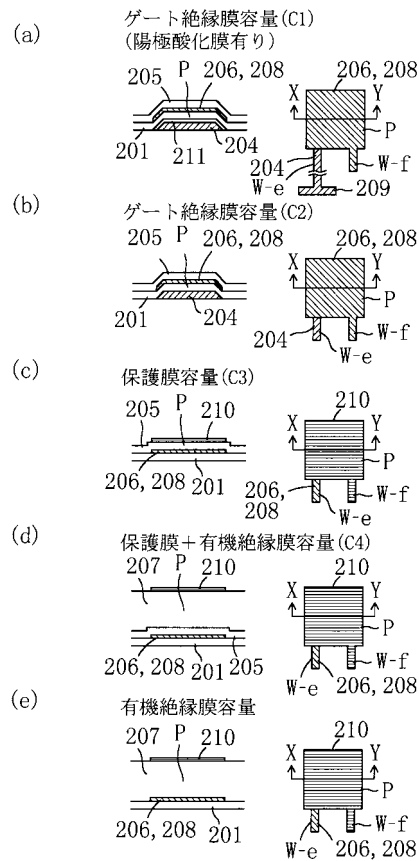
【図8】



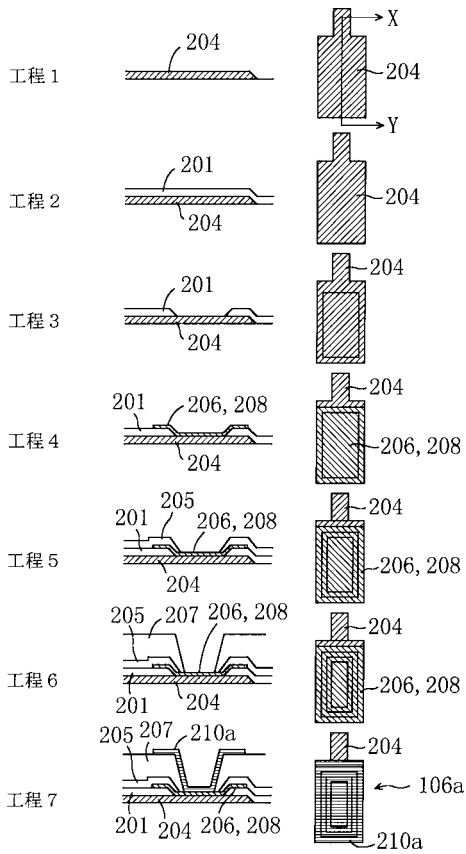
【図9】



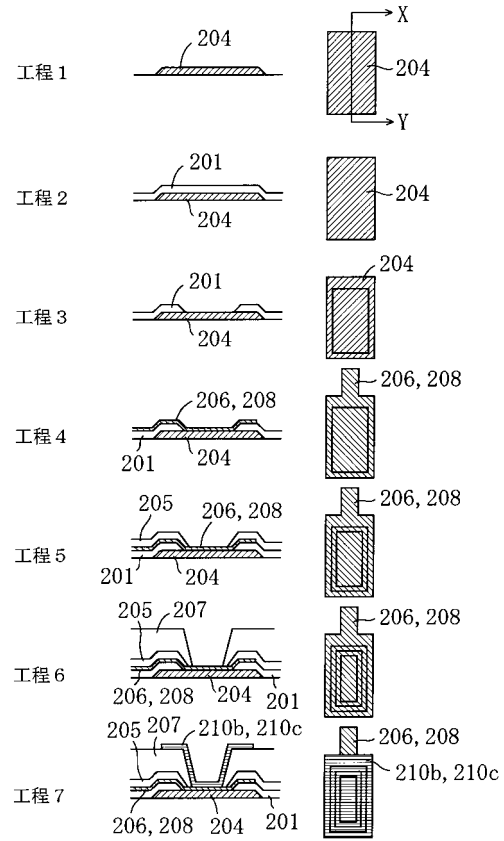
【図10】



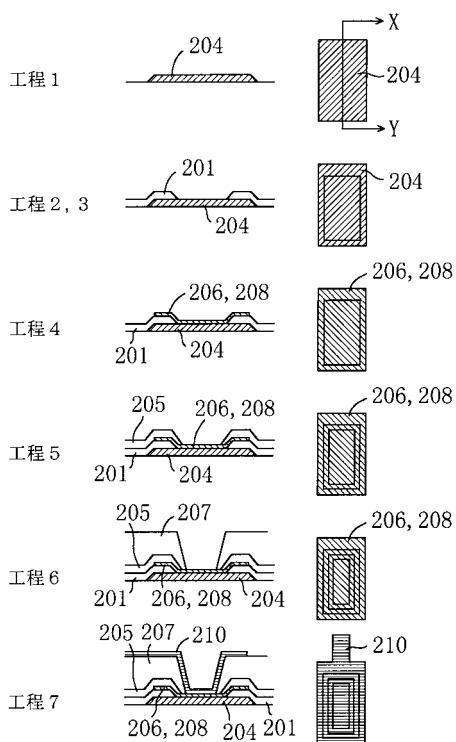
【図 1 1】



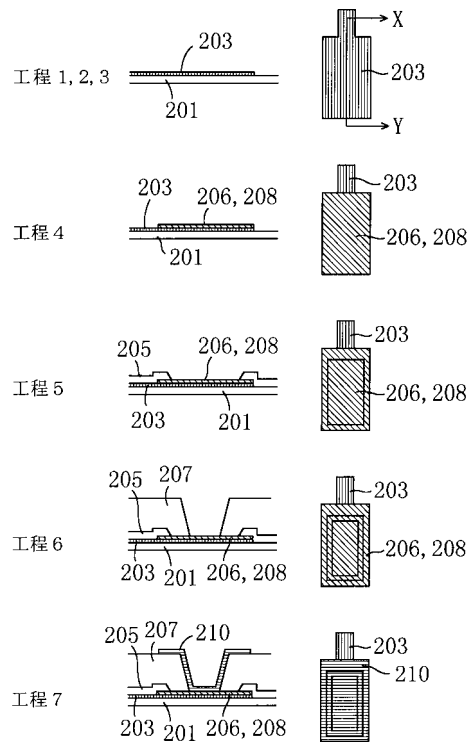
【図 1 2】



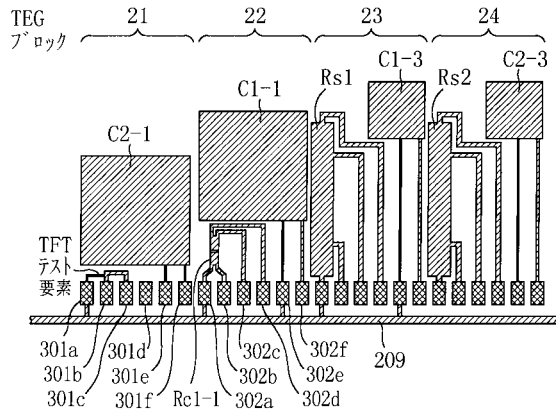
【図 1 3】



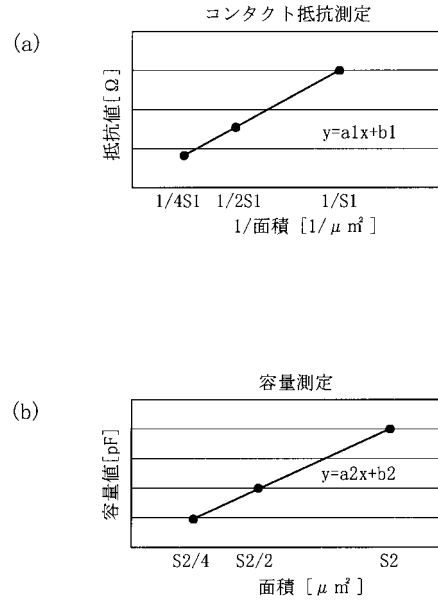
【図 1 4】



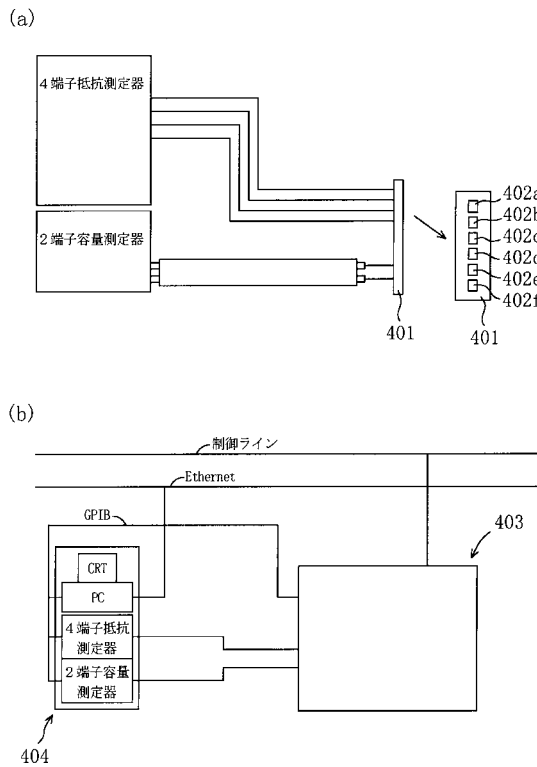
【図15】



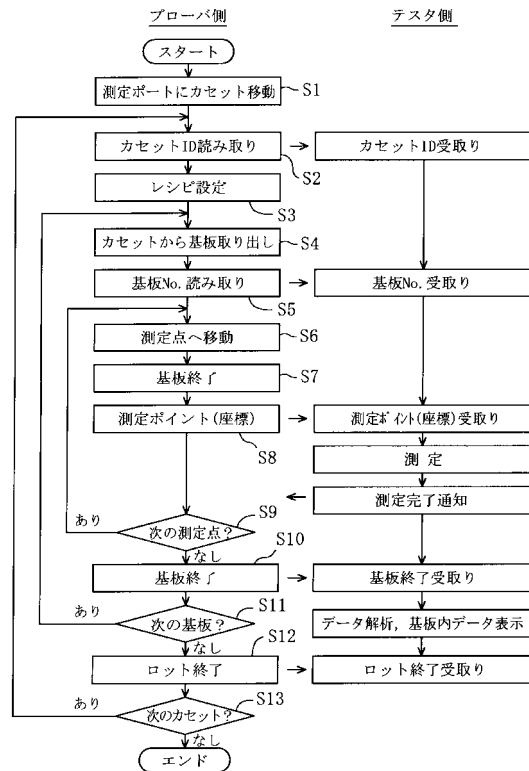
【図16】



【図17】



【図18】



フロントページの続き

(51)Int.Cl. F I
G 0 9 F 9/30 3 3 0 Z
G 0 9 F 9/30 3 3 8

(72)発明者 片岡 義晴
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
(72)発明者 松本 仁志
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

審査官 藤田 都志行

(56)参考文献 特開平 1 1 - 2 4 2 2 3 9 (J P , A)
特開 2 0 0 0 - 1 8 0 8 0 7 (J P , A)
特開 2 0 0 1 - 0 5 3 2 8 2 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G02F 1/1345
G02F 1/13
G01R 31/00
G09F 9/00
G09F 9/30