

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 21/60	(11) 공개번호 특2001-0009565	(43) 공개일자 2001년02월05일
(21) 출원번호 10-1999-0027984		
(22) 출원일자 1999년07월12일		
(71) 출원인 삼성전자 주식회사 윤종용		
(72) 발명자 권흥규		
(74) 대리인 윤동열, 이선희		

심사청구 : 없음

(54) 반도체 집적회로 소자 및 그의 제조 방법

요약

본 발명은 플립 칩 본딩에 사용될 반도체 집적회로 소자 및 그의 제조 방법에 관한 것으로, 반도체 집적회로 소자의 열 방출 특성을 극대화하기 위해서, 도전성 범프가 형성된 반도체 집적회로 소자의 활성면에 반대되는 배면에 방열 금속층이 형성된 반도체 집적회로 소자 및 그의 제조 방법을 제공한다. 본 발명에 따른 방열 금속층을 형성하는 단계는, 티타늄/크롬(Ti/Cr) 층, 니켈바나듐(NiV) 층을 차례로 형성한 이후에, 그 위에 금(Au) 층 또는 은(Ag) 층을 형성하는 단계를 포함한다.

대표도

도9

색인어

플립 칩, 반도체 집적회로 소자, 방열 금속층, 도전성 범프, 솔더 범프

명세서

도면의 간단한 설명

도 1은 내지 도 9는 본 발명의 실시예에 따른 반도체 집적회로 소자의 제조 방법의 각 단계들을 나타내는 도면들로서,

- 도 1은 반도체 제조 공정이 완료된 실리콘 기판을 나타내는 단면도,
- 도 2는 절연층이 형성된 상태를 보여주는 단면도,
- 도 3은 금속 기저층이 형성된 상태를 보여주는 단면도,
- 도 4는 실리콘 기판의 배면에 배면 금속층이 형성된 상태를 보여주는 단면도,
- 도 5는 감광막이 형성된 상태를 보여주는 단면도,
- 도 6은 솔더 도금층이 형성된 상태를 보여주는 단면도,
- 도 7은 감광막이 제거된 상태를 보여주는 단면도,
- 도 8은 솔더 도금층 외측의 금속 기저층이 제거된 상태를 보여주는 단면도,
- 도 9는 솔더 리플로우에 의해 솔더 범프가 형성된 보여주는 단면도이다.

* 도면의 주요 부분에 대한 설명 *

10 : 실리콘 기판	12 : 전극 패드
14 : 불활성층	20 : 절연층
30, 32 : 금속 기저층	40 : 방열 금속층
50 : 감광막	60 : 솔더 도금층
62 : 솔더 범프	100 : 반도체 집적회로 소자

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 집적회로 소자 및 그의 제조 방법에 관한 것으로, 더욱 상세하게는 플립 칩 본딩되는 반도체 집적회로 소자의 열방출 특성을 향상시키기 위하여 반도체 집적회로 소자의 배면에 방열 금속층이 형성된 반도체 집적회로 소자 및 그의 제조 방법에 관한 것이다.

반도체 제조 공정에 의해 제조된 반도체 집적회로 소자를 기판에 직접 플립 칩 본딩(flip chip bonding) 하기 위해서는 반도체 집적회로 소자의 전극 패드상에 도전성 범프를 형성하여야 한다. 이와 같은 도전성 범프를 형성하는 단계는 실리콘 기판(웨이퍼) 수준에서 이루어지는 것이 일반적이다.

그리고, 반도체 집적회로 소자가 기판에 플립 칩 본딩된 이후에 언더필(fill) 방법으로 성형수지를 범프 본딩된 부분을 봉합하게 되며, 전극 패드가 형성된 활성면에 반대되는 반도체 집적회로 소자의 배면이 외부에 노출된다.

그런데, 범프 본딩된 반도체 집적회로 소자의 구동에 따라 활성면에서 발생하는 열은 배면을 통하여 외부로 방출되지만, 실리콘 재료의 반도체 집적회로 소자는 금속에 비하여 열방출 능력이 떨어지는 문제점을 안고 있다.

발명이 이루고자하는 기술적 과제

따라서, 본 발명의 목적은 반도체 집적회로 소자의 배면을 통한 열방출 능력을 극대화하는 데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명은 플립 칩 본딩되는 반도체 집적회로 소자로서, 집적회로가 형성되는 활성면과, 그에 반대되는 배면을 갖는 실리콘 기판과; 상기 집적회로와 연결되어 상기 활성면에 노출되는 복수개의 전극 패드와; 상기 전극 패드를 제외한 활성면에 형성된 불활성층과; 상기 전극 패드 상에 각기 형성된 도전성 범프; 및 상기 배면에 형성된 방열 금속층;을 포함하며, 상기 방열 금속층을 통하여 상기 활성면에서 발생하는 열을 외부로 방출하는 것을 특징으로 하는 반도체 집적회로 소자를 제공한다.

본 발명에 따른 반도체 집적회로 소자는, 전극 패드를 제외한 불활성층에 소정의 두께로 형성되는 절연층과, 전극 패드를 포함한 전극 패드 주변의 절연층 상에 형성된 금속 기저층을 더 포함하며, 금속 기저층 상에 도전성 범프가 형성된다.

본 발명에 따른 방열 금속층은, 실리콘 기판의 배면에 형성된 티타늄/크롬(Ti/Cr) 층과, 티타늄/크롬 층 상에 형성된 니켈바나듐(NiV) 층 및 니켈바나듐 층 상에 형성된 금(Au) 층 또는 은(Ag) 층으로 구성된다.

본 발명은 또한 전술된 반도체 집적회로 소자의 제조 방법을 제공한다. 즉, 플립 칩 본딩에 사용될 반도체 집적회로 소자의 제조 방법으로서, 활성면에 복수개의 전극 패드가 형성되고, 상기 전극 패드를 제외한 상기 활성면에 불활성층이 형성된 실리콘 기판을 준비하는 단계와; 상기 전극 패드를 제외한 불활성층 상에 소정의 두께로 절연층을 형성하는 단계와; 상기 전극 패드를 포함한 절연층 상에 금속 기저층을 형성하는 단계와; 상기 활성면에 반대되는 실리콘 기판의 배면에 방열 금속층을 형성하는 단계와; 상기 전극 패드가 외부에 노출되도록 소정의 두께로 감광막을 형성하는 단계와; 상기 전극 패드를 포함한 감광막 주위에 솔더 도금층을 형성하는 단계와; 상기 감광막을 제거하는 단계와; 상기 솔더 도금층 외측의 금속 기저층을 제거하는 단계; 및 상기 솔더 도금층을 리플로우하여 솔더 범프를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 집적회로 소자의 제조 방법을 제공한다.

본 발명의 제조 방법에 따른 방열 금속층을 형성하는 단계는, 티타늄/크롬(Ti/Cr) 층, 니켈바나듐(NiV) 층을 차례로 형성한 이후에, 그 위에 금(Au) 층 또는 은(Ag) 층을 형성하는 단계를 포함한다.

본 발명의 제조 방법에 따른 솔더 도금층을 형성하는 방법은, 실리콘 기판의 배면에 형성된 방열 금속층에 솔더 도금층을 형성하기 위한 도금액이 접촉하는 것을 방지하면서 실리콘 기판의 활성면쪽에만 도금액이 접촉하여 솔더 도금층이 형성될 수 있도록 하는 분수(fountain) 방식의 솔더 전기 도금 방법을 사용하는 것이 바람직하다.

이하, 첨부 도면을 참조하여 본 발명의 실시예를 보다 상세하게 설명하고자 한다.

도 1은 내지 도 9는 본 발명의 실시예에 따른 반도체 집적회로 소자의 제조 방법의 각 단계들을 나타내는 도면들이다. 한편, 도면을 통틀어 동일한 도면부호는 동일한 구성요소를 가리킨다.

먼저 도 1에 도시된 바와 같이 반도체 제조 공정이 완료된 실리콘 기판(10)의 준비 단계로부터 시작한다. 실리콘 기판(10)의 활성면에는 집적회로(도시안됨)와 전기적으로 연결된 전극 패드(12)가 형성된다. 불활성층(14)이 활성면과 전극 패드(12)의 가장자리를 뒤덮고 있어서, 실리콘 기판(10) 내부의 집적회로들이 외부 환경으로부터 보호된다. 전극 패드(12)는 보통 알루미늄(Al)으로 형성되며, 불활성층(14)은 실리콘 산화막(SiO₂) 또는 실리콘 질화막(Si₃N₄)으로 형성된다. 한편, 실리콘 기판(10)에는 반도체 집적회로 소자로 제조될 복수개의 반도체 칩이 함께 형성되며, 도 1에서 실리콘 기판(10)을 형성하는 반도체 칩의 전극 패드(12) 부분만을 확대하여 나타내는 도면이다.

다음으로 도 2에 도시된 바와 같이 절연층(20; dielectric layer)을 형성한다. 즉, 실리콘 기판(10)의 활성면의 전면에 소정의 두께로 절연층을 형성한 이후에, 전극 패드(12)가 형성된 부분이 외부에 노출될 수 있도록 전극 패드(12) 상의 절연층을 사진 공정으로 제거하여 개방부(24)를 형성한다.

절연층(20)으로는 솔더 접합 내구수명을 향상시킬 수 있도록 응력 흡수가 잘되는 유기물인 폴리이미드(polyimide) 또는 벤조 사이클로 부텐(Benzo Cyclo Butene; BCB)으로 형성하는 것이 바람직하며, 통상적으로 스펀 코팅(spin coating) 방법에 의해 형성한다. 절연층(20)의 두께는 2 μ m 내지 50 μ m가 바람직하며, 그 범위 내에서 적절하게 선택할 수 있다.

다음으로 도 3에 도시된 바와 같이 금속 기저층(30; under bump metal)을 형성한다. 금속 기저층(30)은 실리콘 기판(10)의 활성면의 전면 즉, 개방부(24)에 노출된 전극 패드(12)를 포함한 절연층(20) 상에 형성된다. 금속 기저층(30)은 앞으로 형성될 솔더 범프의 접착층, 확산 장벽층 및 도금 기초층으로 이용된다. 금속 기저층(30)으로 티타늄/티타늄-구리/구리(Ti/Ti-Cu/Cu), 크롬/크롬-구리/구리(Cr/Cr-Cu/Cu), 티타늄텅스텐/구리(TiW/Cu), 알루미늄/니켈/구리(Al/Ni/Cu), 알루미늄/니켈바나듐/구리(Al/NiV/Cu) 등을 사용할 수 있으며, 스퍼터링(sputtering) 또는 이베포레이션(evaporation) 방법으로 형성한다.

다음으로 도 4에 도시된 바와 같이 방열 금속층(40)을 형성한다. 즉, 실리콘 기판(10)의 배면을 통한 열방출 특성을 극대화하기 위해 소정의 두께로 방열 금속층(40)을 형성한다. 방열 금속층(40)은 티타늄/크롬(Ti/Cr), 니켈바나듐(NiV)을 차례로 형성하고, 그 위에 금(Au) 또는 은(Ag) 층이 형성된 구조를 가지며, 스퍼터링 또는 이베포레이션 방법으로 형성한다.

한편, 실리콘 기판(10)의 활성면에 형성되는 금속 기저층(30)과 실리콘 기판(10)의 배면에 형성되는 방열 금속층(40)을 형성하는 재질이 동일할 경우에, 하나의 공정 장비에서 진행되는 것이 바람직하다. 이때, 실리콘 기판(10)의 일면에 대한 공정이 진행된 이후에 실리콘 기판(10)을 뒤집을 수 있는 수단이 구비되어야 할 것이다. 그리고, 금속 기저층(30)을 형성하는 공정과 방열 금속층(40)을 형성하는 공정은 순서를 바뀌어 진행하여도 무방하다.

다음으로 도 5에 도시된 바와 같이 솔더 도금층을 형성하기 위한 감광막(50; photoresist)을 형성한다. 즉, 실리콘 기판(10)의 활성면에 소정의 두께로 감광막을 형성한 이후에, 솔더 도금층이 형성될 부분인 전극 패드(12) 부분의 금속 기저층(30) 외부에 노출될 수 있도록 그 부분의 감광막을 노광·현상하여 개방부(52)를 형성한다.

다음으로 도 6에 도시된 바와 같이 솔더 도금층(62)을 형성한다. 즉, 전기 도금 방법을 이용하여 개방부(52)에 노출된 금속 기저층(30) 상과 개방부(52) 주위에 솔더 도금층(62)을 형성한다. 한편, 실리콘 기판(10)의 배면에 형성된 방열 금속층(40)에 솔더 도금층(62)을 형성하기 위한 도금액이 접촉되지 않도록 하면서 실리콘 기판(10)의 활성면쪽에만 도금액이 접촉되도록하여 솔더 도금층(62)을 형성할 수 있는 분수(fountain) 방식의 솔더 전기 도금 방법을 이용하는 것이 바람직하다.

다음으로 도 7에 도시된 바와 같이 감광막을 제거하고, 도 8에 도시된 바와 같이 솔더 도금층 외측의 금속 기저층을 제거한다. 금속 기저층은 습식 식각 방법으로 제거하게 되며, 식각액으로 방열 금속층(40)의 최상층에 형성되는 금 또는 은 층에 영향을 주지 않는 식각액을 사용하는 것이 바람직하다.

마지막으로 도 9에 도시된 바와 같이 솔더 도금층을 리플로우하여 반구형의 솔더 범프(60)를 형성함으로써, 플립 칩 본딩 방법으로 기판에 접속할 수 있는 반도체 집적회로 소자(100)가 형성된다. 물론, 전술된 바와 같은 솔더 범프(60)를 형성한 이후에 각각의 개별 반도체 집적회로 소자로 분리하는 공정을 진행하게 된다.

한편, 본 발명의 실시예에서는 도전성 범프로 솔더 범프(60)를 형성하였지만, 그 외에 다양한 방법으로 도전성 범프를 형성할 수 있다. 예를 들면, 솔더 불을 이용한 솔더 범프, 전기 도금 방법을 이용한 금 도금 범프, 와이어 본딩 방법을 이용한 지주 금 범프를 반도체 집적회로 소자에 형성할 수 있다. 하지만, 도전성 범프가 형성된 반도체 집적회로 소자의 배면에 방열 금속층이 형성된다면, 본 발명의 기술적 사상의 범위 내의 것이다.

발명의 효과

따라서, 본 발명의 구조를 따르면 반도체 집적회로 소자의 배면에 방열 금속층이 형성되기 때문에, 플립 칩 본딩되는 반도체 집적회로 소자의 열 방열 특성을 극대화할 수 있다.

(57) 청구의 범위

청구항 1

- 플립 칩 본딩되는 반도체 집적회로 소자로서,
- 집적회로가 형성되는 활성면과, 그에 반대되는 배면을 갖는 실리콘 기판과;
- 상기 집적회로와 연결되어 상기 활성면에 노출되는 복수개의 전극 패드와;
- 상기 전극 패드를 제외한 활성면에 형성된 불활성층과;
- 상기 전극 패드 상에 각기 형성된 도전성 범프; 및
- 상기 배면에 형성된 방열 금속층;을 포함하며,
- 상기 방열 금속층을 통하여 상기 활성면에서 발생하는 열을 외부로 방출하는 것을 특징으로 하는 반도체

집적회로 소자.

청구항 2

제 1항에 있어서, 상기 반도체 집적회로 소자는,
 상기 전극 패드를 제외한 상기 불활성층에 소정의 두께로 형성되는 절연층; 및
 상기 전극 패드를 포함한 상기 전극 패드 주변의 절연층 상에 형성된 금속 기저층;을 더 포함하며,
 상기 금속 기저층 상에 도전성 범프가 형성되는 것을 특징으로 하는 반도체 집적회로 소자.

청구항 3

제 1항에 있어서, 상기 방열 금속층은 상기 실리콘 기판의 배면에 형성된 티타늄/크롬(Ti/Cr) 층과, 상기 티타늄/크롬 층 상에 형성된 니켈바나듐(NiV) 층 및 상기 니켈바나듐 층 상에 형성된 금(Au) 층 또는 은(Ag) 층으로 구성된 반도체 집적회로 소자.

청구항 4

플립 칩 본딩에 사용될 반도체 집적회로 소자의 제조 방법으로서,
 활성면에 복수개의 전극 패드가 형성되고, 상기 전극 패드를 제외한 상기 활성면에 불활성층이 형성된 실리콘 기판을 준비하는 단계와;
 상기 전극 패드를 제외한 불활성층 상에 소정의 두께로 절연층을 형성하는 단계와;
 상기 전극 패드를 포함한 절연층 상에 금속 기저층을 형성하는 단계와;
 상기 활성면에 반대되는 실리콘 기판의 배면에 방열 금속층을 형성하는 단계와;
 상기 전극 패드가 외부에 노출되도록 소정의 두께로 감광막을 형성하는 단계와;
 상기 전극 패드를 포함한 감광막 주위에 솔더 도금층을 형성하는 단계와;
 상기 감광막을 제거하는 단계와;
 상기 솔더 도금층 외측의 금속 기저층을 제거하는 단계와;
 상기 솔더 도금층을 리플로우하여 솔더 범프를 형성하는 단계;를 포함하는 것을 특징으로 하는 반도체 집적회로 소자의 제조 방법.

청구항 5

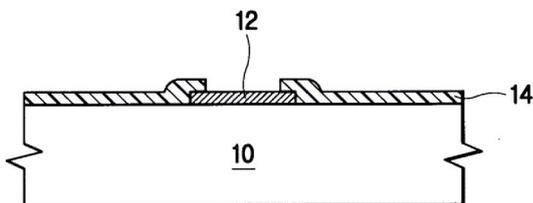
제 4항에 있어서, 상기 방열 금속층을 형성하는 단계는, 상기 실리콘 기판의 배면에 티타늄/크롬(Ti/Cr) 층, 니켈바나듐(NiV) 층을 차례로 형성한 이후에, 그 위에 금(Au) 층 또는 은(Ag) 층을 형성하는 것을 특징으로 하는 반도체 집적회로 소자의 제조 방법.

청구항 6

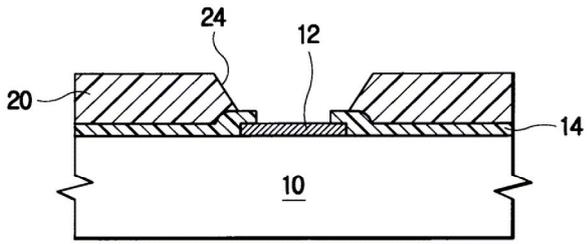
제 4항에 있어서, 상기 실리콘 기판의 배면에 형성된 방열 금속층에 상기 솔더 도금층을 형성하기 위한 도금액이 접촉하는 것을 방지하면서 상기 실리콘 기판의 활성면쪽에만 도금액이 접촉하여 상기 솔더 도금층이 형성될 수 있도록 하는 분수(fountain) 방식의 솔더 전기 도금 방법으로 상기 솔더 도금층을 형성하는 것을 특징으로 하는 반도체 집적회로 소자의 제조 방법.

도면

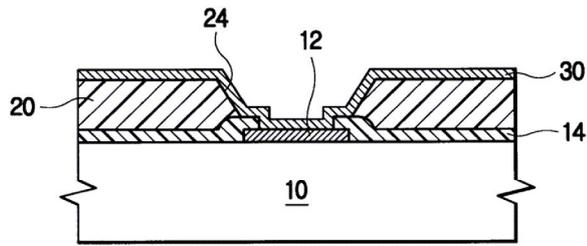
도면1



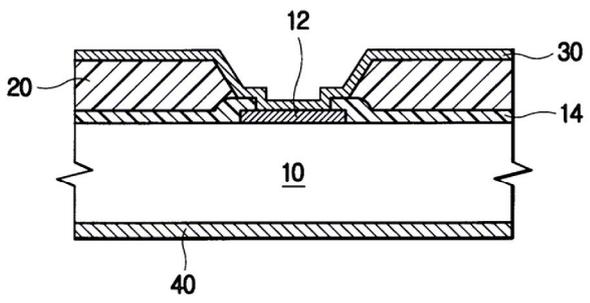
도면2



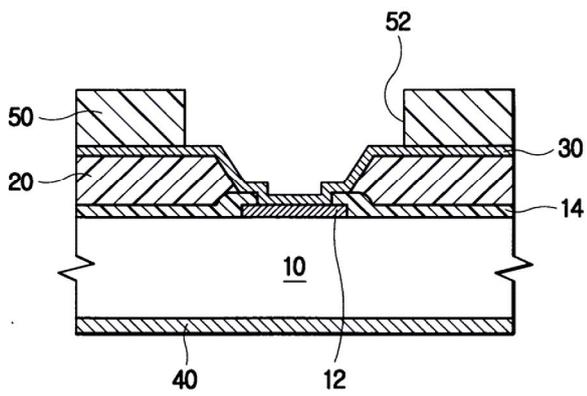
도면3



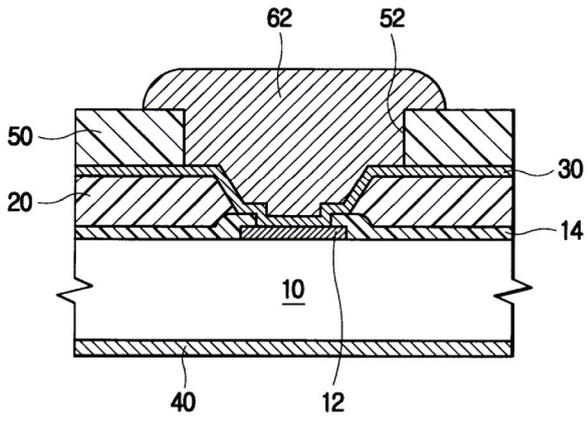
도면4



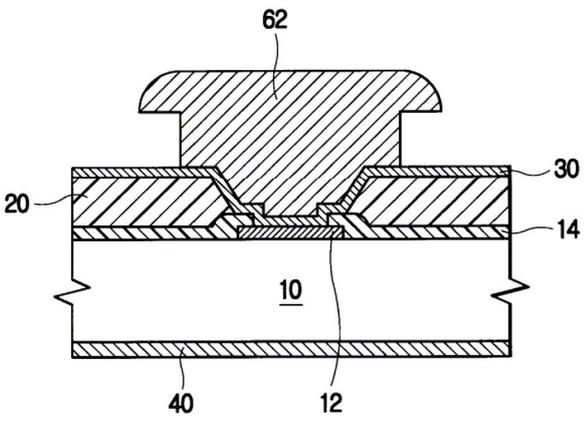
도면5



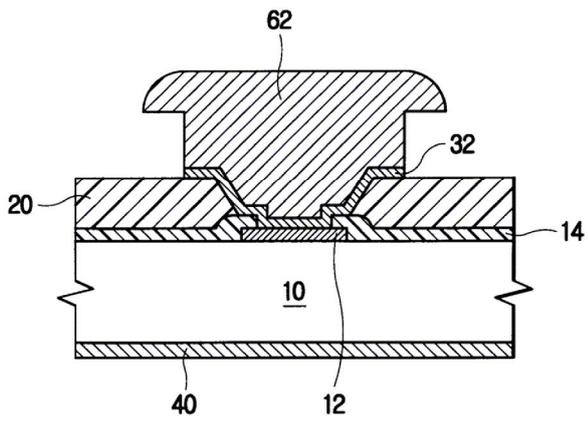
도면6



도면7



도면8



도면9

