

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4024773号
(P4024773)

(45) 発行日 平成19年12月19日(2007.12.19)

(24) 登録日 平成19年10月12日(2007.10.12)

(51) Int. Cl.

H01L 21/60 (2006.01)

F I

H01L 21/60 311W

請求項の数 7 (全 28 頁)

<p>(21) 出願番号 特願2004-99768 (P2004-99768)</p> <p>(22) 出願日 平成16年3月30日(2004.3.30)</p> <p>(65) 公開番号 特開2005-286186 (P2005-286186A)</p> <p>(43) 公開日 平成17年10月13日(2005.10.13)</p> <p>審査請求日 平成17年3月29日(2005.3.29)</p> <p>前置審査</p>	<p>(73) 特許権者 000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号</p> <p>(74) 代理人 110000338 特許業務法人原謙三国際特許事務所</p> <p>(72) 発明者 瀬古 敏春 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内</p> <p>審査官 池淵 立</p>
---	--

最終頁に続く

(54) 【発明の名称】 配線基板、半導体装置およびその製造方法並びに半導体モジュール装置

(57) 【特許請求の範囲】

【請求項1】

絶縁性基板上に複数の配線パターンが設けられた配線基板と、該配線基板上に、絶縁性樹脂を介して実装された半導体素子とを備えた半導体装置であって、上記半導体素子に設けられた複数の接続用端子と上記配線パターンの各接続用端子とが電気的に接続され、上記絶縁性基板上に、上記半導体素子の接続用端子と上記配線パターンの接続用端子との位置合わせ用のマークパターンを有し、該マークパターンは、その上面全面が上記絶縁性樹脂で被覆された半導体装置に用いる配線基板であって

絶縁性基板上に設けられた複数の配線パターンを被覆するソルダレジストにおける、上記配線パターンの接続用端子を露出させるソルダレジスト開口部は、平面視で、上記絶縁性基板上に実装される半導体素子の長手方向における上記配線パターンの配設領域に沿って上記配線パターンと各々交差するように設けられた各線分と、上記半導体素子の短手方向における上記配線パターンの配設領域に沿って上記配線パターンと各々交差するように設けられた各線分と、これら各線分を、これら線分同士を各々延長したときに、互いに隣り合う線分の延長線同士が交わる点よりも内側を通るように、互いに隣り合う上記各線分同士を連結する連結部構成線分とで囲まれた形状を有し、該ソルダレジスト開口部の外側に、上記連結部構成線分に対向して、上記半導体素子の接続用端子と上記配線パターンの接続用端子との位置合わせ用のマークパターンを有していることを特徴とする配線基板。

【請求項2】

請求項1に記載の配線基板に、半導体素子を実装してなる半導体装置。

【請求項3】

絶縁性基板上に複数の配線パターンが設けられた配線基板と、該配線基板上に、絶縁性樹脂を介して実装された半導体素子とを備え、上記半導体素子に設けられた複数の接続用端子と上記配線パターンの各接続用端子とが電氣的に接続された半導体装置において、

上記絶縁性基板上に、上記半導体素子の接続用端子と上記配線パターンの接続用端子との位置合わせ用のマークパターンを有し、該マークパターンは、その上面全面が上記絶縁性樹脂で被覆されており、

上記マークパターンは、上記配線パターンを被覆するソルダレジストにおける、上記配線パターンの接続用端子を露出させるソルダレジスト開口部の外側に形成される上記絶縁性樹脂のフィレット形成領域に設けられており、

上記ソルダレジスト開口部は、平面視で、上記半導体素子の長手方向における上記配線パターンの配設領域に沿って上記配線パターンと各々交差するように設けられた各線分と、上記半導体素子の短手方向における上記配線パターンの配設領域に沿って上記配線パターンと各々交差するように設けられた各線分と、これら各線分を各々延長したときに、互いに隣り合う線分の延長線同士が交わる点よりも内側を通るように、互いに隣り合う上記各線分同士を連結する連結部構成線分とで囲まれた形状を有し、

上記マークパターンは、上記ソルダレジスト開口部の外側に、上記連結部構成線分に対向して形成されていることを特徴とする半導体装置。

【請求項4】

絶縁性基板上に複数の配線パターンが設けられた配線基板と、該配線基板上に、絶縁性樹脂を介して実装された半導体素子とを備え、上記半導体素子に設けられた複数の接続用端子と上記配線パターンの各接続用端子とが電氣的に接続された半導体装置において、

上記絶縁性基板上に、上記半導体素子の接続用端子と上記配線パターンの接続用端子との位置合わせ用のマークパターンを有し、該マークパターンは、その上面全面が上記絶縁性樹脂で被覆されており、

上記マークパターンは、上記配線パターンを被覆するソルダレジストにおける、上記配線パターンの接続用端子を露出させるソルダレジスト開口部の外側に形成される上記絶縁性樹脂のフィレット形成領域に設けられており、

上記ソルダレジスト開口部は、平面視で、上記半導体素子の長手方向における上記配線パターンの配設領域に沿って上記配線パターンと各々交差するように設けられた2辺が他

辺よりも長い略八角形状を有し、

上記マークパターンは、上記半導体素子の角部に対向する上記ソルダレジスト開口部の斜辺に対向して形成されていることを特徴とする半導体装置。

【請求項5】

請求項2～4のいずれか1項に記載の半導体装置を備えていることを特徴とする半導体モジュール装置。

【請求項6】

絶縁性基板上に複数の配線パターンが設けられた配線基板と、該配線基板上に、絶縁性樹脂を介して実装された半導体素子とを備え、上記半導体素子に設けられた複数の接続用端子と上記配線パターンの各接続用端子とが電氣的に接続され、上記絶縁性基板上に、上記半導体素子の接続用端子と上記配線パターンの接続用端子との位置合わせ用のマークパターンを有し、該マークパターンは、その上面全面が上記絶縁性樹脂で被覆されており、該配線パターンの接続用端子は上記絶縁性樹脂で被覆されている半導体装置の製造方法であって、

上記絶縁性基板上に、上記マークパターンの上面全面を被覆するように上記絶縁性樹脂を配置する工程と、

上記マークパターン上の絶縁性樹脂を介して上記マークパターンを検出して上記半導体素子の接続用配線と上記配線パターンの接続用配線とを位置合わせする工程とを有することを特徴とする半導体装置の製造方法。

【請求項7】

10

20

30

40

50

上記半導体素子の接続用配線と上記配線パターンの接続用配線とを位置合わせする工程の後に、上記絶縁性樹脂を硬化させて上記半導体素子を上記配線基板に固着すると共に、上記半導体素子の接続用端子と上記配線パターンの接続用端子とを電氣的に接続する工程をさらに含むことを特徴とする請求項6記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、フレキシブル配線基板上にCOF(Chip On Film)方式で半導体素子が接合・搭載されてなる半導体装置およびその製造方法並びに上記半導体装置を用いた半導体モジュール装置に関するものである。

10

【背景技術】

【0002】

絶縁性基板であるフレキシブル配線基板上に半導体素子が接合・搭載された半導体装置としては、上記フレキシブル配線基板の基材に絶縁テープを使用し、該絶縁テープ上に、半導体素子が、TCP(Tape Carrier Package)方式を用いて実装(搭載)されてなるTCP型の半導体装置(以下、単にTCPと記す)およびCOF(Chip On Film)方式を用いて実装(搭載)されてなるCOF型の半導体装置(以下、単にCOFと記す)が広く知られている。

【0003】

上記TCPがCOFと異なる点は、TCPでは、上記絶縁テープにおける上記半導体素子搭載部に、予め、デバイスホールと称される開口部(貫通口)が設けられ、該開口部内に配線パターンが片持ち梁状に突き出した状態で、該配線パターンの先端部分と半導体素子とが接合されるのに対して、COFは、半導体素子を搭載するための半導体素子搭載用の開口部(デバイスホール)を有しておらず、半導体素子が上記絶縁テープの表面上に接合・搭載されている点にある。

20

【0004】

COFは、その使用目的から、上記絶縁テープに、自由に折り曲げることが可能な薄膜の絶縁テープが使用され、該絶縁テープの表面上に配置された配線パターンの各配線は、半導体素子の対応する端子と電氣的に接続され、外部接続用コネクタ部には、液晶パネルやプリント基板等の外部の電子機器が接続される。なお、上記配線パターンにおける上記半導体素子との接続領域並びに外部接続用コネクタ部以外のパターン露出部には、ソルダレジストが塗布され、絶縁状態が確保されている。

30

【0005】

現在、COFへの要求の一つとして、多ピン化への対応があり、別の要求である小型・薄型化も同時に満足するためには、配線パターンの外部接続用コネクタ部および半導体素子との接続部のファインピッチ化、テープキャリア(絶縁テープ)や配線パターン等の薄膜化が必要となる。また、上記配線パターンにおける半導体素子との接続部であるインナーリードのピッチを小さくするためには、インナーリードの幅を小さく、厚みも薄くする必要がある。

【0006】

多ピン、狭ピッチ、エッジタッチ等に有効なCOFの製造方法として、MBB(Micro Bump Bonding)と称される接続・封止方法や、近年注目されているNCP(Non Conductive Paste)あるいはACP(Anisotropic Conductive Paste)と称される接続・封止方法(以下、NCP等と記す)がある(例えば特許文献1、2参照)。

40

【0007】

これらNCP等の接続・封止方法は、何れも、上記絶縁テープの表面に、光硬化性樹脂または熱硬化性樹脂を絶縁性樹脂として塗布することで上記半導体素子とフレキシブル配線基板との間に絶縁性樹脂を介在させ、その後、上記半導体素子の突起電極(接続用端子)とフレキシブル配線基板の配線パターン(接続用端子)とを接続すると共に樹脂封止する方法である。

50

【 0 0 0 8 】

例えば、M B Bを用いた例として、上記特許文献 1 では、半導体素子上の突起電極に対応する、配線基板の配線パターン上に、光硬化性または熱硬化性の樹脂を塗布し、上記突起電極と配線パターンとを位置合せし、加圧して上記突起電極と配線パターンとの間の樹脂を押し広げ、上記突起電極と配線パターンとの圧接のみで電氣的接続を得ると共に上記半導体素子の周縁まで上記の樹脂をはみ出させ、その後、この状態で上記の樹脂を光もしくは熱によって硬化させ、上記半導体素子と配線基板とを固定している。

【 0 0 0 9 】

また、特許文献 2 では、M B B により、半導体素子上の突起電極に対応する、配線基板の配線パターン上に、熱硬化性樹脂を塗布し、上記突起電極と配線パターンとが一致しかつ接触するように、パルス加熱ツールを用いて上記半導体素子を加圧して上記配線パターン上の熱硬化性樹脂を周囲に押し出した後、上記半導体素子を加圧した状態で、上記パルス加熱ツールに電流を通電して上記熱硬化性樹脂を加熱硬化させて上記半導体素子を配線基板に固着すると共に、上記突起電極と配線パターンとを電氣的に接続している。

【特許文献 1】特開昭 6 0 - 2 6 2 4 3 0 号公報 (1 9 8 5 年 1 2 月 2 5 日公開)

【特許文献 2】特開昭 6 3 - 1 5 1 0 3 3 号公報 (1 9 8 8 年 6 月 2 3 日公開)

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 1 0 】

しかしながら、上記特許文献 1、2 は、何れも、上記絶縁性樹脂の塗布方法並びに上記突起電極と配線パターンとの位置合わせの方法について、特に開示していない。

【 0 0 1 1 】

しかしながら、上記 N C P 等の接続・封止方法では、何れも、絶縁テープの配線パターン上に絶縁性樹脂を塗布した後、半導体素子の突起電極と絶縁テープの配線パターンとを位置合わせして圧接していることから、両者の位置ずれを防止し、配線パターンの露出を防止するためには、両者を接続する際に位置合わせを行うためのアライメント用のマークパターン (以下、アライメント用マークと記す) を配置する必要がある。

【 0 0 1 2 】

なお、A u (金) - S n (錫) 共晶接合のように、突起電極と配線パターンとの接続後に半導体素子と配線基板との間にアンダーフィルと称される絶縁性樹脂を流し込む等の従来技術においては、樹脂領域の制御が難しく、アライメントマークがソルダレジストの開口部の内側にある場合は、中途半端にアライメント用マークが露出し、配線パターンの露出と見分けが付かないため、アライメント用マークを設置する場合、該アライメント用マークは、ソルダレジストの開口部の外側に設置される。

【 0 0 1 3 】

よって、上記 N C P 等の接続・封止方法においても、上記配線パターンの露出を防止するためには、絶縁性樹脂の塗布領域の外側、すなわちソルダレジストの開口部の外側に、突起電極と配線パターンとを接続する際に位置合わせを行うアライメント用マークを配置する必要がある。

【 0 0 1 4 】

実際、アライメント用マークが絶縁性樹脂で部分的に覆われていると、上記アライメント用マークの検出を行うことができないため、上記アライメント用マークは、上記ソルダレジストの開口部の外側に、上記ソルダレジストからできるだけ離間して設けられる。

【 0 0 1 5 】

そこで、以下に、図 1 3 ないし図 1 6 (a) ~ (e) を参照して、上記 N C P 等の接続・封止方法を用いた C O F の製造方法、つまり、上記半導体素子の配線基板への実装方法について説明する。

【 0 0 1 6 】

図 1 3 は、ソルダレジストの開口部の外側にアライメント用マークが配された半導体装置の概略構成を示す平面図であり、図 1 4 は、図 1 3 に示す半導体装置における半導体素

10

20

30

40

50

子実装領域の概略構成を示す平面図である。なお、図14では、説明の便宜上、半導体素子を、二点鎖線にて示すと共に、絶縁性樹脂の配設領域（被覆領域）を、上記二点鎖線を囲む点線にて示すものとする。言い換えれば、図14中、二点鎖線にて囲まれた領域が半導体素子の搭載領域であり、上記二点鎖線で囲まれた領域を囲む点線で囲まれた領域が絶縁性樹脂の配設領域、すなわち、該絶縁性樹脂による半導体素子の実装領域である。

【0017】

図15(a)～(e)および図16(a)～(e)はそれぞれ前記特許文献1、2においてアライメント用マークを用いて上記半導体素子を配線基板上に実装する各工程を示す要部断面図であり、図15(a)～(e)および図16(a)～(e)はそれぞれ図14に示す半導体装置のB-B'線矢視断面図に相当する。

10

【0018】

アライメント用マークを用いて前記特許文献1に記載の方法により半導体素子を配線基板上に実装する場合、図13、図14並びに図15(a)に示すように、配線基板201に用いられるテープキャリア10（絶縁テープ）における半導体素子12の接続・搭載領域周辺に設けられるソルダレジスト3の開口部4aの外側に、半導体素子12の突起電極13と、配線パターン2の接続用端子2aとを接続する際に位置合わせを行うためのアライメント用マーク1を設置する。

【0019】

なお、図13ないし図15(a)～(e)に示す半導体装置においては、ソルダレジスト3の開口部4'の一つとして、アライメント用マーク1の設置部分にもソルダレジスト3の開口部4bが設けられている。

20

【0020】

そして、図14および図15(b)に示すように、上記接続用端子2aを覆うように光硬化性または熱硬化性の絶縁性樹脂11を塗布する。次いで、図15(c)において矢印14で示すようにアライメント用マーク1の検出を行う一方、矢印15で示すように半導体素子12の能動面に設けられたアライメント用マーク5（図14参照）の検出を行って上記突起電極13と接続用端子2aとを位置合せする。その後、図15(d)において矢印17で示すように加圧して上記突起電極13と接続用端子2aとの間の絶縁性樹脂11を押し広げて上記半導体素子12の周縁まではみ出させ、この状態で、図15(e)において矢印18で示すように光照射もしくは加熱を行って上記絶縁性樹脂11を硬化させ、上記半導体素子12と配線基板201とを固定する。

30

【0021】

同様に、アライメント用マークを用いて前記特許文献2に記載の方法により半導体素子を配線基板上に実装する場合、図13、図14並びに図16(a)に示すように、配線基板201に用いられるテープキャリア10（絶縁テープ）における半導体素子12の接続・搭載領域周辺に設けられるソルダレジスト3の開口部4aの外側に、半導体素子12の突起電極13と、配線パターン2の接続用端子2aとを接続する際に位置合わせを行うためのアライメント用マーク1を設置する。

【0022】

なお、この場合にも、ソルダレジスト3の開口部4'の一つとして、アライメント用マーク1の設置部分にもソルダレジスト3の開口部4bが設けられている。

40

【0023】

そして、図14および図16(b)に示すように、上記接続用端子2aを覆うように熱硬化性の絶縁性樹脂11を塗布する。次いで、図16(c)において矢印14で示すようにアライメント用マーク1の検出を行う一方、矢印15で示すように半導体素子12の能動面に設けられたアライメント用マーク5（図14参照）の検出を行い、上記突起電極13と接続用端子2aとが一致しかつ接触するように、図示しないパルス加熱ツールを使用して、図16(d)において矢印17で示すように上記半導体素子12を加圧して上記接続用端子2a上の絶縁性樹脂11を周囲に押し出す。その後、上記パルス加熱ツールに電流を通電し、図16(e)において矢印19で示すように上記半導体素子12を加圧した

50

状態で加熱し、上記絶縁性樹脂 11 を加熱硬化させて上記半導体素子 12 を配線基板 201 に固着すると共に、上記突起電極 13 と接続用端子 2a とを電氣的に接続する。

【0024】

しかしながら、上記したように、上記ソルダレジスト 3 の開口部 4a の外側、つまり、上記特許文献 1、2 においては絶縁性樹脂 11 の塗布領域の外側に上記アライメント用マーク 1 を配置すると、該アライメント用マーク 1 を避けて配線パターン 2 を配置する必要があり、COF 方式を用いた半導体装置の外形サイズが大きくなり易い。

【0025】

特に、上記開口部 4a 内における配線パターン 2 の露出を防止するために、上記絶縁性樹脂 11 を上記開口部 4a の外側にまで塗布すると、該絶縁性樹脂 11 によりアライメント用マーク 1 が部分的に覆われてしまうおそれがある。このようにアライメント用マーク 1 が部分的に絶縁性樹脂 11 で覆われていると、該アライメント用マーク 1 の検出精度が低下し、該アライメント用マーク 1 を正確に検出することができず、上記半導体素子 12 の突起電極 13 と配線パターン 2 の接続用端子 2a との接続位置精度が悪くなる。

【0026】

そこで、上記突起電極 13 と接続用端子 2a との位置ずれを防止するためには、図 14 に示すように、上記絶縁性樹脂 11 を、アライメント用マーク 1 上に被らないように上記アライメント用マーク 1 形成領域（開口部 4a）からできるだけ離して塗布するか、もしくは、逆に、上記アライメント用マーク 1 を、上記ソルダレジスト 3 の開口部 4a からできるだけ離して形成する必要がある。しかしながら、上記アライメント用マーク 1 を、上記ソルダレジスト 3 の開口部 4a から遠く離して形成すると、接続位置精度の低下につながるると共に、上記半導体装置の外形サイズが大きくなる。一方、上記絶縁性樹脂 11 を、アライメント用マーク 1 上に被らないように塗布すると、図 14 に示すように、上記開口部 4a の内側で配線パターン 2 の露出が発生し易いという別の問題を招来する。

【0027】

本発明は、上記問題点を解決するものであり、その目的は、半導体素子の接続用端子と、配線基板における配線パターンの接続用端子との接続位置精度が良好であり、かつ外形サイズが小さい COF 型の半導体装置およびその製造方法並びに半導体モジュール装置、および上記半導体装置に好適に用いられる配線基板を提供することにある。

【0028】

また、本発明のさらなる目的は、半導体素子の接続用端子と、配線基板における配線パターンの接続用端子との接続位置精度が良好であり、かつ外形サイズが小さく、しかも、上記配線パターンのソルダレジスト内での露出を防止することができる COF 型の半導体装置およびその製造方法並びに半導体モジュール装置、および上記半導体装置に好適に用いられる配線基板を提供することにある。

【課題を解決するための手段】

【0029】

本発明にかかる配線基板は、上記課題を解決するために、絶縁性基板上に複数の配線パターンが設けられた配線基板と、該配線基板上に実装された半導体素子とを備えた半導体装置に用いられる配線基板であって、上記半導体素子が、絶縁性樹脂により上記配線基板に固着されるとともに上記半導体素子に設けられた複数の接続用端子と上記配線パターンの各接続用端子とが電氣的に接続される配線基板において、上記絶縁性基板上に、上記半導体素子の接続用端子と上記配線パターンの接続用端子との位置合わせ用のマークパターンを有し、該マークパターンおよび上記配線パターンの接続用端子は、その上面全面が上記絶縁性樹脂で被覆されていることを特徴としている。

【0030】

上記の構成によれば、上記配線基板が、上記絶縁性基板上に、上記半導体素子の接続用端子と上記配線パターンの接続用端子との位置合わせ用のマークパターンを有し、該マークパターンは、その上面全面が上記絶縁性樹脂で被覆されていることで、上記マークパターンの検出が阻害されることがなく、上記半導体素子の接続用端子と配線パターンの接続

10

20

30

40

50

用端子との接続位置精度を良好に保つことができる。しかも、上記の構成によれば、上記マークパターンを、上記マークパターンの検出が阻害されないように例えば、上記配線パターンを被覆するソルダレジストにおける、上記配線パターンの接続用端子を露出させるソルダレジスト開口部の外側に、上記ソルダレジストからできるだけ離間して形成する必要がない。このため、上記の構成によれば、上記マークパターンを、上記絶縁性基板上における上記絶縁性樹脂による半導体素子実装領域またはその近傍に設けることができるため、上記半導体装置の外形を小さくすることができると共に、上記マークパターンを避けて配線パターンを配置する必要がなく、配線の自由度を高くすることができる。

【0031】

よって、上記の構成によれば、半導体素子の接続用端子と、配線基板における配線パターンの接続用端子との接続位置精度が良好であり、かつ外形サイズが小さいCOF型の半導体装置を得ることができる配線基板を提供することができるという効果を奏する。

【0032】

上記マークパターンは、上記絶縁性基板上における上記絶縁性樹脂による半導体素子実装領域またはその近傍に設けられていることが望ましく、上記絶縁性基板上における上記絶縁性樹脂による半導体素子実装領域に設けられていることが、上記配線基板を用いて得られる半導体装置の小型化並びに上記半導体素子の接続用端子と上記配線パターンの接続用端子との接続位置精度を向上させる上で、より望ましい。

【0033】

なお、本発明において、上記絶縁性樹脂による上記半導体素子実装領域とは、上記半導体素子搭載領域およびその周辺部の上記絶縁性樹脂によるフィレット形成領域を示すものとする。

【0034】

上記配線基板において、上記マークパターンは、具体的には、例えば、上記配線パターンを被覆するソルダレジストにおける、上記配線パターンの接続用端子を露出させるソルダレジスト開口部の内側、もしくは、上記ソルダレジスト開口部の外側に形成される上記絶縁性樹脂のフィレット形成領域に設けられている。

【0035】

そして、この場合、上記マークパターンが、上記配線パターンを被覆するソルダレジストにおける、上記配線パターンの接続用端子を露出させる上記ソルダレジスト開口部の外側に形成される上記絶縁性樹脂のフィレット形成領域に設けられていることで、上記配線基板を用いて得られる半導体装置の外形サイズを小さくすることができると共に、上記半導体素子の接続用端子と配線パターンの接続用端子との接続位置精度を良好に保ちながら、上記ソルダレジスト開口部内での上記配線パターンの露出を防止することができるという効果を奏する。

【0036】

一方、上記マークパターンが、上記ソルダレジスト開口部の内側に設けられている場合、上記絶縁性樹脂が、上記ソルダレジスト開口部全面を覆っていることで、上記ソルダレジスト開口部内での上記配線パターンの露出を防止することができる。したがって、上記の構成によれば、上記配線基板を用いて得られる半導体装置の外形サイズを小さくすることができると共に、上記半導体素子の接続用端子と配線パターンの接続用端子との接続位置精度を良好に保ちながら、上記ソルダレジスト開口部内での上記配線パターンの露出を防止することができるという効果を奏する。

【0037】

また、本発明にかかる他の配線基板は、上記課題を解決するために、絶縁性基板上に複数の配線パターンが設けられた配線基板と、該配線基板上に、絶縁性樹脂を介して実装された半導体素子とを備えた半導体装置であって、上記半導体素子に設けられた複数の接続用端子と上記配線パターンの各接続用端子とが電氣的に接続され、上記絶縁性基板上に、上記半導体素子の接続用端子と上記配線パターンの接続用端子との位置合わせ用のマークパターンを有し、該マークパターンは、その上面全面が上記絶縁性樹脂で被覆された半導

10

20

30

40

50

体装置に用いる配線基板であって絶縁性基板上に設けられた複数の配線パターンを被覆するソルダレジストにおける、上記配線パターンの接続用端子を露出させるソルダレジスト開口部は、平面視で、上記絶縁性基板上に実装される半導体素子の長手方向における上記配線パターンの配設領域に沿って上記配線パターンと各々交差するように設けられた各線分と、上記半導体素子の短手方向における上記配線パターンの配設領域に沿って上記配線パターンと各々交差するように設けられた各線分と、これら各線分を、これら線分同士を各々延長したときに、互いに隣り合う線分の延長線同士が交わる点よりも内側を通るように、互いに隣り合う上記各線分同士を連結する連結部構成線分とで囲まれた形状を有し、該ソルダレジスト開口部の外側に、上記連結部構成線分に対向して、上記半導体素子の接続用端子と上記配線パターンの接続用端子との位置合わせ用のマークパターンを有していることを特徴としている。

10

【0038】

本発明によれば、上記配線基板が、絶縁性基板上に設けられた複数の配線パターンを被覆するソルダレジストにおける、上記配線パターンの接続用端子を露出させるソルダレジスト開口部の内側に、上記絶縁性基板上に実装される半導体素子の接続用端子と上記配線パターンの接続用端子との位置合わせ用のマークパターンを有していることで、上記絶縁性基板上への半導体素子実装時に、絶縁性樹脂による半導体素子実装領域に、その上面全面が上記絶縁性樹脂で被覆された上記マークパターンが形成された配線基板を容易に得ることができる。

【0039】

20

また、本発明によれば、上記配線基板が、絶縁性基板上に設けられた複数の配線パターンを被覆するソルダレジストにおける、上記配線パターンの接続用端子を露出させるソルダレジスト開口部は、平面視で、上記絶縁性基板上に実装される半導体素子の長手方向における上記配線パターンの配設領域に沿って上記配線パターンと各々交差するように設けられた各線分と、上記半導体素子の短手方向における上記配線パターンの配設領域に沿って上記配線パターンと各々交差するように設けられた各線分と、これら各線分を、これら線分同士を各々延長したときに、互いに隣り合う線分の延長線同士が交わる点よりも内側を通るように、互いに隣り合う上記各線分同士を連結する連結部構成線分とで囲まれた形状を有し、該ソルダレジスト開口部の外側に、上記連結部構成線分に対向して、上記半導体素子の接続用端子と上記配線パターンの接続用端子との位置合わせ用のマークパターン

30

【0040】

よって、上記の各構成によれば、半導体素子の接続用端子と、配線基板における配線パターンの接続用端子との接続位置精度が良好であり、かつ外形サイズが小さいCOF型の半導体装置に好適に用いられる配線基板を提供することができるという効果を奏する。

【0041】

本発明に係る半導体装置は、上記課題を解決するために、上記配線基板に半導体素子を実装してなる。

40

【0042】

よって、上記の構成によれば、半導体素子の接続用端子と、配線基板における配線パターンの接続用端子との接続位置精度が良好であり、かつ外形サイズが小さいCOF型の半導体装置を提供することができるという効果を奏する。

【0043】

また、上記マークパターンを上記ソルダレジスト開口部の外側に形成する場合、上記マークパターンを、ソルダレジスト開口部の外側に形成される上記絶縁性樹脂のフィレット形成領域に、上記絶縁性樹脂で上記マークパターンの上面全面が被覆されるように配置するためには、上記ソルダレジスト開口部は、平面視で、上記半導体素子の長手方向における上記配線パターンの配設領域に沿って上記配線パターンと各々交差するように設けられ

50

た各線分と、上記半導体素子の短手方向における上記配線パターンの配設領域に沿って上記配線パターンと各々交差するように設けられた各線分と、これら各線分を各々延長したときに、互いに隣り合う線分の延長線同士が交わる点よりも内側を通るように、互いに隣り合う上記各線分同士を連結する連結部構成線分とで囲まれた形状を有し、上記マークパターンは、上記ソルダレジスト開口部の外側に、上記連結部構成線分に対向して形成されていることが望ましい。

【0044】

よって、本発明に係る他の半導体装置は、上記課題を解決するために、絶縁性基板上に複数の配線パターンが設けられた配線基板と、該配線基板上に、絶縁性樹脂を介して実装された半導体素子とを備え、上記半導体素子に設けられた複数の接続用端子と上記配線パターンの各接続用端子とが電氣的に接続された半導体装置において、上記絶縁性基板上に、上記半導体素子の接続用端子と上記配線パターンの接続用端子との位置合わせ用のマークパターンを有し、該マークパターンは、その上面全面が上記絶縁性樹脂で被覆されており、上記マークパターンは、上記配線パターンを被覆するソルダレジストにおける、上記配線パターンの接続用端子を露出させるソルダレジスト開口部の外側に形成される上記絶縁性樹脂のフィレット形成領域に設けられており、上記ソルダレジスト開口部は、平面視で、上記半導体素子の長手方向における上記配線パターンの配設領域に沿って上記配線パターンと各々交差するように設けられた各線分と、上記半導体素子の短手方向における上記配線パターンの配設領域に沿って上記配線パターンと各々交差するように設けられた各線分と、これら各線分を各々延長したときに、互いに隣り合う線分の延長線同士が交わる点よりも内側を通るように、互いに隣り合う上記各線分同士を連結する連結部構成線分とで囲まれた形状を有し、上記マークパターンは、上記ソルダレジスト開口部の外側に、上記連結部構成線分に対向して形成されていることを特徴としている。

【0045】

また、上記ソルダレジスト開口部は、平面視で、上記半導体素子の長手方向における上記配線パターンの配設領域に沿って上記配線パターンと各々交差するように設けられた2辺が他辺よりも長い略八角形状を有し、上記マークパターンは、上記半導体素子の角部に対向する上記ソルダレジスト開口部の斜辺に対向して形成されていることが望ましい。

【0046】

よって、本発明に係るさらに他の半導体装置は、上記課題を解決するために、絶縁性基板上に複数の配線パターンが設けられた配線基板と、該配線基板上に、絶縁性樹脂を介して実装された半導体素子とを備え、上記半導体素子に設けられた複数の接続用端子と上記配線パターンの各接続用端子とが電氣的に接続された半導体装置において、上記絶縁性基板上に、上記半導体素子の接続用端子と上記配線パターンの接続用端子との位置合わせ用のマークパターンを有し、該マークパターンは、その上面全面が上記絶縁性樹脂で被覆されており、上記マークパターンは、上記配線パターンを被覆するソルダレジストにおける、上記配線パターンの接続用端子を露出させるソルダレジスト開口部の外側に形成される上記絶縁性樹脂のフィレット形成領域に設けられており、上記ソルダレジスト開口部は、平面視で、上記半導体素子の長手方向における上記配線パターンの配設領域に沿って上記配線パターンと各々交差するように設けられた2辺が他辺よりも長い略八角形状を有し、上記マークパターンは、上記半導体素子の角部に対向する上記ソルダレジスト開口部の斜辺に対向して形成されていることを特徴としている。

【0047】

上記マークパターンを上記ソルダレジスト開口部の外側に形成する場合、上記ソルダレジスト開口部並びにマークパターンが上記何れかの構成を有するように形成されていることで、上記マークパターンを、上記ソルダレジスト開口部の外側に形成する場合であっても、上記絶縁性基板上における上記絶縁性樹脂による半導体素子実装領域に配置することができるとともに、上記絶縁性樹脂による被覆領域が小さく、外形サイズがより小さい半導体装置を提供することができるという効果を奏する。

【0048】

10

20

30

40

50

そして、本発明によれば、半導体モジュール装置が、本発明にかかる上記半導体装置を備えていることで、半導体素子の接続用端子と、配線基板における配線パターンの接続用端子との接続位置精度が良好であり、かつ外形サイズが小さく、さらには、上記配線パターンのソルダレジスト内での露出を防止することができるC O F型の半導体装置を用いた半導体モジュール装置を提供することができるという効果を奏する。

【0049】

すなわち、本発明にかかる半導体モジュール装置は、上記課題を解決するために、本発明にかかる上記半導体装置を備えていることを特徴としている。

【0050】

本発明にかかる上記半導体装置は、例えば携帯電話、携帯情報端末、薄型ディスプレイ、ノート型コンピュータ等の各種半導体モジュール装置の駆動装置として好適に使用することができる。

【0051】

また、本発明にかかる上記半導体装置の製造方法は、上記課題を解決するために、絶縁性基板上に複数の配線パターンが設けられた配線基板と、該配線基板上に、絶縁性樹脂を介して実装された半導体素子とを備え、上記半導体素子に設けられた複数の接続用端子と上記配線パターンの各接続用端子とが電氣的に接続され、上記絶縁性基板上に、上記半導体素子の接続用端子と上記配線パターンの接続用端子との位置合わせ用のマークパターンを有し、該マークパターンは、その上面全面が上記絶縁性樹脂で被覆されており、該配線パターンの接続用端子は上記絶縁性樹脂で被覆されている半導体装置の製造方法であって、上記絶縁性基板上に、上記マークパターンの上面全面を被覆するように上記絶縁性樹脂を配置する工程と、上記マークパターン上の絶縁性樹脂を介して上記マークパターンを検出して上記半導体素子の接続用配線と上記配線パターンの接続用配線とを位置合わせする工程とを有することを特徴としている。また、さらに、上記半導体素子の接続用端子と上記配線パターンの接続用端子とを接続すると共に樹脂封止する工程を含むことが望ましい。

【0052】

上記の方法によれば、上記マークパターンの上面全面を被覆するように上記絶縁性樹脂を配置し、上記マークパターン上の絶縁性樹脂を介して上記マークパターンの検出が行われることで、上記マークパターンの検出が阻害されることがなく、上記半導体素子の接続用端子と配線パターンの接続用端子との位置合わせを、良好な接続位置精度にて行うことができる。また、上記の方法によれば、上記マークパターンを、上記マークパターンの検出が阻害されないように例えば、上記配線パターンを被覆するソルダレジストにおける、上記配線パターンの接続用端子を露出させるソルダレジスト開口部の外側に、上記ソルダレジストからできるだけ離間して形成する必要がない。このため、上記の方法によれば、上記マークパターンを、上記絶縁性基板上における上記絶縁性樹脂による半導体素子実装領域またはその近傍に設けることができるため、上記半導体装置の外形を小さくすることができると共に、上記マークパターンを避けて配線パターンを配置する必要がなく、配線の自由度を高くすることができる。

【0053】

また、本発明にかかる上記半導体装置の製造方法は、上記半導体素子の接続用配線と上記配線パターンの接続用配線とを位置合わせする工程の後に、上記絶縁性樹脂を硬化させて上記半導体素子を上記配線基板に固着すると共に、上記半導体素子の接続用端子と上記配線パターンの接続用端子とを電氣的に接続する工程をさらに含んでいる。

【0054】

よって、上記の各方法によれば、半導体素子の接続用端子と、配線基板における配線パターンの接続用端子との接続位置精度が良好であり、かつ外形サイズが小さいC O F型の半導体装置を提供することができるという効果を奏する。

【発明の効果】

【0055】

10

20

30

40

50

本発明にかかる配線基板、半導体装置並びに半導体モジュール装置は、以上のように、上記絶縁性基板上に、上記半導体素子の接続用端子と上記配線パターンの接続用端子との位置合わせ用のマークパターンを有し、該マークパターンは、その上面全面が上記絶縁性樹脂で被覆されているので、上記マークパターンの検出が阻害されることがなく、上記半導体素子の接続用端子と配線パターンの接続用端子との接続位置精度を良好に保つことができる。しかも、上記の構成によれば、上記マークパターンを、上記マークパターンの検出が阻害されないように例えば、上記配線パターンを被覆するソルダレジストにおける、上記配線パターンの接続用端子を露出させるソルダレジスト開口部の外側に、上記ソルダレジストからできるだけ離間して形成する必要がない。このため、上記の構成によれば、上記マークパターンを、上記絶縁性基板上における上記絶縁性樹脂による半導体素子実装領域またはその近傍に設けることができるため、上記半導体装置の外形を小さくすることができると共に、上記マークパターンを避けて配線パターンを配置する必要がなく、配線の自由度を高くすることができる。よって、本発明によれば、半導体素子の接続用端子と、配線基板における配線パターンの接続用端子との接続位置精度が良好であり、かつ外形サイズが小さいC O F型の半導体装置、すなわち、上記半導体素子実装領域にデバイスホールをもたない配線基板、半導体装置、並びに半導体モジュール装置を提供することができるという効果を奏する。

10

【 0 0 5 6 】

また、本発明にかかる半導体装置の製造方法は、以上のように、上記絶縁性基板上に、上記マークパターンの上面全面を被覆するように上記絶縁性樹脂を配置する工程と、上記マークパターン上の絶縁性樹脂を介して上記マークパターンを検出して上記半導体素子の接続用配線と上記配線パターンの接続用配線とを位置合わせする工程とを有しているので、上記マークパターンの検出が阻害されることがなく、上記半導体素子の接続用端子と配線パターンの接続用端子との位置合わせを、良好な接続位置精度にて行うことができる。また、上記の方法によれば、上記マークパターンを、上記マークパターンの検出が阻害されないように例えば、上記配線パターンを被覆するソルダレジストにおける、上記配線パターンの接続用端子を露出させるソルダレジスト開口部の外側に、上記ソルダレジストからできるだけ離間して形成する必要がない。このため、上記の方法によれば、上記マークパターンを、上記絶縁性基板上における上記絶縁性樹脂による半導体素子実装領域またはその近傍に設けることができるため、上記半導体装置の外形を小さくすることができると共に、上記マークパターンを避けて配線パターンを配置する必要がなく、配線の自由度を高くすることができる。よって、上記の方法によれば、半導体素子の接続用端子と、配線基板における配線パターンの接続用端子との接続位置精度が良好であり、かつ外形サイズが小さい、本発明にかかる上記C O F型の半導体装置を提供することができるという効果を奏する。

20

30

【 0 0 5 7 】

また、本発明によれば、以上のように、上記配線基板が、絶縁性基板上に設けられた複数の配線パターンを被覆するソルダレジストにおける、上記配線パターンの接続用端子を露出させるソルダレジスト開口部は、平面視で、上記絶縁性基板上に実装される半導体素子の長手方向における上記配線パターンの配設領域に沿って上記配線パターンと各々交差するように設けられた各線分と、上記半導体素子の短手方向における上記配線パターンの配設領域に沿って上記配線パターンと各々交差するように設けられた各線分と、これら各線分を、これら線分同士を各々延長したときに、互いに隣り合う線分の延長線同士が交わる点よりも内側を通るように、互いに隣り合う上記各線分同士を連結する連結部構成線分とで囲まれた形状を有し、該ソルダレジスト開口部の外側に、上記連結部構成線分に対向して、上記半導体素子の接続用端子と上記配線パターンの接続用端子との位置合わせ用のマークパターンを有していることによっても、上記絶縁性基板上への半導体素子実装時に、絶縁性樹脂による半導体素子実装領域に、その上面全面が上記絶縁性樹脂で被覆された上記マークパターンが形成された配線基板を容易に得ることができる。

40

【 0 0 5 8 】

50

よって、上記の各構成によれば、半導体素子の接続用端子と、配線基板における配線パターンとの接続用端子との接続位置精度が良好であり、かつ外形サイズが小さい、本発明にかかる上記COF型の半導体装置に好適に用いられる配線基板を提供することができるという効果を奏する。

【発明を実施するための最良の形態】

【0059】

〔実施の形態1〕

本発明の実施の一形態について図1～図11並びに図17、図18に基づいて説明すれば、以下の通りである。

【0060】

なお、本実施の形態では、本発明にかかる半導体モジュールの一例として液晶モジュール（液晶表示装置）を例に挙げて説明するものとするが、本発明はこれに限定されるものではない。

【0061】

図1は、本実施の形態にかかる半導体装置の概略構成を示す平面図であり、図2は、図1に示す半導体装置を実装してなる液晶モジュールの概略構成を示す平面図である。また、図3は、本実施の形態にかかる半導体装置における半導体素子実装領域の概略構成を示す平面図であり、図4は、本実施の形態にかかる半導体装置の概略構成を示す要部断面図である。なお、図3では、説明の便宜上、半導体素子を、二点鎖線にて示すと共に、絶縁性樹脂の配設領域（形成領域）を、上記二点鎖線を囲む点線にて示すものとする。言い換

えれば、図3中、二点鎖線にて囲まれた領域が半導体素子の搭載領域であり、上記二点鎖線で囲まれた領域を囲む点線で囲まれた領域が絶縁性樹脂の配設領域、すなわち、該絶縁性樹脂による半導体素子の実装領域であり、上記二点鎖線と点線とで囲まれた領域が、後述するフィレット部（フィレット形成領域）に相当する。

【0062】

以下、本発明では、上記半導体素子搭載領域およびその周辺部の上記絶縁性樹脂によるフィレット形成領域を合わせて上記絶縁性樹脂による上記半導体素子の実装領域とする。

【0063】

また、図4は、図3に示す半導体装置のA-A'線矢視断面図である。

【0064】

図2に示すように、本実施の形態にかかる液晶モジュール100は、液晶パネル31の短手方向端部に、本実施の形態にかかる半導体装置20が実装（搭載）されている構成を有している。本実施の形態にかかる半導体装置20は、図1および図2に示すように、配線基板16と半導体素子12とを備えている。

【0065】

上記半導体装置20は、外部接続用コネクタ部として、上記配線基板16の一端に、外部の電子機器、すなわち、本実施の形態においては液晶パネル31と電氣的に接続される出力端子7を備えると共に、上記配線基板16の他端に、上記半導体装置20への信号入力のための入力端子8を備え、図2に示すように、上記出力端子7を介して上記液晶パネル31と電氣的に接続されている。

【0066】

本実施の形態にかかる半導体装置20はCOF型の半導体装置（COF）であり、上記液晶パネル31に、例えば、図示しない異方性導電膜であるACF等によって接続（接合）されている。

【0067】

上記半導体装置20の出力信号は、上記出力端子7より出力され、上記液晶パネル31を構成するガラス基板32上の図示しない基板上配線（接続配線）を介して、液晶パネル31の各信号線に伝達される。

【0068】

また、上記半導体装置20は、入力端子8を介してプリント基板41（配線基板）に接

10

20

30

40

50

続されており、上記入力端子 8 を介して信号交換や通電が行われる。

【 0 0 6 9 】

上記半導体素子 1 2 は、当該半導体装置が搭載される電子機器の駆動の制御、すなわち、本実施の形態では液晶パネル 3 1 の駆動の制御に使用される液晶ドライバ（液晶駆動回路）として機能する。上記半導体素子 1 2 は、例えば、シリコンウェハ（シリコン単結晶基板）にて形成され、該半導体素子 1 2 上には、図示しないボンディングパッドを介して、金属材料（導電性材料）からなる入出力用の突起電極 1 3（接続用端子、パンプ）が複数形成されている。上記突起電極 1 3 としては、例えば、金（Au）が好適に用いられる。

【 0 0 7 0 】

一方、上記配線基板 1 6 は、図 3 および図 4 に示すように、フィルム基板（基材）としてのテープキャリア 1 0（絶縁テープ、絶縁性基板）上に、配線パターン 2（配線）が設けられている構成を有している。上記半導体素子 1 2 は、上記半導体素子 1 2 に設けられた突起電極 1 3 と上記配線パターン 2 とが接続されるように、上記配線基板 1 6 上に、上記テープキャリア 1 0 に半導体素子 1 2 を搭載するための開口部（デバイスホール）が形成されない COF 方式により、上記半導体素子 1 2 の能動面を下向き（フェイスダウン）にして実装（搭載）されている。

【 0 0 7 1 】

上記テープキャリア 1 0 は、自由に折り曲げることが可能な、柔軟性の高い絶縁フィルムであり、例えばポリイミド樹脂、ポリエステル樹脂等のプラスチックからなる絶縁材料を主材料とする可撓性の絶縁フィルムである。なお、本実施の形態では、上記テープキャリア 1 0 として、薄膜のポリイミド系絶縁テープを使用するものとするが、本発明はこれに限定されるものではない。

【 0 0 7 2 】

また、上記テープキャリア 1 0 の厚みは、該テープキャリア 1 0 を自由に折り曲げることが可能な厚みに設定され、特に限定されるものではないが、一般的には、15 μm ~ 40 μm 程度、より具体的には、例えば、15 μm、20 μm、25 μm、38 μm、もしくは 40 μm の層厚を有している。

【 0 0 7 3 】

また、上記配線パターン 2 は、例えば、上記テープキャリア 1 0 上に接着（固定）された厚さ 5 μm ~ 20 μm 程度の銅箔をウェットエッチングすることにより形成されている。より具体的には、上記テープキャリア 1 0 の表面には、例えば、厚さ 5 μm、8 μm、9 μm、12 μm、もしくは 18 μm の配線パターン 2（銅箔パターン）が形成されている。また、上記配線パターン 2（銅箔パターン）の表面には、錫メッキや金メッキ等の図示しないメッキが施されている。

【 0 0 7 4 】

また、上記テープキャリア 1 0 における上記半導体素子 1 2 との接続領域（半導体素子実装領域）並びに液晶パネル 3 1 や図示しないプリント基板等が接続される外部接続用コネクタ部（出力端子 7 および入力端子 8）以外のパターン露出部には、エポキシ樹脂等の絶縁性の樹脂被膜（絶縁性材料）からなるソルダレジスト 3（保護膜）が塗布されている。これにより上記配線パターン 2 は、酸化等から保護されると共に、絶縁状態が確保されている。

【 0 0 7 5 】

また、上記ソルダレジスト 3 は、図 3 に示すように、上記配線パターン 2 における上記半導体素子 1 2 との接続領域、すなわち、上記配線基板 1 6 における上記半導体素子 1 2 の実装領域（接続・搭載領域）、より厳密には上記半導体素子 1 2 の搭載領域およびその周辺領域が、矩形状に開口された開口部 4（ソルダレジスト開口部）を有している。本実施の形態によれば、上記配線基板 1 6 における上記ソルダレジスト 3 の開口部 4 の内側には、その四隅（すなわち、各角部）に、上記半導体素子 1 2 の突起電極 1 3 と上記配線パターン 2 とを接続する際に位置合わせを行うためのアライメント用のマークパターン（以

10

20

30

40

50

下、単にアライメント用マークと記す) 1 が、上記開口部 4 の各縁部 (各辺) と平行な線分を有する略十字形状 (+ 形状; 以下、単に十字形状と記す) に形成されている。

【0076】

上記アライメント用マーク 1 は、好適には上記配線パターン 2 と同じ材料にて形成されている。これにより、上記アライメント用マーク 1 は、上記配線パターン 2 の形成と同時に形成することができる。

【0077】

本実施の形態では、上記配線パターン 2 と同じ材料 (銅箔) からなり、同じ高さを有するアライメント用マーク 1 が、上記開口部 4 の内側の各角部に、上記半導体素子 1 2 の突起電極 1 3 と接触しないように、上記配線パターン 2 と離間して設けられている。

10

【0078】

本実施の形態では、上記半導体素子 1 2 は、上記十字形状のアライメント用マーク 1 ... における各交叉部が上記半導体素子 1 2 の各角部に位置するように上記アライメント用マーク 1 ... と重ね合わせることで位置合わせされている。

【0079】

これにより、上記半導体素子 1 2 は、上記配線基板 1 6 における、上記開口部 4 の四隅 (各角部) に形成された 4 つのアライメント用マーク 1 ... の交叉部で囲まれた領域に、上記半導体素子 1 2 の下面を封止する、NCP 等の絶縁性樹脂 1 1 を用いて、上記半導体素子 1 2 に設けられた突起電極 1 3 と上記配線パターン 2 における接続用端子 2 a とが互いに接続されるように実装されている。

20

【0080】

本実施の形態において、上記絶縁性樹脂 1 1 は、図 3 および図 4 に示すように、上記アライメント用マーク 1 を覆うように、上記ソルダレジスト 3 の開口部 4 の外側にまで配設 (形成) されている。上記絶縁性樹脂 1 1 は、上記配線基板 1 6 と半導体素子 1 2 との加熱加圧接続時に流動化することで、上記配線基板 1 6 と半導体素子 1 2 との間に設けられた絶縁性樹脂 1 1 が、上記配線基板 1 6 と半導体素子 1 2 との間の隙間から上記半導体素子 1 2 の外側にはみ出した状態で硬化する。このため、上記半導体素子 1 2 の周辺には、該半導体素子 1 2 の外側に拡がるように、フィレット部 (ひれ状部) 1 1 a が形成されている。

【0081】

30

上記絶縁性樹脂 1 1 としては、上記半導体素子 1 2 の接続・封止に従来使用されている公知の絶縁性樹脂を使用することができ、その樹脂材料 (組成) は特に限定されるものではない。上記絶縁性樹脂 1 1 としては、例えば、エポキシ樹脂、シリコン樹脂、フェノキシ樹脂、アクリル樹脂、ポリエーテルスルホン樹脂 (PES 樹脂) 等の、透光性を有する熱硬化性樹脂もしくは紫外線硬化性樹脂等の光硬化性樹脂、好適には透明樹脂が挙げられる。

【0082】

次に、本実施の形態にかかる半導体装置 2 0 の製造方法、つまり、上記半導体素子 1 2 の配線基板 1 6 への実装方法について、図 3 および図 5 (a) ~ (d) を参照して以下に説明する。

40

【0083】

図 5 (a) ~ (d) は、図 4 に示す本実施の形態にかかる半導体装置の製造工程を示す要部断面図である。

【0084】

本実施の形態では、図 3 および図 5 (a) に示すように、配線基板 1 6 に用いられるテープキャリア 1 0 における半導体素子 1 2 の接続・搭載領域周辺 (実装領域) に設けられるソルダレジスト 3 の開口部 4 の内側に位置するように、半導体素子 1 2 の突起電極 1 3 と、配線パターン 2 の接続用端子 2 a とを接続する際に位置合わせを行うためのアライメント用マーク 1 を設置する。

【0085】

50

上記アライメント用マーク 1 は、上記配線パターン 2 と同じ材料、同じ形成方法により、上記配線パターン 2 の形成工程と同一の工程において、上記配線パターン 2 と同時に形成することができる。上記アライメント用マーク 1 および配線パターン 2 は、例えば、上記テープキャリア 10 上に形成された銅箔をエッチングすることにより形成することができる。

【0086】

以下に、上記アライメント用マーク 1 および配線パターン 2 の形成方法、すなわち、本実施の形態にかかる配線基板 16 の作製方法について、キャスト方式を例に挙げて説明するが、本発明はこれに限定されるものではなく、従来公知の各種配線パターン形成方法により上記アライメント用マーク 1 および配線パターン 2 を形成することができる。

10

【0087】

キャスト方式を用いて上記配線基板 16 を作製する場合、まず、銅箔の表面を粗化処理した後、ポリイミド前駆体溶液を該銅箔上に塗布し、ポリイミド前駆体溶液をイミド化させることで、銅/ポリイミドの積層基板、つまり、ポリイミドからなるベースフィルム（テープキャリア 10）上に、配線パターン形成用の銅箔が積層されてなる銅張ベースフィルムを作製する。次いで、上記銅箔上に、耐エッチング性材料である感光性フィルムを貼り付けてパターン（配線パターン 2 およびアライメント用マーク 1）形成部分を露光、現像して上記パターン形成部分にのみ耐エッチング性の感光性フィルムが積層された状態とし、上記銅箔表面にエッチング液を吹き付けることで、パターン形成部分以外の銅箔をエッチング除去する。その後、上記積層基板上の感光性フィルムを有機溶媒等の薬品で除去して上記パターンを露出させることにより、一方の表面に配線パターン 2 とアライメント用マーク 1 とが形成されたテープキャリア 10 が得られる。その後、上記アライメント用マーク 1 が露出するように、上記テープキャリア 10 における上記アライメント用マーク 1 で囲まれた領域を除くパターン形成領域にソルダレジスト 3 を塗布する。このとき、上記配線パターン 2 のうちソルダレジスト 3 で被覆されていない部分は、接続用端子 2a として用いられる。このとき、少なくとも上記接続用端子 2a の表面には、錫メッキや金メッキが施される。これにより、ソルダレジスト 3 の開口部 4 内にアライメント用マーク 1 が形成された本実施の形態にかかる配線基板 16 を得ることができる。

20

【0088】

本実施の形態では、前記したように、上記開口部 4 の内側の各角部に、上記配線パターン 2 と離間して、平面視で十字形状のアライメント用マーク 1 を設置した。

30

【0089】

次に、図 3 および図 5 (b) に示すように、上記接続用端子 2a を覆うように熱硬化性の絶縁性樹脂 11 を塗布する。本実施の形態では、上記絶縁性樹脂 11 を、上記開口部 4 の外側にまで塗布すると共に、上記アライメント用マーク 1 全体を覆うように、上記アライメント用マーク 1 の表面全面にも上記絶縁性樹脂 11 を塗布する。

【0090】

上記絶縁性樹脂 11 の塗布位置は、上記アライメント用マーク 1 を検出することで決定される。

【0091】

上記アライメント用マーク 1 の検出は、例えば、市販のフリップチップボンダーの検出機構（カメラ）を用いて行うことができる。

40

【0092】

次いで、図 5 (c) において矢印 14 で示すように、上記アライメント用マーク 1 表面に塗布された絶縁性樹脂 11 を介して上記アライメント用マーク 1 の検出を行う一方、矢印 15 で示すように半導体素子 12 の能動面に設けられたアライメント用マーク 5（図 3 参照）も検出して上記接続用端子 2a と上記半導体素子 12 に設けられた突起電極 13 との位置合わせを行う。

【0093】

このときの上記アライメント用マーク 1 の検出およびアライメント用マーク 5 の検出は

50

、上記したように、何れも、市販のフリップチップボンダの検出機構（カメラ）を用いて上記アライメント用マーク 1 並びにアライメント用マーク 5 の位置を検出（確認）することで実施することができる。

【 0 0 9 4 】

なお、本実施の形態では、上記アライメント用マーク 1 を、上記アライメント用マーク 1 表面に塗布された絶縁性樹脂 1 1 を介して行うことから、正常な検出のためには、上記絶縁性樹脂 1 1 が透光性を有していることが望ましい。上記絶縁性樹脂 1 1 は上記アライメント用マーク 1 上に薄く積層（塗布）されることから、必ずしも透明な樹脂を使用する必要はなく、上記絶縁性樹脂 1 1 は、上記検出機構によって上記アライメント用マーク 1 の検出が可能な材料、膜厚に設定されていればよい。

10

【 0 0 9 5 】

本実施の形態では、上記半導体素子 1 2 を、上記開口部 4 の内側の各角部に設けられた十字形状のアライメント用マーク 1 ... における各交叉部が上記半導体素子 1 2 の各角部に位置するように上記アライメント用マーク 1 ... に重ね合わせることで、上記接続用端子 2 a と突起電極 1 3 との位置合わせが行われる。

【 0 0 9 6 】

その後、パルス加熱ツール等の図示しない加熱ツールを使用して、図 5 (d) において矢印 1 9 で示すように上記半導体素子 1 2 を加圧並びに加熱して上記絶縁性樹脂 1 1 を加熱硬化させて上記半導体素子 1 2 を上記配線基板 1 6 上に接合・搭載すると共に、上記配線基板 1 6 に形成された配線パターン 2 の各配線が、上記半導体素子 1 2 における対応する突起電極 1 3 と電氣的に接続されるように、各突起電極 1 3 と接続用端子 2 a とを接合する。

20

【 0 0 9 7 】

また、上記半導体素子 1 2 を加圧し、上記突起電極 1 3 と接続用端子 2 a とを接合する際に、上記半導体素子 1 2 の下部から該半導体素子 1 2 の周囲に押し出された絶縁性樹脂 1 1 と、上記半導体素子 1 2 の外周部に塗布されている絶縁性樹脂 1 1 とで、上記半導体素子 1 2 の側面に、フィレット部 1 1 a （樹脂フィレット）が形成される。

【 0 0 9 8 】

これにより、上記配線基板 1 6 上に、絶縁性樹脂 1 1 を用いて上記半導体素子 1 2 が C O F 方式により実装（搭載）された本実施の形態にかかる半導体装置 2 0 を得ることができ

30

【 0 0 9 9 】

なお、上記製造方法においては、上記絶縁性樹脂 1 1 として、熱硬化性樹脂を使用し、上記絶縁性樹脂 1 1 を加熱硬化させる方法を例に挙げて説明したが、上記絶縁性樹脂 1 1 としては、光硬化性樹脂であってもよく、該絶縁性樹脂 1 1 に光を照射することにより該絶縁性樹脂 1 1 を硬化させる方法を用いてもよい。上記絶縁性樹脂 1 1 の硬化条件は特に限定されない。

【 0 1 0 0 】

また、上記絶縁性樹脂 1 1 の塗布方法としては、ディスペンサーによる噴射やノズルによる滴下の他、シート状の熱可塑性樹脂または光硬化性樹脂の積層等を使用することもでき

40

【 0 1 0 1 】

以上のように、本実施の形態では、M B B、N C P、A C P 等の接続・封止方法においては、絶縁性樹脂 1 1 の塗布領域制御が比較的容易であることに着目し、あえてソルダレジスト 3 の開口部 4 内にアライメント用マーク 1 を設置し、上記アライメント用マーク 1 の表面全面に、上記絶縁性樹脂 1 1 を被覆している。

【 0 1 0 2 】

本実施の形態によれば、上記したように上記アライメント用マーク 1 の表面全面を上記絶縁性樹脂 1 1 で覆うことにより、上記アライメント用マーク 1 の表面全面が露出している場合と同様に、上記アライメント用マーク 1 の正常な検出を行うことが可能となる。

50

【0103】

ここで、比較のために、NCP等の接続・封止方法によりCOF型の半導体装置を製造する場合に、アライメント用マーク1を絶縁性樹脂11が部分的に覆っている場合における上記半導体素子12の実装について、図17および図18(a)~(d)を参照して以下に説明する。

【0104】

図17および図18(a)~(d)では、図13ないし図16(a)~(d)に示したように、配線基板201に用いられるテープキャリア10における半導体素子12の接続・搭載領域周辺(実装領域)に設けられるソルダレジスト3の開口部4aの外側にアライメント用マーク1を設置した場合に、上記開口部4a内での配線パターン2の露出を防止する目的で絶縁性樹脂11の塗布領域を大きくとったときに発生し易い課題例として、上記アライメント用マーク1を上記絶縁性樹脂11が部分的に覆っている場合を示している。すなわち、図17および図18(a)~(d)は、絶縁性樹脂11の塗布領域内に上記アライメント用マーク1全体が含まれるものではない。

10

【0105】

図17は、上記比較用の半導体装置における半導体素子実装領域の概略構成を示す平面図であり、図18(a)~(d)は、図17に示す半導体装置の製造工程を示す要部断面図である。なお、図17でも、説明の便宜上、半導体素子を二点鎖線にて示すと共に、絶縁性樹脂の配設領域(形成領域)を、上記二点鎖線を囲む点線にて示すものとする。また、図18(a)~(d)はそれぞれ図17に示す半導体装置のC-C'線矢視断面図に相当する。

20

【0106】

本比較例では、図17および図18(a)に示すように、テープキャリア10における半導体素子12の接続・搭載領域周辺(実装領域)に設けられるソルダレジスト3の開口部4aの外側に開口部4bを設けて該開口部4b内にアライメント用マーク1を設置した後、図18(b)に示すように、上記開口部4aの外縁部にまで熱硬化性の絶縁性樹脂11を塗布する。本比較例では、上記絶縁性樹脂11の塗布領域に、上記開口部4bが形成されていることで、上記絶縁性樹脂11が、上記アライメント用マーク1を部分的に覆ってしまう。

【0107】

しかしながら、この状態で図18(c)において矢印14で示すように上記アライメント用マーク1の検出を行おうとすると、上記アライメント用マーク1の検出時に検出部分(アライメント用マーク1)に濃淡が発生し、正常な検出を行うことができないことが、本願発明者等の検討により確認された。

30

【0108】

この結果、図18(d)に示すように、半導体素子12の突起電極13と配線基板201の接続用端子2aとの接続位置精度が低下し、良好な接続を行うことができなかった。

【0109】

このように、ソルダレジスト3の開口部4a内での配線パターン2の露出を防止するために該開口部4aの外側にまで絶縁性樹脂11を塗布すると、アライメント用マーク1の一部に絶縁性樹脂11が被ってしまい、アライメント用マーク1の検出精度が低下し、正常な検出ができなくなるおそれがある。

40

【0110】

このような傾向は、上記アライメント用マーク1を上記開口部4aの外側に配置した場合、上記絶縁性樹脂11の塗布領域をある程度大きくするか、もしくは、上記アライメント用マーク1を上記開口部4aに近づけて形成した場合に顕著なものとなる。

【0111】

このため、上記アライメント用マーク1が部分的に絶縁性樹脂11により被覆されることを防止するためには、例えば、図14に示したように絶縁性樹脂11の塗布領域を小さくするか、もしくは、上記アライメント用マーク1を、上記絶縁性樹脂11の塗布領域か

50

ら大きく離間した位置に形成する必要がある。しかしながら、この場合、前記したように、上記開口部 4 a 内で配線パターン 2 が露出したり、得られる半導体装置の外形サイズが大きくなるという問題点を招来する。

【 0 1 1 2 】

しかしながら、本実施の形態によれば、上述したように上記アライメント用マーク 1 の表面全面を上記絶縁性樹脂 1 1 で覆うことにより、上記アライメント用マーク 1 の検出時に検出部分（アライメント用マーク 1）に濃淡が発生せず、正常な検出を行うことができることが、本願発明者等により確認された。

【 0 1 1 3 】

また、本実施の形態によれば、上記ソルダレジスト 3 の開口部 4 の外側にまで上記絶縁性樹脂 1 1 を塗布することで、上記開口部 4 内での上記配線パターン 2 の露出を完全に防止することができる。

【 0 1 1 4 】

前記したように、可撓性を有する薄膜状のテープキャリア 1 0 上に半導体素子 1 2 を実装（搭載）する際には、通常、上記半導体素子 1 2 とテープキャリア 1 0 との接続部（半導体素子実装領域）の補強や密着性向上のために、上記絶縁性樹脂 1 1 を上記半導体素子 1 2 の周縁部にはみ出させた状態で硬化させることにより、上記半導体素子 1 2 の周縁部にフィレット部 1 1 a が設けられる。

【 0 1 1 5 】

しかしながら、このように上記半導体素子 1 2 の周縁部にフィレット部 1 1 a を形成する場合、該フィレット部 1 1 a の形成に上記テープキャリア 1 0 上に塗布した絶縁性樹脂 1 1 が使用されることから、上記絶縁性樹脂 1 1 が、該絶縁性樹脂 1 1 の塗布領域の外側にまで広がる可能性は低く、逆に、上記絶縁性樹脂 1 1 による被覆領域は小さくなる傾向にある。さらに、上記フィレット部 1 1 a の形成に絶縁性樹脂 1 1 が使用されても、少なくとも、上記絶縁性樹脂 1 1 の塗布領域は、上記絶縁性樹脂 1 1 の塗布跡として薄い樹脂が残留する。このため、上記開口部 4 内での上記配線パターン 2 の露出を完全に防止するためには、上記ソルダレジスト 3 の開口部 4 の外側にまで上記絶縁性樹脂 1 1 を塗布することが望ましい。

【 0 1 1 6 】

以上のように、本実施の形態によれば、半導体素子 1 2 の実装領域を開口（露出）させる、上記ソルダレジスト 3 の開口部 4 内に、上記半導体素子 1 2 の突起電極 1 3 と上記テープキャリア 1 0 上の配線パターン 2 とを接続する際に両者の位置合わせを行うためのアライメント用マーク 1 を設置し、上記半導体素子 1 2 の接続・封止のための絶縁性樹脂 1 1 を、上記アライメント用マーク 1 全体を覆うように塗布し、上記アライメント用マーク 1 表面の絶縁性樹脂 1 1 を介して上記アライメント用マーク 1 を検出するため、上記アライメント用マーク 1 の検出が阻害されることがなく、上記突起電極 1 3 と配線パターン 2 の接続用端子 2 a との接続位置精度を良好に保つことができると共に、上記アライメント用マーク 1 を避けて上記配線パターン 2 を配置する必要がなく、配線の自由度を高くすることができる。そして、この場合、特に、上記絶縁性樹脂 1 1 を、上記ソルダレジスト 3 の開口部 4 全面を覆うように、上記開口部 4 内のみならず、上記開口部 4 の外周部にまで塗布し、上記アライメント用マーク 1 表面の絶縁性樹脂 1 1 を介して上記アライメント用マーク 1 を検出することで、上記半導体装置の外形サイズを小さくできると共に、上記突起電極 1 3 と配線パターン 2 との接続位置精度を良好に保ちながら、上記ソルダレジスト 3 の開口部 4 内での上記配線パターン 2 の露出を防止することができる。

【 0 1 1 7 】

なお、最終的に得られた半導体装置（製品）における上記絶縁性樹脂 1 1 の塗布領域は、上記絶縁性樹脂 1 1 の塗布跡、もしくは、表面分析により判断することができる。

【 0 1 1 8 】

なお、本実施の形態においては、主に、配線基板 1 6 に用いられるテープキャリア 1 0

10

20

30

40

50

における半導体素子 1 2 の接続・搭載領域周辺（実装領域）に設けられる、ソルダレジスト 3 の平面視矩形形状の開口部 4 の四隅（各角部）に、配線パターン 2 と離間して、平面視で十字形状のアライメント用マーク 1 が設置されている構成について説明したが、上記アライメント用マーク 1 の形状並びに配置（個数）はこれに限定されるものではなく、良好な接続位置精度が得られる範囲内で種々変更することができる。

【 0 1 1 9 】

図 6 ~ 図 1 1 は、本実施の形態にかかる半導体装置の変形例であり、図 3 に示す半導体装置とは、上記アライメント用マーク 1 の形状並びに配置（個数）が各々異なっている。なお、図 6 ~ 図 1 1 においても、説明の便宜上、半導体素子を、二点鎖線にて示すと共に、絶縁性樹脂の配設領域（形成領域）を、上記二点鎖線を囲む点線にて示す。

10

【 0 1 2 0 】

図 6 および図 7 は、上記矩形形状の開口部 4 の内側に、該開口部 4 の 4 つの角部のうち、2 つの角部に、図 3 に示すアライメント用マーク 1 と同様のアライメント用マーク 1 を設けた例を示している。

【 0 1 2 1 】

本願発明者等が確認した結果、本実施の形態に示すようにアライメント用マーク 1 の表面全面に絶縁性樹脂 1 1 を塗布した場合でも、二箇所以上、アライメント用マーク 1 を形成し、二箇所以上、アライメント用マーク 1 を検出して前記位置合わせ（自動補正）を行えば、図 3 に示す半導体装置 2 0 よりも若干、位置合わせ精度が低下するにしても、問題ない接続位置精度が得られることが判った。また、上記図 6 または図 7 に示すようにアライメント用マーク 1 の配置（個数）を変更することで、より一層、テープキャリア 1 0 の小型化が可能となる。

20

【 0 1 2 2 】

また、図 8 および図 9 は、図 3 に示すアライメント用マーク 1 よりも小さいアライメント用マーク 1 が設けられている例を示し、図 8 および図 9 に示す半導体装置は、アライメント用マーク 1 として、上記矩形形状の開口部 4 の内側に、図 3 に示すアライメント用マーク 1 の一部に相当する形状のアライメント用マーク 1 が設けられている構成を有している。

【 0 1 2 3 】

より具体的には、図 8 に示す半導体装置には、アライメント用マーク 1 として、略 T 字状のアライメント用マーク 1 の一片（長片）が、上記半導体素子 1 2 の角部に平面視で当接するように、上記矩形形状の開口部 4 の四隅（各角部）に配置されている。

30

【 0 1 2 4 】

また、図 9 に示す半導体装置には、アライメント用マーク 1 として、鉤状のアライメント用マーク 1 が、上記半導体素子 1 2 の角部を覆うように、上記矩形形状の開口部 4 の四隅（各角部）に配置されている。

【 0 1 2 5 】

上記図 8 または図 9 に示すアライメント用マーク 1 は、例えば上記半導体素子 1 2 の縁部と開口部 4 の縁部との間のスペースが狭い場合に適している。

【 0 1 2 6 】

その他、上記アライメント用マーク 1 の形状としては、図 1 0 に示すように、ドーナツ（輪）状もしくは円状等、種々の形状に形成することができる。さらに、図 1 1 に示すように、配線パターン 2 を、上記半導体素子 1 2 の角部に向かって延設することにより、突起電極 1 3 と接触しない位置に、上記配線パターン 2 から延設されてなるアライメント用マーク 1 が形成されている構成としてもよい。

40

【 0 1 2 7 】

以上のように、本実施の形態によれば、上記アライメント用マーク 1 の形状や配置を、例えば図 6 ~ 図 1 1 に示すように種々変更した場合でも、前記した本発明の効果を得ることができる。

【 0 1 2 8 】

50

なお、本実施の形態では、上記アライメント用マーク 1 が、上記配線パターン 2 と同一の材料により同一の工程で同時に形成される場合を例に挙げて説明したが、本発明はこれに限定されるものではなく、上記アライメント用マーク 1 と配線パターン 2 とが互いに異なる材料により別々の工程にて形成される構成としてもよい。

【0129】

また、本実施の形態では、上記アライメント用マーク 1 を上記配線パターン 2 同様、導電性材料にて形成することで、上記アライメント用マーク 1 が上記半導体素子 1 2 と接触しないように配置されている構成としたが、上記アライメント用マーク 1 は、上記絶縁性樹脂 1 1 を介して検出が可能であれば、その材料は特に限定されるものではない。なお、上記アライメント用マーク 1 に非導電性材料を用いた場合には、上記アライメント用マーク 1 と半導体素子 1 2 とが接触しても構わない。

10

【0130】

また、本実施の形態では、本発明にかかる半導体モジュール装置の一例として液晶モジュールを例に挙げて説明したが、本発明はこれに限定されるものではなく、例えば携帯電話、携帯情報端末、薄型ディスプレイ、ノート型コンピュータ等の各種モジュール（モジュール半導体装置）に適用することが可能である。本発明にかかる半導体装置、例えば上記半導体装置 2 0 は、上記した各種半導体モジュール装置の駆動装置として好適に使用することができる。

【0131】

さらに、本実施の形態では、上記半導体装置 2 0 として、テープキャリア 1 0 上に半導体素子 1 2 が 1 つ実装されてなる半導体装置を例に挙げて説明したが、本発明はこれに限定されるものではなく、1 つのテープキャリア 1 0 上に、複数の半導体素子 1 2 が、例えば上記出力端子 7 に沿って、各々 C O F 方式で実装されている構成としてもよい。本発明において 1 つの半導体装置内に実装される半導体素子 1 2 の個数は何ら限定されるものではない。

20

【0132】

〔実施の形態 2〕

本発明の実施の他の形態について図 1 2 に基づいて説明すれば、以下の通りである。なお、説明の便宜上、実施の形態 1 にかかる構成要素と同様の機能を有する構成要素には同一の番号を付し、その説明を省略する。本実施の形態では、主に、前記実施の形態 1 との相違点について説明するものとする。

30

【0133】

なお、前記実施の形態 1 では、アライメント用マーク 1 が、テープキャリア 1 0（配線基板 1 6）における半導体素子 1 2 の接続・搭載領域周辺に設けられた、ソルダレジスト 3 の矩形状の開口部 4 内に配置されている場合について説明したが、本実施の形態では、上記アライメント用マーク 1 が、テープキャリア 1 0（配線基板 1 6）における半導体素子 1 2 の接続・搭載領域周辺に設けられた、ソルダレジスト 3 の開口部 4 a（ソルダレジスト開口部）の外側に配置されている場合を例に挙げて説明するものとする。

【0134】

本実施の形態にかかる半導体装置は、上記配線基板 1 6 上に半導体素子 1 2 が実装された状態において上記半導体素子 1 2 の各縁部（各辺）と平行な線分を有するように形成された十字形状（+ 形状）のアライメント用マーク 1 が、上記半導体素子 1 2 の搭載領域の角部、より具体的には、上記配線基板 1 6 上に上記半導体素子 1 2 が実装された状態で、上記半導体素子 1 2 の各角部を囲むように、上記半導体素子 1 2 の角部に近接して形成されていると共に、ソルダレジスト 3 に、上記アライメント用マーク 1 を囲むように各々開口された 4 つの開口部 4 b と、上記 4 つの開口部 4 b で囲まれた上記半導体素子 1 2 の接続・搭載領域を開口（露出）させると共に、上記開口部 4 b を避けるように八角形（略八角形）に開口された開口部 4 a とが設けられている。

40

【0135】

これにより、本実施の形態にかかる半導体装置は、ソルダレジスト 3 の開口部 4 ' とし

50

て、テープキャリア10における半導体素子12の接続・搭載領域周辺に、該半導体素子12の接続・搭載領域を開口（露出）させる、平面視で、2辺が他辺よりも長い八角形状（略八角形状）の開口部4aと、該開口部4aの斜辺（平面視）に沿って形成されているアライメント用マーク1の形成領域を開口させる開口部4bとを有し、上記開口部4b内に、アライメント用マーク1が配置された構成を有している。

【0136】

上記開口部4aは、より具体的には、平面視で、前記実施の形態1におけるソルダレジスト3の矩形形状（略矩形形状）の開口部4の四隅（各角部）が各々切り欠かれた形状（上記半導体素子12よりも一回り大きく形成された矩形のソルダレジスト開口部の四隅にソルダレジストが充填されている構成）を有し、該開口部4aの各縁部（辺）は、テープキャリア10における半導体素子12の実装領域に形成された配線パターン2...に各々直交（略直交）する各縁部（辺）と、これら各縁部（辺）を結ぶように、上記半導体素子12の実装領域において配線パターン2が形成されていない領域が上記ソルダレジスト3で封止されることにより形成される縁部（辺）とで形成（構成）されている。

10

【0137】

すなわち、上記開口部4aは、上記配線基板16上に半導体素子12が実装（搭載）されている状態において、上記半導体素子12に近接する8つの縁部（線分）からなり、これら8つの線分は、上記半導体素子12の長手方向に沿って互いに対向する相等しい長さの2つの線分51, 52（長辺）と、上記半導体素子12の短手方向に沿って互いに対向する相等しい長さの2つの線分53, 54（短辺）と、これら線分51, 52（長辺）と線分53, 54（短辺）とを連結する連結部構成線分としての、上記半導体素子12の角部に対向する4つの線分55, 56, 57, 58（短辺）とから構成されている。

20

【0138】

以上のように、本実施の形態にかかる半導体装置は、ソルダレジスト3の開口部4aの開口サイズが小さい場合に、アライメント用マーク1を上記開口部4aの外側に設置するものであり、具体的には上記半導体素子12の実装領域を開口するソルダレジスト3の開口部4aの角部（コーナー部）の開口サイズを、矩形の開口部4の開口サイズよりも小さくし、その外側に上記アライメント用マーク1を設置したものである。

【0139】

これにより、本実施の形態によれば、矩形形状の開口部4aの外側にアライメント用マーク1を設置する場合に上記絶縁性樹脂11で上記アライメント用マーク1を覆う場合と比較して絶縁性樹脂11の塗布領域を小さくすることができる。よって、本実施の形態によれば、前記実施の形態1と比較して絶縁性樹脂11の塗布領域を拡大することなく、上記アライメント用マーク1の上面全面に絶縁性樹脂11を塗布することができる。

30

【0140】

すなわち、本実施の形態でも、アライメント用マーク1は、絶縁性樹脂11の通常の塗布領域内に設置され、絶縁性樹脂11を塗布する際には、上記アライメント用マーク1の上面全面にも該絶縁性樹脂11を塗布し、この表面に塗布された絶縁性樹脂11を介して、上記アライメント用マーク1を検出する。

【0141】

よって、本実施の形態によれば、上記半導体装置の外形サイズを小さくできると共に、上記突起電極13と配線パターン2との接続位置精度を良好に保ちながら、上記ソルダレジスト3の開口部4内での上記配線パターン2の露出を防止することができる。

40

【0142】

なお、本実施の形態では、上記アライメント用マーク1を、上記ソルダレジスト3の開口部4aの外側に配置するに際し、上記開口部4aを、平面視で、配線パターン2...と交差するように上記半導体素子12の長手方向に沿って（つまり、上記半導体素子12の長手方向の配線パターン2...の配設領域に沿って）設けられた2辺（線分51, 52）が他辺（線分53～58）よりも長い八角形状（略八角形状）とし、該八角形状（略八角形状

50

)の開口部4aの屈曲部を形成する、上記開口部4aの斜辺(線分55~58)に対向して、上記アライメント用マーク1が配置された構成としたが、本発明はこれに限定されるものではなく、上記開口部4aを、上記した2辺、つまり、線分51, 52(縁部)が他の辺(縁部)よりも長い多角形状あるいは楕円形状とし、上記開口部4aにおける屈曲部に上記アライメント用マーク1を配置する構成としてもよい。

【0143】

すなわち、本実施の形態によれば、上記アライメント用マーク1は、上記半導体素子12の実装領域において上記開口部4aの外側に形成される上記絶縁性樹脂11のフィレット部11aの形成領域内に設けられている構成とすればよい。本実施の形態によれば、上記開口部4aは、上記半導体素子12の実装領域において、平面視で、上記半導体素子12の長手方向における上記配線パターン2...の配設領域に沿って上記配線パターン2...と各々交差(例えば直交)するように設けられた各線分51, 52(縁部)と、上記半導体素子12の短手方向における上記配線パターン2...の配設領域に沿って上記配線パターン2...と各々交差(例えば直交)するように設けられた各線分53, 54(縁部)と、これら各線分51~54(縁部)を、これら線分51~54(縁部)を各々延長したときに、互いに隣り合う線分の延長線同士が交わる点P(P₁, P₂, P₃, P₄)よりも内側を通るように、互いに隣り合う上記各線分(縁部)同士を結ぶ線分55~58(縁部、連結部構成線分)とで囲まれた形状(具体的には、上記各線分51~54と、これら線分51~54を各々延長したときにその延長距離の合計距離よりも短い距離で上記各線分51~54を結ぶ線分55~58(縁部)とで囲まれた形状、例えば前記楕円形状あるいは多角形状)、より好適には最短距離で結ぶ線分(縁部)とで囲まれた形状(例えば前記八角形状)とし、上記配線パターン2...に各々交差(例えば直交)する各線分51~54(縁部)を結ぶ線分55~58(縁部)に対向して上記アライメント用マーク1が形成されていることで、上述したように絶縁性樹脂11による被覆領域が小さく、外形サイズがより小さい半導体装置を提供することができる。

【0144】

なお、上記実施の形態1・2では、上記アライメント用マーク1が、上記半導体素子12の実装領域に形成されている場合を例に挙げて説明したが、本発明はこれに限定されるものではなく、上記実装領域近傍に形成されている構成としてもよい。本発明によれば、上述したように上記アライメント用マーク1の上面全面が上記絶縁性樹脂11で被覆されていることで、上記アライメント用マーク1の検出が阻害されることがなく、上記半導体素子12の突起電極13と配線パターン2の接続用端子2aとの接続位置精度を良好に保つことができる。このため、上記アライメント用マーク1の上面全面が上記絶縁性樹脂11で被覆されていることで、上記アライメント用マーク1を、上記アライメント用マーク1の検出が阻害されないように例えば上記ソルダレジスト3の開口部4あるいは開口部4aの外側に、上記ソルダレジスト3、ひいては上記絶縁性樹脂11の配設領域からできるだけ離間して形成する必要がない。このため、本発明によれば、アライメント用マーク1を、その検出精度を維持したまま、上記テープキャリア10上における上記絶縁性樹脂11による半導体素子実装領域またはその近傍に設けることができる(つまり、上記アライメント用マーク1を上記半導体素子実装領域にできるだけ近接させて形成することができる)ため、上記半導体装置の外形を小さくできると共に、上記アライメント用マーク1を避けて配線パターンを配置する必要がなく、配線の自由度を高くすることができる。

【0145】

本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせ得られる実施形態についても本発明の技術的範囲に含まれる。

【産業上の利用可能性】

【0146】

本発明によれば、半導体素子の接続用端子と、配線基板における配線パターンの接続用

10

20

30

40

50

端子との接続位置精度が良好であり、かつ外形サイズが小さく、さらには、上記配線パターン内のソルダレジスト内での露出を防止することができるＣＯＦ型の半導体装置を提供することができる。上記半導体装置は、例えば携帯電話、携帯情報端末、薄型ディスプレイ、ノート型コンピュータ等の各種半導体モジュール装置の駆動装置として好適に使用することができる。

【図面の簡単な説明】

【 0 1 4 7 】

【図 1】本発明の実施の一形態にかかる半導体装置の概略構成を示す平面図である。

【図 2】図 1 に示す半導体装置を実装してなる液晶モジュールの概略構成を示す平面図である。

【図 3】本発明の実施の一形態にかかる半導体装置における半導体素子実装領域の概略構成を示す平面図である。

【図 4】本発明の実施の一形態にかかる半導体装置の概略構成を示す要部断面図である。

【図 5】(a) ~ (d) は、図 4 に示す半導体装置の製造工程を示す要部断面図である。

【図 6】本発明の実施の一形態にかかる他の半導体装置の概略構成を示す要部断面図である。

【図 7】本発明の実施の一形態にかかるさらに他の半導体装置の概略構成を示す要部断面図である。

【図 8】本発明の実施の一形態にかかるさらに他の半導体装置の概略構成を示す要部断面図である。

【図 9】本発明の実施の一形態にかかるさらに他の半導体装置の概略構成を示す要部断面図である。

【図 1 0】本発明の実施の一形態にかかるさらに他の半導体装置の概略構成を示す要部断面図である。

【図 1 1】本発明の実施の一形態にかかるさらに他の半導体装置の概略構成を示す要部断面図である。

【図 1 2】本発明の実施の他の形態にかかる半導体装置の概略構成を示す要部断面図である。

【図 1 3】ソルダレジストの開口部の外側にアライメント用マークが配された半導体装置の概略構成を示す平面図である。

【図 1 4】図 1 3 に示す半導体装置における半導体素子実装領域の概略構成を示す平面図である。

【図 1 5】(a) ~ (e) は、特許文献 1 においてアライメント用マークを用いたと仮定したときに、上記半導体素子を配線基板上に実装する各工程を示す要部断面図である。

【図 1 6】(a) ~ (e) は、特許文献 2 においてアライメント用マークを用いたと仮定したときに、上記半導体素子を配線基板上に実装する各工程を示す要部断面図である。

【図 1 7】比較用の半導体装置における半導体素子実装領域の概略構成を示す平面図である。

【図 1 8】(a) ~ (d) は、図 1 7 に示す半導体装置の製造工程を示す要部断面図である。

【符号の説明】

【 0 1 4 8 】

- | | |
|-----|------------------------|
| 1 | アライメント用マーク (マークパターン) |
| 2 | 配線パターン |
| 2 a | 接続用端子 |
| 3 | ソルダレジスト |
| 4 | 開口部 (ソルダレジスト開口部) |
| 4 a | 開口部 (ソルダレジスト開口部) |
| 4 b | 開口部 |
| 5 | アライメント用マーク |

10

20

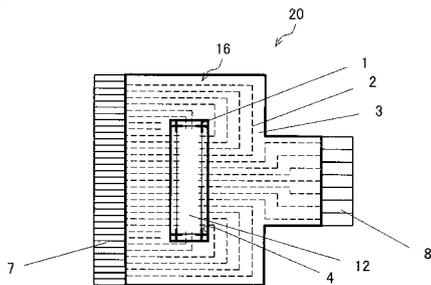
30

40

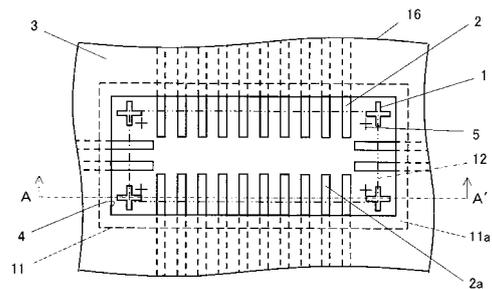
50

- 7 出力端子
- 8 入力端子
- 10 テープキャリア（絶縁性基板）
- 11 絶縁性樹脂
- 11 a フィレット部（フィレット）
- 12 半導体素子
- 13 突起電極（接続用端子）
- 16 配線基板
- 20 半導体装置
- 31 液晶パネル
- 32 ガラス基板
- 41 プリント基板
- 5 1 ~ 5 4 線分
- 5 5 ~ 5 8 線分（連結部構成線分）
- P₁ ~ P₄ 点（互いに隣り合う線分の延長線同士が交わる点）
- 100 液晶モジュール（半導体モジュール装置）

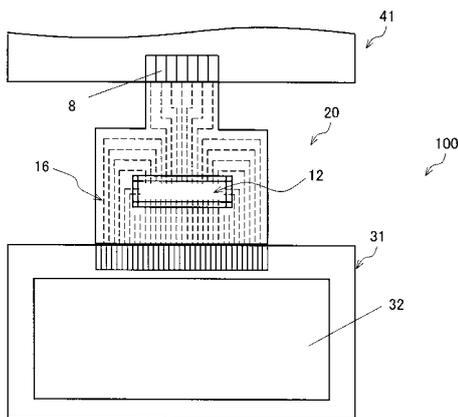
【図1】



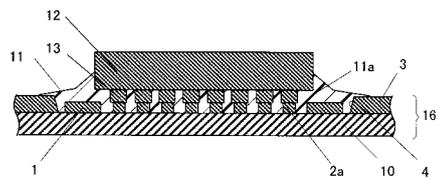
【図3】



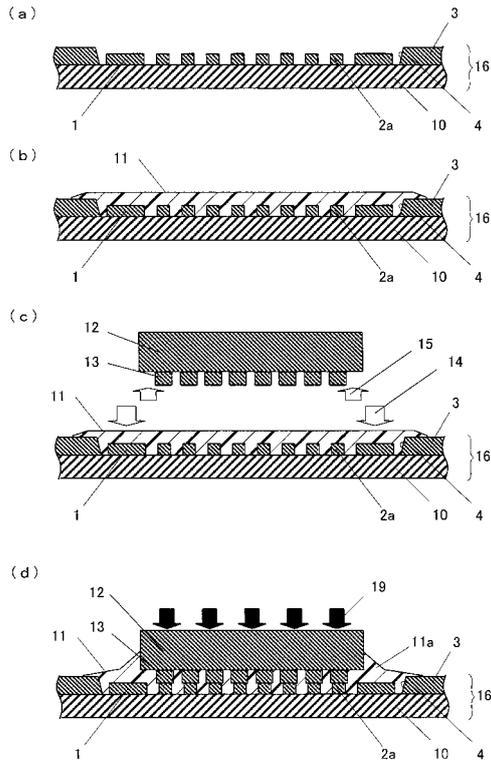
【図2】



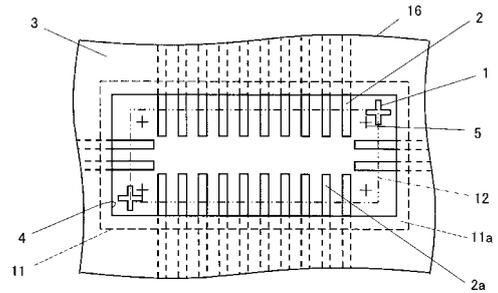
【図4】



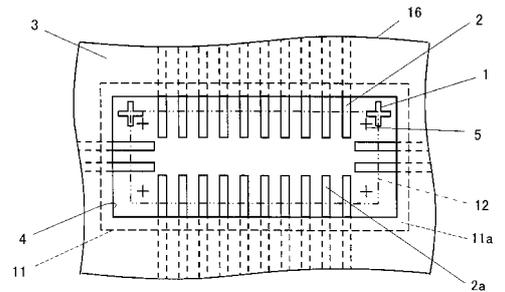
【 図 5 】



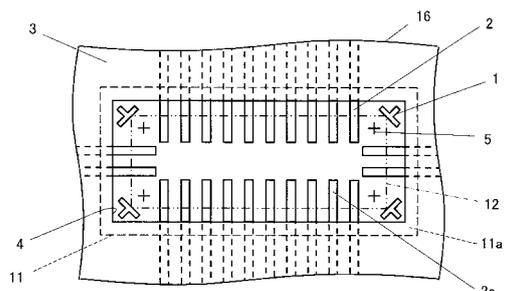
【 図 6 】



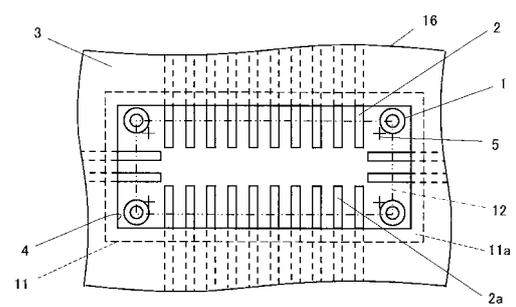
【 図 7 】



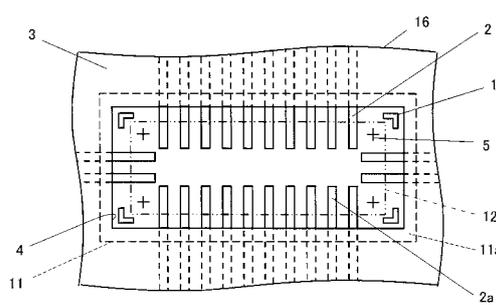
【 図 8 】



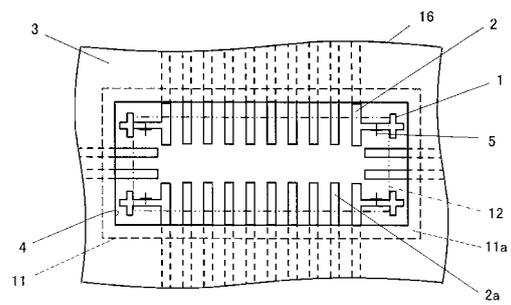
【 図 10 】



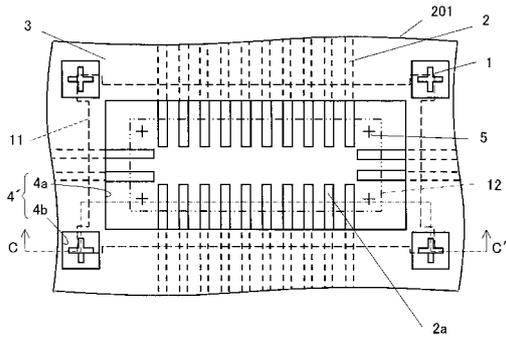
【 図 9 】



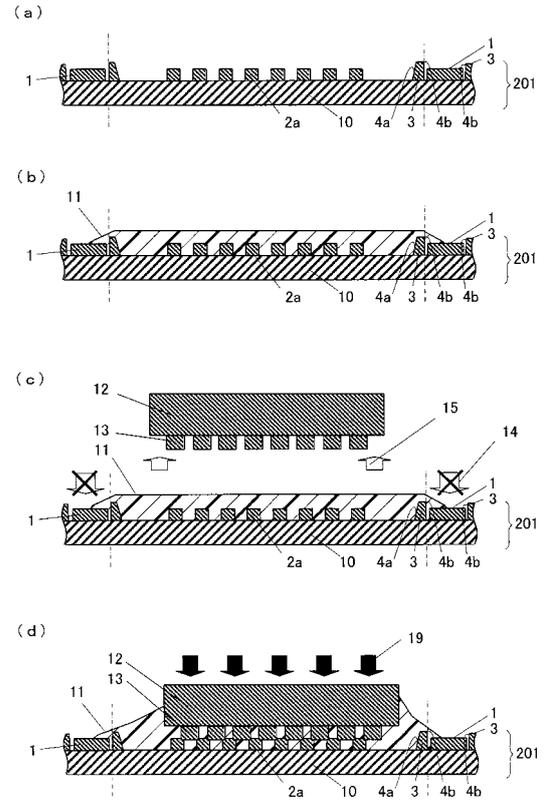
【 図 11 】



【 図 17 】



【 図 18 】



フロントページの続き

(56)参考文献 特開2003-031623(JP,A)
特開2003-037137(JP,A)
特開2000-150579(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01L 21/60