



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0071768
(43) 공개일자 2018년06월28일

(51) 국제특허분류(Int. Cl.)
H01L 27/108 (2006.01) H01L 21/3215 (2006.01)
H01L 29/423 (2006.01)

(52) CPC특허분류
H01L 27/10888 (2013.01)
H01L 21/3215 (2013.01)

(21) 출원번호 10-2016-0174770
(22) 출원일자 2016년12월20일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자
이기석
경기도 화성시 동탄시범한빛길 10, 236동 2102호
(반송동, 시범한빛마을한화꿈에그린아파트)

김대익
경기도 화성시 효행로 846, 106동 703호(안녕동,
동문굿모닝힐아파트)
(뒷면에 계속)

(74) 대리인
리엔목특허법인

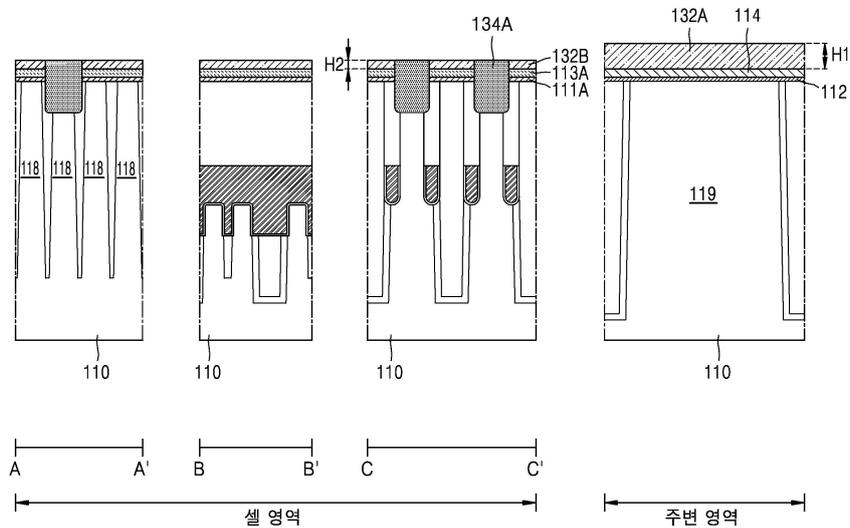
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 반도체 소자

(57) 요약

본 발명의 기술적 사상에 의한 반도체 소자는 셀 활성 영역을 포함하는 셀 영역 및 주변 활성 영역을 포함하는 주변 영역을 가지는 기판, 셀 영역에서 기판 상에 형성되는 셀 절연 패턴 상에 배치되고 셀 활성 영역에 연결되는 다이렉트 콘택, 다이렉트 콘택의 측면과 접하는 계면을 가지는 얇아진 도전 패턴을 포함하여 일 방향으로 연장되는 비트 라인 구조체, 및 주변 활성 영역에서 기판 상에 배치되고 주변 게이트 절연 패턴 및 주변 게이트 도전 패턴의 적층 구조를 포함하는 주변 게이트 구조체를 포함하되, 얇아진 도전 패턴 및 주변 게이트 도전 패턴은 동일 물질로 구성되고, 얇아진 도전 패턴의 상면의 레벨은 주변 게이트 도전 패턴의 상면의 레벨보다 낮다.

대표도



(52) CPC특허분류

H01L 27/10885 (2013.01)

H01L 29/42312 (2013.01)

(72) 발명자

황유상

경기도 수원시 영통구 영통로200번길 156, 1001동
504호(매포동, 방죽마을영통뜨란채)

김봉수

경기도 용인시 기흥구 보정로 30, 124동 1702호(보
정동, 행원마을동아슬레시아파트)

박제민

경기도 수원시 영통구 영통로 111, 302동 1801호(
매포동, 엘지동수원자이아파트)

명세서

청구범위

청구항 1

셀 활성 영역을 포함하는 셀 영역 및 주변 활성 영역을 포함하는 주변 영역을 가지는 기관;

상기 셀 영역에서, 상기 기관 상에 형성되는 셀 절연 패턴 상에 배치되고 상기 셀 활성 영역에 연결되는 다이렉트 콘택;

상기 다이렉트 콘택의 측면과 접하는 계면을 가지는 얇아진 도전 패턴을 포함하여 일 방향으로 연장되는 비트 라인 구조체; 및

상기 주변 활성 영역에서, 상기 기관 상에 배치되고 주변 게이트 절연 패턴 및 주변 게이트 도전 패턴의 적층 구조를 포함하는 주변 게이트 구조체;를 포함하되,

상기 얇아진 도전 패턴 및 상기 주변 게이트 도전 패턴은 동일 물질로 구성되고, 상기 얇아진 도전 패턴의 상면의 레벨은 상기 주변 게이트 도전 패턴의 상면의 레벨보다 낮은 반도체 소자.

청구항 2

제1항에 있어서,

상기 다이렉트 콘택을 구성하는 물질 및 상기 얇아진 도전 패턴을 구성하는 물질은 서로 다른 도핑 농도를 가지는 반도체계 물질인 것을 특징으로 하는 반도체 소자.

청구항 3

제2항에 있어서,

상기 다이렉트 콘택은 인(P) 및 비소(As) 중 적어도 하나의 도핑 물질을 $1E19$ 내지 $1E22$ atoms/cm³의 도핑 농도로 포함하고,

상기 얇아진 도전 패턴은 인(P), 비소(As) 및 붕소(B) 중 적어도 하나의 도핑 물질을 $1E14$ 내지 $1E17$ atoms/cm³의 도핑 농도로 포함하는 것을 특징으로 하는 반도체 소자.

청구항 4

제1항에 있어서,

상기 얇아진 도전 패턴을 구성하는 물질 및 상기 주변 게이트 도전 패턴을 구성하는 물질은 동일한 도핑 농도를 가지는 반도체계 물질인 것을 특징으로 하는 반도체 소자.

청구항 5

제1항에 있어서,

상기 다이렉트 콘택의 상면의 레벨은 상기 얇아진 도전 패턴의 상면의 레벨과 동일한 것을 특징으로 하는 반도체 소자.

청구항 6

제1항에 있어서,

상기 비트 라인 구조체는 상기 얇아진 도전 패턴 상에 금속계 도전 패턴 및 절연 캡핑 패턴을 포함하고,

상기 주변 게이트 구조체는 상기 주변 게이트 도전 패턴 상에 금속계 도전 패턴 및 절연 캡핑 패턴을 포함하는 것을 특징으로 하는 반도체 소자.

청구항 7

제6항에 있어서,

상기 비트 라인 구조체의 금속계 도전 패턴의 최상면의 레벨은 상기 주변 게이트 구조체의 금속계 도전 패턴의 최상면의 레벨보다 낮은 것을 특징으로 하는 반도체 소자.

청구항 8

제1항에 있어서,

상기 비트 라인 구조체의 상면의 레벨은 상기 주변 게이트 구조체의 상면의 레벨보다 낮은 것을 특징으로 하는 반도체 소자.

청구항 9

셀 활성 영역을 포함하는 셀 영역 및 주변 활성 영역을 포함하는 주변 영역을 가지는 기관;

상기 셀 영역에서, 상기 기관 상에 배치되고 상기 셀 활성 영역에 위치하는 다이렉트 콘택 홀을 가지는 셀 절연 패턴;

상기 셀 활성 영역에 연결되도록 상기 다이렉트 콘택 홀을 채우는 제1 영역, 및 상기 셀 절연 패턴의 상면과 상기 제1 영역의 상면을 균일하게 덮는 제2 영역이 일체를 이루는 얇아진 도전 패턴;

상기 셀 영역에서, 상기 제2 영역을 포함하여 일 방향으로 연장되는 비트 라인; 및

상기 주변 활성 영역에서, 상기 기관 상에 배치되고 주변 게이트 도전 패턴을 포함하는 주변 게이트 전극;을 포함하되,

상기 비트 라인의 최상면의 레벨은 상기 주변 게이트 전극의 최상면의 레벨보다 낮은 반도체 소자.

청구항 10

제9항에 있어서,

상기 얇아진 도전 패턴은 인(P) 및 비소(As) 중 적어도 하나의 도핑 물질을 1E19 내지 1E22 atoms/cm²의 도핑 농도로 포함하는 반도체계 물질이고,

상기 주변 게이트 도전 패턴은 인(P), 비소(As) 및 붕소(B) 중 적어도 하나의 도핑 물질을 1E14 내지 1E17 atoms/cm²의 도핑 농도로 포함하는 반도체계 물질인 것을 특징으로 하는 반도체 소자.

발명의 설명

기술 분야

[0001] 본 발명의 기술적 사상은 반도체 소자에 관한 것으로서, 보다 상세하게는, 다이렉트 콘택 및 비트 라인을 포함하는 반도체 소자에 관한 것이다.

배경 기술

[0002] 전자 산업의 비약적인 발전 및 사용자의 요구에 따라 전자기기는 더욱 소형화 및 경량화되고 있다. 따라서, 전자기기에 사용되는 높은 집적도를 가지는 반도체 소자가 요구되어, 반도체 소자의 구성들에 대한 디자인 룰이 감소되고 있다. 이에 따라, 반도체 소자가 가지는 도전 패턴을 포함하는 라인의 종횡비(aspect ratio)가 증가하고 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 기술적 사상이 해결하고자 하는 과제는, 종횡비가 감소된 비트 라인을 포함하는 반도체 소자 및 이의 제조 방법을 제공하는 것이다.

[0004] 본 발명의 기술적 사상이 해결하고자 하는 과제는, 이상에서 언급한 과제에 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0005] 본 발명의 기술적 사상에 의한 일 실시예에 따른 반도체 소자는, 셀 활성 영역을 포함하는 셀 영역 및 주변 활성 영역을 포함하는 주변 영역을 가지는 기판; 상기 셀 영역에서, 상기 기판 상에 형성되는 셀 절연 패턴 상에 배치되고 상기 셀 활성 영역에 연결되는 다이렉트 콘택; 상기 다이렉트 콘택의 측면과 접하는 계면을 가지는 얇아진 도전 패턴을 포함하여 일 방향으로 연장되는 비트 라인 구조체; 및 상기 주변 활성 영역에서, 상기 기판 상에 배치되고 주변 게이트 절연 패턴 및 주변 게이트 도전 패턴의 적층 구조를 포함하는 주변 게이트 구조체; 를 포함하되, 상기 얇아진 도전 패턴 및 상기 주변 게이트 도전 패턴은 동일 물질로 구성되고, 상기 얇아진 도전 패턴의 상면의 레벨은 상기 주변 게이트 도전 패턴의 상면의 레벨보다 낮다.

[0006] 본 발명의 기술적 사상에 의한 일 실시예에 따른 반도체 소자는, 셀 활성 영역을 포함하는 셀 영역 및 주변 활성 영역을 포함하는 주변 영역을 가지는 기판; 상기 셀 영역에서, 상기 기판 상에 배치되고 상기 셀 활성 영역에 위치하는 다이렉트 콘택 홀을 가지는 셀 절연 패턴; 상기 셀 활성 영역에 연결되도록 상기 다이렉트 콘택 홀을 채우는 제1 영역, 및 상기 셀 절연 패턴의 상면과 상기 제1 영역의 상면을 균일하게 덮는 제2 영역이 일체를 이루는 얇아진 도전 패턴; 상기 셀 영역에서, 상기 제2 영역을 포함하여 일 방향으로 연장되는 비트 라인; 및 상기 주변 활성 영역에서, 상기 기판 상에 배치되고 주변 게이트 도전 패턴을 포함하는 주변 게이트 전극;을 포함하되, 상기 비트 라인의 최상면의 레벨은 상기 주변 게이트 전극의 최상면의 레벨보다 낮다.

발명의 효과

[0007] 셀 영역에 형성되는 비트 라인 구조체의 도전 패턴의 상면의 레벨이 주변 영역에 형성되는 게이트 구조체의 도전 패턴의 상면의 레벨보다 낮도록 형성함으로써, 비트 라인 구조체의 전체 높이를 줄일 수 있고, 이에 따라, 비트 라인 구조체에 휨 불량이나 기생 커패시터가 발생하는 것을 효과적으로 감소시킬 수 있다.

도면의 간단한 설명

[0008] 도 1은 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자의 셀 어레이 영역의 주요 구성들을 설명하기 위한 개략적인 평면 레이아웃이다.

도 2 내지 도 14는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 도면들이다.

도 15 내지 도 27은 본 발명의 기술적 사상의 다른 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 도면들이다.

도 28은 본 발명의 기술적 사상의 실시예들에 따른 반도체 소자를 포함하는 시스템을 나타내는 구성도이다.

발명을 실시하기 위한 구체적인 내용

[0009] 이하, 첨부한 도면들을 참조하여 본 발명의 기술적 사상의 실시예에 대해 상세히 설명하기로 한다.

[0010] 도 1은 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자의 셀 어레이 영역의 주요 구성들을 설명하기 위한 개략적인 평면 레이아웃이다.

[0011] 도 1을 참조하면, 반도체 소자(100)는 복수의 활성 영역(ACT)을 포함할 수 있다. 일부 실시예들에서, 복수의 활성 영역(ACT)은 제1 방향(X 방향) 및 제2 방향(Y 방향)에 대하여 사선 방향으로 장축을 가지도록 배치될 수 있다.

[0012] 본 명세서에서는 반도체 소자(100)를 포함하는 셀 어레이 영역(이하 셀 영역이라 함)에 형성된 복수의 활성 영역(ACT)과, 셀 영역 이외의 코어 및 주변 회로 영역(이하 주변 영역이라 함)에 형성된 활성 영역을 각각, 셀 활성 영역(CELL ACTIVE AREA) 및 주변 활성 영역(MARGIN ACTIVE AREA)이라 구분하여 호칭할 수 있다.

[0013] 복수의 워드 라인(WL)이 복수의 활성 영역(CELL ACTIVE AREA)을 가로질러 제1 방향(X 방향)을 따라 상호 평행하게 연장될 수 있다. 복수의 워드 라인(WL) 상에는 복수의 비트 라인(BL)이 제1 방향(X 방향)과 교차하는 제2 방향(Y 방향)을 따라 상호 평행하게 연장될 수 있다.

[0014] 복수의 비트 라인(BL)은 다이렉트 콘택(DC)을 통해 복수의 활성 영역(CELL ACTIVE AREA)에 연결될 수 있다.

[0015] 일부 실시예들에서, 복수의 비트 라인(BL) 중 상호 이웃한 2개의 비트 라인(BL) 사이에 복수의 베리드 콘택(B

C)이 형성될 수 있다. 복수의 베리드 콘택(BC)은 각각 상호 이웃한 2개의 비트 라인(BL) 중 어느 하나의 비트 라인(BL)의 상부까지 연장될 수 있다. 일부 실시예들에서, 복수의 베리드 콘택(BC)은 제1 방향(X 방향) 및 제2 방향(Y 방향)을 따라 일렬로 배열될 수 있다.

- [0016] 복수의 베리드 콘택(BC) 상에는 복수의 랜딩 패드(LP)가 형성될 수 있다. 복수의 베리드 콘택(BC) 및 복수의 랜딩 패드(LP)는 복수의 비트 라인(BL)의 상부에 형성되는 커패시터의 하부 전극(미도시)을 복수의 활성 영역(ACT)에 연결시키는 역할을 할 수 있다. 복수의 랜딩 패드(LP)는 각각 복수의 베리드 콘택(BC)과 일부 오버랩되도록 배치될 수 있다.
- [0017] 도 2 내지 도 14는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 도면들이다.
- [0018] 구체적으로, 도 2 내지 도 14의 셀 영역은 도 1의 A-A'선, B-B'선, 및 C-C'선에 대응하는 부분을 따라서 절단한 단면도들이다. 또한, 도 2 내지 도 14의 주변 영역은 도 1의 X 방향 또는 Y 방향을 따라서 절단한 단면도들이다.
- [0019] 도 2를 참조하면, 셀 영역 및 주변 영역을 포함하는 기판(110)에 소자 분리 트렌치(116T)를 형성하고, 소자 분리 트렌치(116T) 내에 소자 분리막(116)을 형성할 수 있다. 소자 분리막(116)에 의해 기판(110)의 셀 영역에 셀 활성 영역(118)이 정의되고, 주변 영역에 주변 활성 영역(119)이 정의될 수 있다. 셀 활성 영역(118)은 도 1에 예시한 활성 영역(ACT)과 같이 각각 단축 및 장축을 가지는 비교적 긴 아일랜드 형상을 가질 수 있다.
- [0020] 기판(110)은 실리콘(Si), 예를 들어, 결정질 Si, 다결정질 Si, 또는 비정질 Si를 포함할 수 있다. 또는 기판(110)은 저머늄(Ge)과 같은 반도체 원소, SiGe(silicon germanium), SiC(silicon carbide), GaAs(gallium arsenide), InAs(indium arsenide), 및 InP(indium phosphide) 중에서 선택되는 적어도 하나의 화합물 반도체를 포함할 수 있다. 또는 기판(110)은 SOI(silicon on insulator) 구조, 예를 들어, BOX 층(buried oxide layer)을 포함할 수 있다. 또는 기판(110)은 도전 영역, 예를 들어, 불순물이 도핑된 웰(well) 또는 불순물이 도핑된 구조체를 포함할 수 있다.
- [0021] 소자 분리막(116)은 예를 들어, 실리콘 산화막, 실리콘 질화막, 및 실리콘 산질화막 중 적어도 하나를 포함하는 물질로 이루어질 수 있다. 소자 분리막(116)은 1종류의 절연막으로 이루어지는 단일막, 또는 2종류의 절연막으로 이루어지는 이중막, 또는 적어도 3종류의 절연막들의 조합으로 이루어지는 다중막으로 구성될 수 있다.
- [0022] 일부 실시예들에서, 소자 분리막(116)은 제1 소자 분리막(116A) 및 제2 소자 분리막(116B)을 포함할 수 있다. 제1 소자 분리막(116A) 및 제2 소자 분리막(116B)은 서로 다른 물질로 이루어질 수 있다. 예를 들어, 제1 소자 분리막(116A)은 실리콘 산화막으로 이루어지고, 제2 소자 분리막(116B)은 실리콘 질화막으로 이루어질 수 있다. 그러나 상기 소자 분리막(116)의 구성이 상술한 바에 한정되는 것은 아니다.
- [0023] 기판(110)의 셀 영역에는 복수의 워드 라인 트렌치(120T)를 형성할 수 있다. 복수의 워드 라인 트렌치(120T)는 상호 평행하게 제1 방향(도 1의 X 방향)으로 연장되며, 각각 셀 활성 영역(118)을 가로지르는 라인 형상을 가질 수 있다. B-B'선 단면 부분에 예시된 바와 같이, 하면에 단차가 형성된 복수의 워드 라인 트렌치(120T)를 형성하기 위하여, 소자 분리막(116) 및 기판(110)을 각각 별도의 식각 공정으로 식각하여, 소자 분리막(116)의 식각 깊이와 기판(110)의 식각 깊이가 서로 다르게 되도록 할 수 있다.
- [0024] 복수의 워드 라인 트렌치(120T)가 형성된 결과물을 세정한 후, 복수의 워드 라인 트렌치(120T)의 내부에 게이트 유전막(122), 복수의 워드 라인(120), 및 복수의 매몰 절연막(124)을 차례로 형성할 수 있다. 복수의 워드 라인(120)은 도 1에 예시한 복수의 워드 라인(WL)을 구성할 수 있다.
- [0025] 복수의 워드 라인(120) 각각의 상면은 기판(110)의 상면보다 낮은 레벨에 위치될 수 있다. 복수의 워드 라인(120)의 하면은 요철 형상을 가질 수 있으며, 복수의 셀 활성 영역(118)에는 새들 핀 구조의 트랜지스터(saddle FinFET)가 형성될 수 있다.
- [0026] 본 명세서에서 레벨이라 함은, 기판(110)의 주면으로부터 수직 방향으로의 높이를 의미한다. 즉, 동일한 레벨 또는 일정한 레벨에 위치한다는 것은 기판(110)의 주면으로부터 수직 방향으로의 높이가 동일 또는 일정한 위치를 의미하고, 낮은 또는 높은 레벨에 위치한다는 것은 기판(110)의 주면으로부터 수직 방향으로의 높이가 낮은 또는 높은 위치를 의미한다.
- [0027] 일부 실시예들에서, 복수의 워드 라인(120)을 형성한 후, 복수의 워드 라인(120)의 양측의 기판(110) 부분에 불순물 이온을 주입하여 복수의 셀 활성 영역(118)의 상면에 소스/드레인 영역을 형성할 수 있다. 다른 일부 실시

예들에서, 복수의 워드 라인(120)을 형성하기 전에 소스/드레인 영역을 형성하기 위한 불순물 이온 주입 공정이 수행될 수 있다. 일부 실시예들에서, 복수의 워드 라인(120)은 Ti, TiN, Ta, TaN, W, WN, TiSiN, WSiN, 또는 이들의 조합으로 이루어질 수 있다.

[0028] 게이트 유전막(122)은 실리콘 산화막, 실리콘 질화막, 실리콘 산질화막, ONO(oxide/nitride/oxide), 및 실리콘 산화막보다 높은 유전 상수를 가지는 고유전막(high-k dielectric film) 중에서 선택되는 적어도 하나로 이루어질 수 있다. 예를 들어, 게이트 유전막(122)은 약 10 내지 25의 유전 상수를 가질 수 있다. 일부 실시예들에서, 게이트 유전막(122)은 금속계 유전막, 예를 들어, 하프늄 산화물(HfO), 하프늄 실리케이트(HfSiO), 하프늄 산질화물(HfON), 하프늄 실리콘 산질화물(HfSiON), 란타늄 산화물(LaO), 란타늄 알루미늄 산화물(LaAlO), 지르코늄 산화물(ZrO), 지르코늄 실리케이트(ZrSiO), 지르코늄 산질화물(ZrON), 지르코늄 실리콘 산질화물(ZrSiON), 탄탈륨 산화물(TaO), 티타늄 산화물(TiO), 바륨 스트론튬 티타늄 산화물(BaSrTiO), 바륨 티타늄 산화물(BaTiO), 스트론튬 티타늄 산화물(SrTiO), 이트륨 산화물(YO), 알루미늄 산화물(AlO), 및 납 스칸듐 탄탈륨 산화물(PbScTaO) 중에서 선택되는 적어도 하나의 물질로 이루어질 수 있다.

[0029] 복수의 매물 절연막(124)의 상면은 기판(110)의 상면과 실질적으로 동일 레벨에 위치할 수 있다. 복수의 매물 절연막(124)은 실리콘 산화막, 실리콘 질화막, 실리콘 산질화막, 또는 이들의 조합 중에서 선택되는 하나의 물질막으로 이루어질 수 있다.

[0030] 도 3을 참조하면, 제1 절연막(111)을 기판(110) 상의 셀 영역에 형성하고, 제2 절연막(112)을 기판(110) 상의 주변 영역에 형성한다. 이 후, 제3 절연막(113)을 셀 영역의 제1 절연막(111) 상에 형성하고, 제4 절연막(114)을 주변 영역의 제2 절연막(112) 상에 형성한다.

[0031] 일부 실시예들에서, 셀 영역에 형성된 제1 절연막(111) 및 주변 영역에 형성된 제2 절연막(112)은 함께 형성될 수 있으므로, 동일 물질로 이루어질 수 있다. 또한, 셀 영역에 형성된 제3 절연막(113) 및 주변 영역에 형성된 제4 절연막(114)은 함께 형성될 수 있으므로, 동일 물질로 이루어질 수 있다. 이를 통하여, 셀 영역에는 제1 절연막(111) 및 제3 절연막(113)으로 이루어지는 셀 절연막이 형성되고, 주변 영역에는 제2 절연막(112) 및 제4 절연막(114)으로 이루어지는 주변 게이트 절연막이 형성될 수 있다. 따라서 셀 절연막과 주변 게이트 절연막은 동일 물질로 이루어질 수 있다.

[0032] 다른 일부 실시예들에서, 제1 절연막(111)은 기판(110) 상의 셀 영역 및 주변 영역 상을 모두 덮도록 예비 제1 절연막을 형성한 후, 포토리소그래피 공정을 통하여, 주변 영역에 형성된 예비 제1 절연막의 부분을 제거하여 형성할 수 있다. 제2 절연막(112)은 기판(110) 상의 셀 영역 및 주변 영역 상을 모두 덮도록 예비 제2 절연막을 형성한 후, 포토리소그래피 공정을 통하여, 셀 영역에 형성된 예비 제2 절연막의 부분을 제거하여 형성할 수 있다.

[0033] 또 다른 일부 실시예들에서, 제1 절연막(111)을 먼저 형성한 후, 제2 절연막(112)을 형성할 수 있다. 또는 제2 절연막(112)을 먼저 형성한 후, 제1 절연막(111)을 형성할 수 있다.

[0034] 제1 절연막(111) 및 제2 절연막(112)은 비금속계 유전막으로 이루어질 수 있다. 예를 들어, 제1 절연막(111) 및 제2 절연막(112)은 실리콘 산화막, 실리콘 질화막, 실리콘 산질화막, 또는 이들의 조합으로 이루어질 수 있다. 일부 실시예들에서, 제1 절연막(111)의 두께는 제2 절연막(112)의 두께보다 두꺼울 수 있다.

[0035] 제3 절연막(113) 및 제4 절연막(114)은 금속계 유전막으로 이루어질 수 있다. 제3 절연막(113) 및 제4 절연막(114)은 제1 절연막(111) 및 제2 절연막(112)보다 큰 유전율을 가질 수 있다. 예를 들어, 제3 절연막(113) 및 제4 절연막(114)은 앞서 도 2에서 설명한 게이트 유전막(122)을 구성하는 금속계 유전막 중에서 선택되는 적어도 하나의 물질로 이루어질 수 있다.

[0036] 일부 실시예들에서, 제4 절연막(114) 상에 일함수 조절막(미도시)을 선택적으로 형성할 수 있다. 상기 일함수 조절막은 금속, 도전성 금속 질화물, 도전성 금속 탄화물, 금속 원자를 포함하는 도전체, 또는 이들의 조합인 적층 구조로 이루어질 수 있다. 상기 일함수 조절막은, 예를 들어, Ti, Ta, Al, Ni, Co, La, Pd, Nb, Mo, Hf, Ir, Ru, Pt, Yb, Dy, Er, Pd, TiAl, HfSiMo, TiN, WN, TaN, RuN, MoN, TiAlN, TaC, TiC, 및 TaC 중에서 선택된 어느 하나의 물질을 포함할 수 있다.

[0037] 일부 실시예들에서, 셀 절연막의 상면의 레벨과 주변 게이트 절연막의 상면의 레벨은 동일할 수 있다. 다른 일부 실시예들에서, 셀 절연막의 상면의 레벨과 주변 게이트 절연막의 상면의 레벨은 다를 수 있다.

- [0038] 이어서, 셀 영역 및 주변 영역 상을 모두 덮도록, 제2 절연막(112) 및 제4 절연막(114) 상에 제1 도전막(132)을 형성한다. 제1 도전막(132)은 예를 들어, 도핑된 반도체계 물질로 이루어질 수 있다. 일부 실시예들에서, 제1 도전막(132)은 도핑된 폴리실리콘으로 이루어질 수 있다. 상기 제1 도전막(132)의 두께(H1)는 셀 영역 및 주변 영역에서 동일하게 형성될 수 있다.
- [0039] 이 후, 셀 영역 및 주변 영역 상을 모두 덮도록, 제1 도전막(132) 상에 희생막(136)을 형성한다. 상기 희생막(136)은 상기 제1 도전막(132)에 대하여 식각 선택비가 큰 물질로 선택할 수 있다. 예를 들어, 상기 희생막(136)은 실리콘 산화막, 실리콘 질화막, 실리콘 산질화막, 또는 이들의 조합으로 이루어질 수 있다.
- [0040] 도 4를 참조하면, 포토리소그래피 공정을 통하여, 셀 영역에 형성된 희생막(136, 도 3 참조)의 부분을 제거하여 주변 영역에 희생 패턴(136A)을 형성할 수 있다.
- [0041] 보다 상세히 설명하면, 상기 희생막(136) 상에 포토레지스트를 도포하고 노광 및 현상으로 상기 포토레지스트를 패터닝하여, 제1 포토레지스트 패턴(M1)을 형성한다. 상기 제1 포토레지스트 패턴(M1)은 셀 영역에서 상기 희생막(136)의 부분의 상면을 노출시킬 수 있다.
- [0042] 이어서, 제1 포토레지스트 패턴(M1)을 식각 마스크로 이용하여, 셀 영역의 상기 희생막(136)의 부분을 식각하여 주변 영역 상에 희생 패턴(136A)을 형성한다. 이 후, 제1 포토레지스트 패턴(M1)은 애싱(ashing) 및 스트립(strip) 공정을 이용하여 제거할 수 있다. 상기 제1 포토레지스트 패턴(M1)의 제거 공정은 제1 도전막(132) 및 상기 희생 패턴(136A)의 식각이 억제되는 조건에서 수행될 수 있다.
- [0043] 도 5를 참조하면, 셀 영역 및 주변 영역 상을 모두 덮도록, 셀 영역에서는 제1 도전막(132)과 접하고 주변 영역에서는 희생 패턴(136A)과 접하는 하드마스크막(138)을 형성한다. 이 후, 하드마스크막(138) 상에 제2 포토레지스트 패턴(M2)을 형성한다.
- [0044] 하드마스크막(138)은 제1 도전막(132)에 대하여 충분한 식각 선택비를 갖는 물질이면 되고, 특별히 한정되지 않는다. 예를 들어, 상기 하드마스크막(138)은 탄소계 물질일 수 있다. 예를 들어, 상기 하드마스크막(138)은 비정질 탄소막(amorphous carbon layer, ACL), 탄소 함량이 총 중량을 기준으로 약 85 중량% 내지 약 99 중량%의 비교적 높은 탄소 함량을 가지는 탄화수소 화합물, 또는 스핀-온 하드마스크(spin-on hardmask, SOH) 등일 수 있다.
- [0045] 상기 하드마스크막(138) 상에 포토레지스트를 도포하고 노광 및 현상으로 상기 포토레지스트를 패터닝하여, 제2 포토레지스트 패턴(M2)을 형성한다. 여기서, 상기 제2 포토레지스트 패턴(M2)은 셀 영역에서 상기 하드마스크막(138)을 일부 노출시키는 개구(G2)를 가질 수 있다.
- [0046] 도 6을 참조하면, 제2 포토레지스트 패턴(M2, 도 5 참조)의 개구(G2, 도 5 참조)를 통해 노출되는 하드마스크막(138, 도 5 참조)의 부분을 식각하여, 하드마스크 패턴(138A)을 형성한다. 이 후, 상기 하드마스크 패턴(138A)을 식각 마스크로 하여, 제1 도전막(132, 도 5 참조), 제3 절연막(113, 도 5 참조), 제1 절연막(111, 도 5 참조), 및 기판(110, 도 5 참조)의 상측 일부를 식각한다.
- [0047] 그 결과, 셀 영역에서 기판(110)의 셀 활성 영역(118)을 노출시키는 다이렉트 콘택 홀(DCH)이 형성된다. 또한, 상기 다이렉트 콘택 홀(DCH)을 한정하는 제1 도전 패턴(132A), 제3 절연 패턴(113A), 및 제1 절연 패턴(111A)이 형성된다. 일부 실시예들에서, 상기 다이렉트 콘택 홀(DCH)의 하면의 레벨은 상기 기판(110)의 상면의 레벨보다 낮게 형성될 수 있다. 일부 실시예들에서, 상기 기판(110)의 상측 일부를 식각하지 않을 수 있다.
- [0048] 도 7을 참조하면, 셀 영역 및 주변 영역 모두에서, 하드마스크 패턴(138A, 도 6 참조)을 제거한다.
- [0049] 상기 하드마스크 패턴(138A)은 애싱 및 스트립 공정을 이용하여 제거할 수 있다. 또한, 상기 하드마스크 패턴(138A)의 제거 공정은 제1 도전 패턴(132A) 및 희생 패턴(136A)의 식각이 억제되는 조건에서 수행될 수 있다.
- [0050] 일부 실시예들에서, 상기 하드마스크 패턴(138A)을 제거 후, 잔사 처리(silicon treatment) 공정이 수행될 수 있다. 상기 잔사 처리 공정은 앞서 도 6에서 설명한 식각 공정에서 손상된 기판(110) 등의 표면을 약하게 식각 또는 세정하여 양질의 표면 상태를 만들기 위한 공정이다. 이 후, 자연 산화막(native oxide) 및 기타 오염 물질 등을 제거하기 위한 세정 공정이 수행될 수 있다. 예를 들어, 상기 세정 공정은 SC-1 용액을 사용한 습식 세정 공정 또는 희석된 불산 용액을 이용한 습식 세정 공정 등이 포함될 수 있다.
- [0051] 도 8을 참조하면, 다이렉트 콘택 홀(DCH, 도 7 참조)을 모두 채우고, 제1 도전 패턴(132A) 및 희생 패턴(136A)의 상면을 덮는 제2 도전막(134)을 형성한다.

- [0052] 제2 도전막(134)은 예를 들어, 도핑된 반도체계 물질로 이루어질 수 있다. 일부 실시예들에서, 제2 도전막(134)은 도핑된 폴리실리콘으로 이루어질 수 있다.
- [0053] 즉, 제2 도전막(134) 및 제1 도전막(132, 도 3 참조)은 모두 도핑된 반도체계 물질, 예를 들어, 도핑된 폴리실리콘으로 형성될 수 있다. 또한, 상기 제2 도전막(134)의 도핑 농도는 상기 제1 도전막(132)의 도핑 농도보다 더 높을 수 있다. 일부 실시예들에서, 상기 제2 도전막(134)은 인(P) 및 비소(As) 중 적어도 하나의 도핑 물질을 약 $1E19$ 내지 약 $1E22$ atoms/cm²의 도핑 농도로 포함하고, 상기 제1 도전막(132)은 인(P), 비소(As) 및 붕소(B) 중 적어도 하나의 도핑 물질을 약 $1E14$ 내지 약 $1E17$ atoms/cm²의 도핑 농도로 포함할 수 있다. 다만, 상기 제1 도전막(132) 및 상기 제2 도전막(134)의 구성이 이에 한정되는 것은 아니다.
- [0054] 셀 영역에서 서로 동일한 물질이지만 도핑 농도를 달리하는 상기 제1 도전막(132) 및 상기 제2 도전막(134)이 계면을 갖도록 형성될 수 있고, 이 경우, 상기 제1 도전막(132) 및 상기 제2 도전막(134)이 이종(異種) 물질로 형성되는 경우보다 낮은 계면 저항을 가질 수 있다.
- [0055] 도 9를 참조하면, 제2 도전막(134, 도 8 참조) 및 제1 도전 패턴(132A, 도 8 참조)을 전면 식각하여, 다이렉트 콘택(134A) 및 제1 얇아진(thinned) 도전 패턴(132B)을 형성한다.
- [0056] 상기 전면 식각 공정은 에치백(etch-back) 방식 또는 화학적 기계적 연마(Chemical Mechanical Polishing, CMP) 방식을 이용하여 셀 영역에서는 다이렉트 콘택(134A) 및 제1 얇아진 도전 패턴(132B)을 남기고, 주변 영역에서는 제2 도전막(134)을 모두 제거한다. 희생 패턴(136A)은 상기 전면 식각 공정 진행 시, 주변 영역의 제1 도전 패턴(132A)을 보호하는 역할을 수행한다.
- [0057] 상기 전면 식각 공정을 통하여, 셀 영역에서 상기 제1 도전 패턴(132A)의 상층의 일부가 제거되어 제1 도전 패턴(132A)보다 얇은 두께를 가지는 제1 얇아진 도전 패턴(132B)이 형성될 수 있다. 즉, 제1 얇아진 도전 패턴(132B)의 두께(H2)는 상기 제1 도전 패턴(132A)의 두께(H1)보다 얇을 수 있다.
- [0058] 셀 영역에서는 다이렉트 콘택(134A) 및 제1 얇아진 도전 패턴(132B)의 각각의 상면이 노출될 수 있고, 상기 다이렉트 콘택(134A)의 상면의 레벨은 상기 제1 얇아진 도전 패턴(132B)의 상면의 레벨과 동일하도록 형성될 수 있다. 그리고 다이렉트 콘택(134A)의 양 측면과 제1 얇아진 도전 패턴(132B)은 계면을 가지며 접할 수 있다. 다만, 상기 다이렉트 콘택(134A) 및 상기 제1 얇아진 도전 패턴(132B)의 구성이 이에 한정되는 것은 아니다.
- [0059] 도 10을 참조하면, 주변 영역에서 제1 도전 패턴(132A) 상의 희생 패턴(136A, 도 9 참조)을 제거한다.
- [0060] 셀 영역에서 다이렉트 콘택(134A) 및 제1 얇아진 도전 패턴(132B)을 형성하는 과정에서, 주변 영역은 상기 희생 패턴(136A)과 같은 마스크에 의하여 덮여 있으며, 셀 영역에서 다이렉트 콘택(134A) 및 제1 얇아진 도전 패턴(132B)을 모두 형성한 후, 주변 영역에서 상기 희생 패턴(136A)은 제거될 수 있다.
- [0061] 일부 실시예들에서, 상기 희생 패턴(136A)은 습식 식각으로 제거될 수 있다. 상기 희생 패턴(136A)의 제거 공정은 셀 영역의 다이렉트 콘택(134A) 및 제1 얇아진 도전 패턴(132B)의 식각이 억제되는 조건에서 수행될 수 있다.
- [0062] 결과적으로, 셀 영역의 제1 얇아진 도전 패턴(132B)의 두께(H2)보다 주변 영역의 제1 도전 패턴(132A)의 두께(H1)가 더 두꺼울 수 있다. 다시 말하면, 주변 영역의 제1 도전 패턴(132A)의 상면의 레벨은 셀 영역의 제1 얇아진 도전 패턴(132B)의 상면의 레벨 및 다이렉트 콘택(134A)의 상면의 레벨보다 더 높을 수 있다.
- [0063] 따라서, 셀 영역의 제1 얇아진 도전 패턴(132B)은 후속 공정에서 비트 라인 구조체(148, 도 13 참조)의 일부를 구성하는 구성 요소이고, 주변 영역의 제1 도전 패턴(132A)은 주변 게이트 도전 패턴의 적어도 일부를 포함할 수 있으며 주변 게이트 구조체(148P, 도 13 참조)의 일부를 구성하는 구성 요소이므로, 주변 영역의 주변 게이트 구조체(148P)의 높이를 그대로 유지하면서도, 셀 영역의 비트 라인 구조체(148)의 수직 적층 감소(vertical stack down)를 이룰 수 있다.
- [0064] 도 11을 참조하면, 셀 영역에서 다이렉트 콘택(134A) 및 제1 얇아진 도전 패턴(132B)을 덮고, 주변 영역에서 제1 도전 패턴(132A)을 덮는 금속막(143)을 형성한다. 이 후, 상기 금속막(143) 상에 절연 캡핑막(146)을 형성한다.
- [0065] 일부 실시예들에서, 금속막(143)은 하부 금속막(142) 및 상부 금속막(144)의 적층 구조일 수 있다. 도면에는 금속막(143)이 하부 금속막(142) 및 상부 금속막(144)을 포함하는 2층 도전막 적층 구조를 가지는 것으로 예시하였으나, 본 발명의 기술적 사상은 예시된 바에 한정되는 것은 아니다. 예를 들어, 금속막(143)은 단일층 또는 3

층 이상의 복수의 적층 구조로 형성될 수도 있다.

- [0066] 일부 실시예들에서, 하부 금속막(142)은 티타늄 질화물(TiN) 또는 TSN(Ti-Si-N)으로 이루어질 수 있다. 또한, 상부 금속막(144)은 텅스텐(W) 또는 텅스텐 실리사이드(WSix)로 이루어질 수 있다. 일부 실시예들에서, 하부 금속막(142)은 확산 배리어(diffusion barrier)의 기능을 수행할 수 있다.
- [0067] 상기 금속막(143) 상에는 절연 캡핑막(146)이 형성될 수 있다. 절연 캡핑막(146)은 예를 들어, 실리콘 질화막으로 이루어질 수 있다. 일부 실시예들에서, 상기 절연 캡핑막(146)의 두께는 상기 금속막(143)의 두께보다 더 두꺼울 수 있다.
- [0068] 도 12를 참조하면, 절연 캡핑막(146) 상에 제3 포토레지스트 패턴(M3)을 형성한다.
- [0069] 상기 절연 캡핑막(146) 상에 포토레지스트를 도포하고 노광 및 현상으로 상기 포토레지스트를 패터닝하여 제3 포토레지스트 패턴(M3)을 형성한다. 여기서, 상기 제3 포토레지스트 패턴(M3)은 셀 영역에서 상기 절연 캡핑막(146)을 일부 노출시키는 개구(G3) 및 주변 영역에서 상기 절연 캡핑막(146)을 일부 노출시키는 개구(G3P)를 가질 수 있다.
- [0070] 도 13을 참조하면, 기판(110) 상에서, 셀 영역의 비트 라인 구조체(148)를 형성하고, 주변 영역의 주변 게이트 구조체(148P)를 형성한다.
- [0071] 보다 상세히 설명하면, 제3 포토레지스트 패턴(M3, 도 12 참조)을 식각 마스크로, 셀 영역에서 제1 얇아진 도전 패턴(132B, 도 12 참조), 하부 금속막(142, 도 12 참조), 상부 금속막(144, 도 12 참조), 및 절연 캡핑막(146, 도 12 참조)을 식각하여, 라인 형상인 제1 얇아진 도전 라인(132C), 하부 금속 라인(142A), 및 상부 금속 라인(144A)을 포함하는 복수의 비트 라인(140)을 형성한다. 이 후, 상기 복수의 비트 라인(140) 상에 복수의 절연 캡핑 라인(146A)을 형성한다.
- [0072] 또한, 제3 포토레지스트 패턴(M3)을 식각 마스크로, 주변 영역에서 제1 도전 패턴(132A, 도 12 참조), 하부 금속막(142), 상부 금속막(144), 및 절연 캡핑막(146)을 식각하여, 라인 형상인 제1 도전 라인(132P), 하부 금속 라인(142A), 및 상부 금속 라인(144A)을 포함하는 복수의 주변 게이트 전극(140P)을 형성하고, 상기 복수의 주변 게이트 전극(140P) 상에 복수의 절연 캡핑 라인(146A)을 형성한다.
- [0073] 하나의 비트 라인(140) 및 하나의 절연 캡핑 라인(146A)은 하나의 비트 라인 구조체(148)를 구성할 수 있다.
- [0074] 복수의 비트 라인(140) 및 복수의 절연 캡핑 라인(146A) 각각은 상호 평행하게 제2 방향(도 1의 Y 방향)으로 연장될 수 있다. 복수의 비트 라인(140)은 도 1에 예시한 복수의 비트 라인(BL)을 구성할 수 있다.
- [0075] 복수의 비트 라인(140)을 형성하기 위한 식각 공정에서, 기판(110)의 주면에 대하여 수직 방향으로 비트 라인(140)과 오버랩되지 않는 다이렉트 콘택(134A)의 일부분을 함께 식각하여 다이렉트 콘택 도전 패턴(134B)을 형성할 수 있다. 일부 실시예들에서, 다이렉트 콘택 도전 패턴(134B)의 상면의 레벨은 제3 절연 패턴(113A)의 상면의 레벨보다 높을 수 있다.
- [0076] 복수의 비트 라인(140)은 도핑된 폴리실리콘으로 구성되는 제1 얇아진 도전 라인(132C)을 포함하면서도 상대적으로 두껍지 않은 수직 적층 구조를 가질 수 있다. 상기 복수의 비트 라인(140)의 기판(110)으로부터 상면까지의 높이(HC1)가 주변 게이트 전극(140P)의 기판(110)으로부터 상면까지의 높이(HC2)보다 상대적으로 낮도록 형성할 수 있다.
- [0077] 즉, 상기 복수의 비트 라인(140)을 포함하는 복수의 비트 라인 구조체(148)의 기판(110)으로부터 상면까지의 높이(HB1)가 주변 게이트 구조체(148P)의 기판(110)으로부터 상면까지의 높이(HB2)보다 상대적으로 낮도록 형성할 수 있다.
- [0078] 주변 게이트 절연 패턴은 제2 절연 패턴(112P) 및 제4 절연 패턴(114P)으로 이루어질 수 있다. 또한, 주변 게이트 전극(140P)은 제1 도전 라인(132P), 하부 금속 라인(142A), 및 상부 금속 라인(144A)을 포함할 수 있다. 일부 실시예들에서, 앞서 도 3에서 설명한 바와 같이, 상기 제4 절연 패턴(114P) 상에 일함수 조절 패턴을 포함하는 경우, 주변 게이트 절연 패턴 및 주변 게이트 전극(140P) 사이에 일함수 조절 패턴을 더 포함할 수 있다.
- [0079] 하나의 주변 게이트 절연 패턴, 하나의 주변 게이트 전극(140P) 및 하나의 절연 캡핑 라인(146A)은 하나의 주변 게이트 구조체(148P)를 구성할 수 있다.
- [0080] 복수의 주변 게이트 절연막, 복수의 주변 게이트 전극(140P) 및 복수의 절연 캡핑 라인(146A) 각각은 상호 평행

하게 제1 방향(도 1의 X 방향) 또는 제2 방향(도 1의 Y 방향)으로 연장될 수 있다.

- [0081] 이와 같이, 셀 영역에 형성되는 비트 라인 구조체(148)를 구성하는 제1 얇아진 도전 라인(132C)의 상면의 레벨이 주변 영역에 형성되는 주변 게이트 구조체(148P)의 제1 도전 라인(132P)의 상면의 레벨보다 낮도록 형성함으로써, 비트 라인(140)의 기관(110)으로부터 상면까지의 높이(HC1)를 줄일 수 있다. 이에 따라, 비트 라인 구조체(148)의 휨 불량 및/또는 후속 공정에서 형성되는 베리드 콘택(170, 도 14 참조)과 비트 라인(140) 사이에서 발생할 수 있는 기생 커패시터를 효과적으로 감소시킬 수 있다.
- [0082] 즉, 본 발명의 기술적 사상에 따르면, 반도체 소자의 신뢰성 및 반도체 소자 제조 공정의 생산성을 향상시킬 수 있다.
- [0083] 도 14를 참조하면, 셀 영역에서 복수의 비트 라인 구조체(148)를 포함하고, 주변 영역에서 복수의 주변 게이트 구조체(148P)를 포함하는 반도체 소자(100)를 형성할 수 있다.
- [0084] 보다 상세히 살펴보면, 셀 영역에서 복수의 비트 라인 구조체(148) 각각의 양 측벽은 절연 스페이서 구조체(150)로 덮일 수 있다. 복수의 절연 스페이서 구조체(150)는 각각 제1 절연 스페이서(152), 제2 절연 스페이서(154), 및 제3 절연 스페이서(156)를 포함할 수 있다. 일부 실시예들에서, 제1 절연 스페이서(152), 제2 절연 스페이서(154), 및 제3 절연 스페이서(156)는 각각 실리콘 산화막, 실리콘 질화막, 실리콘 산질화막, 또는 이들의 조합으로 이루어질 수 있다. 다른 일부 실시예들에서, 제1 절연 스페이서(152) 및 제3 절연 스페이서(156)는 각각 실리콘 산화막, 실리콘 질화막, 실리콘 산질화막, 또는 이들의 조합으로 이루어지고, 제1 절연 스페이서(152) 및 제3 절연 스페이서(156)의 사이에 개재되는 제2 절연 스페이서(154)는 에어(air) 스페이서로 이루어질 수 있다.
- [0085] 복수의 비트 라인(140) 사이에는 복수의 베리드 콘택 홀(170H)이 형성될 수 있다. 복수의 베리드 콘택 홀(170H)은 복수의 비트 라인(140) 중 이웃하는 2개의 비트 라인(140) 사이에서 이웃하는 2개의 비트 라인(140) 각각의 측벽을 덮는 절연 스페이서 구조체(150) 및 셀 활성 영역(118)에 의해 그 내부 공간이 한정될 수 있다.
- [0086] 복수의 비트 라인(140) 사이에서 복수의 베리드 콘택 홀(170H) 내에는 복수의 셀 활성 영역(118)에 각각 연결되는 복수의 베리드 콘택(170) 및 복수의 랜딩 패드(180)가 형성될 수 있다. 복수의 베리드 콘택(170) 및 복수의 랜딩 패드(180)는 각각 도 1에 예시한 복수의 베리드 콘택(BC) 및 복수의 랜딩 패드(LP)에 대응할 수 있다.
- [0087] 복수의 베리드 콘택(170)은 셀 활성 영역(118)으로부터 기관(110)에 수직하는 제3 방향(도 1에서 Z 방향)으로 연장될 수 있다. 복수의 랜딩 패드(180)는 각각 베리드 콘택(170) 상에 배치되며, 복수의 비트 라인(140) 상으로 연장될 수 있다. 복수의 랜딩 패드(180)는 복수의 베리드 콘택(170)을 통해 셀 활성 영역(118)에 연결될 수 있다.
- [0088] 랜딩 패드(180)는 베리드 콘택(170)과 전기적으로 연결될 수 있고, 복수의 비트 라인 구조체(148)와 수직으로 오버랩되도록 베리드 콘택 홀(170H) 내부로부터 복수의 비트 라인 구조체(148)의 상부까지 연장되도록 형성될 수 있다.
- [0089] 랜딩 패드(180)는 복수의 비트 라인(140) 사이의 영역에서 기관(110)의 주면에 수직인 제3 방향(도 1에서 Z 방향)을 따라 연장되고 복수의 비트 라인(140)의 적어도 일부와 수직으로 오버랩되도록 복수의 비트 라인(140)의 상면 중 적어도 일부를 덮을 수 있다.
- [0090] 베리드 콘택(170) 및 랜딩 패드(180)의 사이에는 금속 실리사이드막(172)이 형성될 수 있다. 금속 실리사이드막(172)은 코발트 실리사이드(CoSi), 니켈 실리사이드(NiSi), 또는 망간 실리사이드(MnSi)로 이루어질 수 있으나, 이에 한정되는 것은 아니다.
- [0091] 랜딩 패드(180) 및 절연 스페이서 구조체(150) 사이, 그리고 랜딩 패드(180) 및 복수의 비트 라인 구조체(148) 사이에는 각각 도전성 배리어막(174)이 형성될 수 있다. 도전성 배리어막(174)은 금속, 도전성 금속 질화물, 또는 이들의 조합으로 이루어질 수 있다. 예를 들어, 도전성 배리어막(174)은 Ti/TiN 적층 구조로 이루어질 수 있다.
- [0092] 셀 영역에서, 비트 라인 구조체(148) 및 절연 스페이서 구조체(150)의 주위에 절연막(130)을 형성할 수 있다. 절연막(130)은 실리콘 산화막, 실리콘 질화막, 실리콘 산질화막, 또는 이들의 조합으로 형성할 수 있다.
- [0093] 주변 영역에서, 주변 게이트 구조체(148P)의 측벽을 덮는 절연 스페이서 구조체(250)를 형성한다. 절연 스페이서 구조체(250)는 제1 절연 스페이서(252), 제2 절연 스페이서(254), 및 제3 절연 스페이서(256)를 포함할 수

있다. 주변 영역에 형성되는 제1 절연 스페이서(252), 제2 절연 스페이서(254), 및 제3 절연 스페이서(256)는 셀 영역에 형성되는 제1 절연 스페이서(152), 제2 절연 스페이서(154), 및 제3 절연 스페이서(156)와 각각 동일한 물질로 형성될 수 있으며, 이들과 동시에 형성될 수 있다.

- [0094] 주변 영역에서, 주변 게이트 구조체(148P) 및 절연 스페이서 구조체(250)의 주위에 절연막(230)을 형성할 수 있다. 절연막(230)은 실리콘 산화막, 실리콘 질화막, 실리콘 산질화막, 또는 이들의 조합으로 형성할 수 있다.
- [0095] 주변 영역의 절연막(230) 상에 콘택 홀(270H)이 형성될 영역을 제외한 부분을 덮는 마스크 패턴(미도시)을 형성한 후, 상기 마스크 패턴을 식각 마스크로 이용하여, 절연막(230)의 일부를 식각하여 콘택 홀(270H)을 형성할 수 있다. 콘택 홀(270H)을 통해 주변 활성 영역(119)이 노출될 수 있다. 콘택 홀(270H)을 형성하는 단계는 셀 영역의 베리드 콘택 홀(170H)을 형성하는 단계와 동시에 수행될 수 있다.
- [0096] 콘택 홀(270H)의 내벽을 덮는 도전성 배리어막(274)을 형성할 수 있다. 도전성 배리어막(274)을 형성하는 단계는 셀 영역의 도전성 배리어막(174)을 형성하는 단계와 동시에 수행될 수 있다. 도전성 배리어막(274)은 셀 영역의 도전성 배리어막(174)과 동일한 물질로 이루어질 수 있다.
- [0097] 주변 영역에서, 도전성 배리어막(274) 상에 도전 물질을 채워 도전 라인(280)을 형성할 수 있다. 셀 영역의 랜딩 패드(180) 및 주변 영역의 도전 라인(280)은 동일한 물질을 사용하여 동시에 형성될 수 있다. 랜딩 패드(180) 및 도전 라인(280)은 화학 기상 증착(Chemical Vapor Deposition, CVD) 방식 또는 물리 기상 증착(Physical Vapor Deposition, PVD) 방식을 이용하여 형성할 수 있다. 일부 실시예들에서, 랜딩 패드(180) 및 도전 라인(280)은 금속, 금속 질화물, 도전성 폴리실리콘, 또는 이들의 조합으로 이루어질 수 있다. 예를 들어, 랜딩 패드(180) 및 도전 라인(280)은 각각 텅스텐(W)을 포함할 수 있다.
- [0098] 도 15 내지 도 27은 본 발명의 기술적 사상의 다른 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 도면들이다.
- [0099] 구체적으로, 도 15 내지 도 27의 셀 영역은 도 1의 A-A'선, B-B'선, 및 C-C'선에 대응하는 부분을 따라서 절단한 단면도들이다. 또한, 도 15 내지 도 27의 주변 영역은 도 1의 X 방향 또는 Y 방향을 따라서 절단한 단면도들이다.
- [0100] 도 15 내지 도 27에 있어서, 도 2 내지 도 14에서와 동일한 참조 부호는 동일 부재를 나타내며, 여기서는 설명의 간략화를 위하여 이미 설명한 내용은 간단히 설명하거나 생략한다.
- [0101] 도 15를 참조하면, 제1 절연막(111)을 기판(110) 상의 셀 영역에 형성하고, 제2 절연막(112)을 기판(110) 상의 주변 영역에 형성한다. 이 후, 제3 절연막(113)을 셀 영역의 제1 절연막(111) 상에 형성하고, 제4 절연막(114)을 주변 영역의 제2 절연막(112) 상에 형성한다.
- [0102] 셀 영역에는 제1 절연막(111) 및 제3 절연막(113)으로 이루어지는 셀 절연막이 형성되고, 주변 영역에는 제2 절연막(112) 및 제4 절연막(114)으로 이루어지는 주변 게이트 절연막이 형성될 수 있다.
- [0103] 일부 실시예들에서, 셀 절연막의 상면의 레벨과 주변 게이트 절연막의 상면의 레벨은 동일할 수 있다. 다른 일부 실시예들에서, 셀 절연막의 상면의 레벨과 주변 게이트 절연막의 상면의 레벨은 다를 수 있다.
- [0104] 이어서, 셀 영역 및 주변 영역 상을 모두 덮도록, 셀 절연막 및 주변 게이트 절연막 상에 제1 도전막(132)을 형성한다. 제1 도전막(132)은 예를 들어, 도핑된 반도체계 물질로 이루어질 수 있다. 일부 실시예들에서, 제1 도전막(132)은 도핑된 폴리실리콘으로 이루어질 수 있다. 상기 제1 도전막(132)의 두께(H1)는 셀 영역 및 주변 영역에서 동일하게 형성될 수 있다.
- [0105] 이 후, 셀 영역 및 주변 영역 상을 모두 덮도록, 제1 도전막(132) 상에 희생막(136)을 형성한다. 상기 희생막(136)은 상기 제1 도전막(132)에 대하여 식각 선택비가 큰 물질로 선택할 수 있다. 예를 들어, 상기 희생막(136)은 실리콘 산화막, 실리콘 질화막, 실리콘 산질화막, 또는 이들의 조합으로 이루어질 수 있다.
- [0106] 도 16을 참조하면, 포토리소그래피 공정을 통하여, 셀 영역에 형성된 희생막(136, 도 15 참조) 및 제1 도전막(132, 도 15 참조)의 부분을 제거하여 주변 영역에 각각 희생 패턴(136A) 및 제1 도전 패턴(132A)을 형성할 수 있다.
- [0107] 보다 상세히 설명하면, 상기 희생막(136) 상에 포토레지스트를 도포하고 노광 및 현상으로 상기 포토레지스트를 패터닝하여, 제1 포토레지스트 패턴(M1)을 형성한다. 상기 제1 포토레지스트 패턴(M1)은 셀 영역에서 상기 희생막(136)의 부분의 상면을 노출시킬 수 있다.

- [0108] 이어서, 제1 포토레지스트 패턴(M1)을 식각 마스크로 이용하여, 셀 영역의 상기 희생막(136) 및 상기 제1 도전막(132)의 부분을 식각하여 주변 영역 상에 각각 희생 패턴(136A) 및 제1 도전 패턴(132A)을 형성하고, 셀 영역의 제3 절연막(113)의 상면을 노출시킨다. 이 후, 제1 포토레지스트 패턴(M1)은 애싱 및 스트립 공정을 이용하여 제거할 수 있다. 상기 제1 포토레지스트 패턴(M1)의 제거 공정은 제3 절연막(113)의 식각이 억제되는 조건에서 수행될 수 있다.
- [0109] 도 17을 참조하면, 셀 영역 및 주변 영역 상을 모두 덮도록, 셀 영역에서는 제3 절연막(113)과 접하고 주변 영역에서는 희생 패턴(136A)과 접하는 하드마스크막(138)을 형성한다. 이 후, 하드마스크막(138) 상에 제2 포토레지스트 패턴(M2)을 형성한다.
- [0110] 상기 하드마스크막(138) 상에 포토레지스트를 도포하고 노광 및 현상으로 상기 포토레지스트를 패터닝하여, 제2 포토레지스트 패턴(M2)을 형성한다. 여기서, 상기 제2 포토레지스트 패턴(M2)은 셀 영역에서 상기 하드마스크막(138)을 일부 노출시키는 개구(G2)를 가질 수 있다.
- [0111] 도 18을 참조하면, 제2 포토레지스트 패턴(M2, 도 17 참조)의 개구(G2, 도 17 참조)를 통해 노출되는 하드마스크막(138, 도 17 참조)의 부분을 식각하여, 하드마스크 패턴(138A)을 형성한다. 이 후, 상기 하드마스크 패턴(138A)을 식각 마스크로 하여, 제3 절연막(113, 도 17 참조), 제1 절연막(111, 도 17 참조), 및 기관(110, 도 17 참조)의 상층 일부를 식각한다.
- [0112] 그 결과, 셀 영역에서 기관(110)의 셀 활성 영역(118)을 노출시키는 다이렉트 콘택 홀(DCH)이 형성된다. 또한, 상기 다이렉트 콘택 홀(DCH)을 한정하는 제3 절연 패턴(113A), 및 제1 절연 패턴(111A)이 형성된다. 일부 실시예들에서, 상기 다이렉트 콘택 홀(DCH)의 하면의 레벨은 상기 기관(110)의 상면의 레벨보다 낮게 형성될 수 있다. 일부 실시예들에서, 상기 기관(110)의 상층 일부를 식각하지 않을 수 있다.
- [0113] 도 19를 참조하면, 셀 영역 및 주변 영역 모두에서, 하드마스크 패턴(138A, 도 18 참조)을 제거한다.
- [0114] 상기 하드마스크 패턴(138A)은 애싱 및 스트립 공정을 이용하여 제거할 수 있다. 또한, 상기 하드마스크 패턴(138A)의 제거 공정은 제3 절연 패턴(113A) 및 희생 패턴(136A)의 식각이 억제되는 조건에서 수행될 수 있다.
- [0115] 도 20을 참조하면, 다이렉트 콘택 홀(DCH, 도 19 참조)을 모두 채우고, 제3 절연 패턴(113A) 및 희생 패턴(136A)의 상면을 덮는 제2 도전막(134)을 형성한다.
- [0116] 제2 도전막(134)은 예를 들어, 도핑된 반도체계 물질로 이루어질 수 있다. 일부 실시예들에서, 제2 도전막(134)은 도핑된 폴리실리콘으로 이루어질 수 있다. 상기 제2 도전막(134)의 두께(H3)는 셀 영역 및 주변 영역에서 동일하게 형성될 수 있다.
- [0117] 상기 제2 도전막(134)은 셀 활성 영역(118)에 연결되도록 상기 다이렉트 콘택 홀(DCH)을 채우는 제1 영역 및 상기 제3 절연 패턴(113A)의 상면과 상기 제1 영역의 상면을 균일하게 덮는 제2 영역이 일체를 이루는 형상일 수 있다.
- [0118] 도 21을 참조하면, 포토리소그래피 공정을 통하여, 주변 영역에 형성된 제2 도전막(134, 도 20 참조)의 부분을 제거하여 셀 영역에 제2 도전 패턴(134C)을 형성할 수 있다.
- [0119] 보다 상세히 설명하면, 상기 제2 도전막(134) 상에 포토레지스트를 도포하고 노광 및 현상으로 상기 포토레지스트를 패터닝하여, 제3 포토레지스트 패턴(M3)을 형성한다. 상기 제3 포토레지스트 패턴(M3)은 주변 영역의 제2 도전막(134)의 상면을 노출시킬 수 있다.
- [0120] 이어서, 제3 포토레지스트 패턴(M3)을 식각 마스크로 이용하여, 주변 영역의 상기 제2 도전막(134)의 부분을 식각하여 셀 영역 상에 제2 도전 패턴(134C)을 형성하고, 주변 영역의 희생 패턴(136A)의 상면을 노출시킨다. 이 후, 제3 포토레지스트 패턴(M3)은 애싱 및 스트립 공정을 이용하여 제거할 수 있다.
- [0121] 도 22를 참조하면, 제2 도전 패턴(134C, 도 21 참조)을 전면 식각하여, 다이렉트 콘택을 포함하는 제2 얇아진 도전 패턴(134D)을 형성한다.
- [0122] 상기 전면 식각 공정은 에치백 방식 또는 화학적 기계적 연마 방식을 이용하여 셀 영역에서 제2 얇아진 도전 패턴(134D)을 남긴다. 희생 패턴(136A)은 상기 전면 식각 공정 진행 시, 주변 영역의 제1 도전 패턴(132A)을 보호하는 역할을 수행한다.
- [0123] 상기 전면 식각 공정을 통하여, 셀 영역에서 상기 제2 도전 패턴(134C)의 상층의 일부가 제거되어 제2 도전

패턴(134C)보다 얇은 두께를 가지는 제2 얇아진 도전 패턴(134D)이 형성될 수 있다. 즉, 제2 얇아진 도전 패턴(134D)의 두께(H4)는 상기 제2 도전 패턴(134C)의 두께(H3, 도 20 참조)보다 얇을 수 있다.

- [0124] 도 23을 참조하면, 주변 영역에서 제1 도전 패턴(132A) 상의 희생 패턴(136A, 도 22 참조)을 제거한다.
- [0125] 셀 영역에서 제2 얇아진 도전 패턴(134D)을 형성하는 과정에서, 주변 영역은 상기 희생 패턴(136A)과 같은 마스크에 의하여 덮여 있으며, 셀 영역에서 제2 얇아진 도전 패턴(134D)을 모두 형성한 후, 주변 영역에서 상기 희생 패턴(136A)은 제거될 수 있다.
- [0126] 일부 실시예들에서, 상기 희생 패턴(136A)은 습식 식각으로 제거될 수 있다. 상기 희생 패턴(136A)의 제거 공정은 셀 영역의 제2 얇아진 도전 패턴(134D)의 식각이 억제되는 조건에서 수행될 수 있다.
- [0127] 상기 제2 얇아진 도전 패턴(134D)은 셀 활성 영역(118)에 연결되도록 다이렉트 콘택 홀(DCH, 도 19 참조)을 채우는 제1 영역 및 상기 제3 절연 패턴(113A)의 상면과 상기 제1 영역의 상면을 균일하게 덮는 제2 영역이 일체를 이루는 형상일 수 있다.
- [0128] 결과적으로, 셀 영역의 제2 얇아진 도전 패턴(134D)의 제2 영역의 두께(H4)보다 주변 영역의 제1 도전 패턴(132A)의 두께(H1)가 더 두꺼울 수 있다. 다시 말하면, 주변 영역의 제1 도전 패턴(132A)의 상면의 레벨은 셀 영역의 제2 얇아진 도전 패턴(134D)의 상면의 레벨보다 더 높을 수 있다.
- [0129] 따라서, 셀 영역의 제2 얇아진 도전 패턴(134D)의 제2 영역은 후속 공정에서 비트 라인(141, 도 26 참조)의 일부를 구성하는 구성 요소이고, 주변 영역의 제1 도전 패턴(132A)은 주변 게이트 도전 패턴의 적어도 일부를 포함할 수 있으며 주변 게이트 전극(141P, 도 26 참조)의 일부를 구성하는 구성 요소이므로, 주변 영역의 주변 게이트 전극(141P)의 높이를 그대로 유지하면서도, 셀 영역의 비트 라인(141)의 수직 적층 감소를 이룰 수 있다.
- [0130] 이와 같이, 셀 영역에서는 제2 얇아진 도전 패턴(134D)만이 존재하고, 주변 영역에서는 제1 도전 패턴(132A)만이 존재하게 된다. 일부 실시예들에서, 상기 제2 얇아진 도전 패턴(134D)은 인(P) 및 비소(As) 중 적어도 하나의 도핑 물질을 약 1E19 내지 약 1E22 atoms/cm³의 도핑 농도로 포함하고, 상기 제1 도전 패턴(132A)은 인(P), 비소(As) 및 붕소(B) 중 적어도 하나의 도핑 물질을 약 1E14 내지 약 1E17 atoms/cm³의 도핑 농도로 포함할 수 있다. 즉, 서로 다른 도핑 농도를 가지는 폴리실리콘을 이용하여, 각각 비트 라인(141) 및 주변 게이트 전극(141P)을 형성할 수 있다.
- [0131] 도 24를 참조하면, 셀 영역에서 제2 얇아진 도전 패턴(134D)을 덮고, 주변 영역에서 제1 도전 패턴(132A)을 덮는 금속막(143)을 형성한다. 이 후, 상기 금속막(143) 상에 절연 캡핑막(146)을 형성한다.
- [0132] 일부 실시예들에서, 금속막(143)은 하부 금속막(142) 및 상부 금속막(144)의 적층 구조일 수 있다. 도면에는 금속막(143)이 하부 금속막(142) 및 상부 금속막(144)을 포함하는 2층 도전막 적층 구조를 가지는 것으로 예시하였으나, 본 발명의 기술적 사상은 예시된 바에 한정되는 것은 아니다. 예를 들어, 금속막(143)은 단일층 또는 3층 이상의 복수의 적층 구조로 형성될 수도 있다.
- [0133] 도 25를 참조하면, 절연 캡핑막(146) 상에 제4 포토레지스트 패턴(M4)을 형성한다.
- [0134] 상기 절연 캡핑막(146) 상에 포토레지스트를 도포하고 노광 및 현상으로 상기 포토레지스트를 패터닝하여 제4 포토레지스트 패턴(M4)을 형성한다. 여기서, 상기 제4 포토레지스트 패턴(M4)은 셀 영역에서 상기 절연 캡핑막(146)을 일부 노출시키는 개구(G4) 및 주변 영역에서 상기 절연 캡핑막(146)을 일부 노출시키는 개구(G4P)를 가질 수 있다.
- [0135] 도 26을 참조하면, 기판(110) 상에서, 셀 영역의 비트 라인 구조체(149)를 형성하고, 주변 영역의 주변 게이트 구조체(149P)를 형성한다.
- [0136] 보다 상세히 설명하면, 제4 포토레지스트 패턴(M4, 도 25 참조)을 식각 마스크로, 셀 영역에서 제2 얇아진 도전 패턴(134D, 도 25 참조), 하부 금속막(142, 도 25 참조), 상부 금속막(144, 도 25 참조), 및 절연 캡핑막(146, 도 25 참조)을 식각하여, 라인 형상인 제2 얇아진 도전 라인(134E), 하부 금속 라인(142A), 및 상부 금속 라인(144A)을 포함하는 복수의 비트 라인(141)을 형성한다. 이 후, 상기 복수의 비트 라인(141) 상에 복수의 절연 캡핑 라인(146A)을 형성한다.
- [0137] 또한, 제4 포토레지스트 패턴(M4)을 식각 마스크로, 주변 영역에서 제1 도전 패턴(132A, 도 25 참조), 하부 금속막(142), 상부 금속막(144), 및 절연 캡핑막(146)을 식각하여, 라인 형상인 제1 도전 라인(132P), 하부 금속 라인(142A), 및 상부 금속 라인(144A)을 포함하는 복수의 주변 게이트 전극(141P)을 형성하고, 상기 복수의 주

변 게이트 전극(141P) 상에 복수의 절연 캡핑 라인(146A)을 형성한다.

- [0138] 하나의 비트 라인(141) 및 하나의 절연 캡핑 라인(146A)은 하나의 비트 라인 구조체(149)를 구성할 수 있다.
- [0139] 복수의 비트 라인(141)은 도핑된 폴리실리콘으로 구성되는 다이렉트 콘택을 포함하는 제2 얇아진 도전 라인(134E)을 포함하면서도 상대적으로 두껍지 않은 수직 적층 구조를 가질 수 있다. 상기 복수의 비트 라인(141)의 기관(110)으로부터 상면까지의 높이(HC3)가 주변 게이트 전극(141P)의 기관(110)으로부터 상면까지의 높이(HC4)보다 상대적으로 낮도록 형성할 수 있다.
- [0140] 즉, 상기 복수의 비트 라인(141)을 포함하는 복수의 비트 라인 구조체(149)의 기관(110)으로부터 상면까지의 높이(HB3)가 주변 게이트 구조체(149P)의 기관(110)으로부터 상면까지의 높이(HB4)보다 상대적으로 낮도록 형성할 수 있다.
- [0141] 하나의 주변 게이트 절연 패턴, 하나의 주변 게이트 전극(141P) 및 하나의 절연 캡핑 라인(146A)은 하나의 주변 게이트 구조체(149P)를 구성할 수 있다.
- [0142] 이와 같이, 셀 영역에 형성되는 비트 라인 구조체(149)를 구성하는 제2 얇아진 도전 라인(134E)의 상면의 레벨이 주변 영역에 형성되는 주변 게이트 구조체(149P)의 제1 도전 라인(132P)의 상면의 레벨보다 낮도록 형성함으로써, 비트 라인(141)의 기관(110)으로부터 상면까지의 높이(HC3)를 줄일 수 있다. 이에 따라, 비트 라인 구조체(149)의 휨 불량 및/또는 후속 공정에서 형성되는 베리드 콘택(170, 도 27 참조)과 비트 라인(141) 사이에서 발생할 수 있는 기생 커패시터를 효과적으로 감소시킬 수 있다.
- [0143] 즉, 본 발명의 기술적 사상에 따르면, 반도체 소자의 신뢰성 및 반도체 소자 제조 공정의 생산성을 향상시킬 수 있다.
- [0144] 도 27을 참조하면, 셀 영역에서 복수의 비트 라인 구조체(149)를 포함하고, 주변 영역에서 복수의 주변 게이트 구조체(149P)를 포함하는 반도체 소자(200)를 형성할 수 있다.
- [0145] 도 28은 본 발명의 기술적 사상의 실시예들에 따른 반도체 소자를 포함하는 시스템을 나타내는 구성도이다.
- [0146] 도 28을 참조하면, 시스템(1000)은 제어기(1010), 입/출력 장치(1020), 기억 장치(1030), 인터페이스(1040), 및 버스(1050)를 포함한다.
- [0147] 시스템(1000)은 모바일 시스템 또는 정보를 전송하거나 전송받는 시스템일 수 있다. 일부 실시예들에서, 상기 모바일 시스템은 휴대용 컴퓨터, 웹 태블릿(web tablet), 모바일 폰, 디지털 뮤직 플레이어, 또는 메모리 카드일 수 있다.
- [0148] 제어기(1010)는 시스템(1000)에서의 실행 프로그램을 제어하기 위한 것으로, 마이크로프로세서, 디지털 신호 처리기(digital signal processor), 마이크로컨트롤러, 또는 이와 유사한 장치로 이루어질 수 있다.
- [0149] 입/출력 장치(1020)는 시스템(1000)의 데이터를 입력 또는 출력하는데 이용될 수 있다. 시스템(1000)은 입/출력 장치(1020)를 이용하여 외부 장치, 예를 들어, 개인용 컴퓨터 또는 네트워크에 연결되고, 외부 장치와 서로 데이터를 교환할 수 있다. 입/출력 장치(1020)는, 예를 들어, 터치 패드, 키보드, 또는 표시장치(display)일 수 있다.
- [0150] 기억 장치(1030)는 제어기(1010)의 동작을 위한 데이터를 저장하거나, 제어기(1010)에서 처리된 데이터를 저장할 수 있다. 상기 기억 장치(1030)는 앞서 설명한 본 발명의 기술적 사상의 실시예들에 따른 반도체 소자들(100, 200) 중 어느 하나를 포함할 수 있다.
- [0151] 인터페이스(1040)는 상기 시스템(1000)과 외부 장치 사이의 데이터 전송 통로일 수 있다. 제어기(1010), 입/출력 장치(1020), 기억 장치(1030), 및 인터페이스(1040)는 버스(1050)를 통해 서로 통신할 수 있다.
- [0152] 이상, 첨부된 도면을 참조하여 본 발명의 실시 예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예에는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

부호의 설명

- [0153] 100, 200: 반도체 소자

111: 제1 절연막, 112: 제2 절연막, 113: 제3 절연막, 114: 제4 절연막

134A: 다이렉트 콘택

148, 149: 비트 라인 구조체

148P, 149P: 주변 게이트 구조체

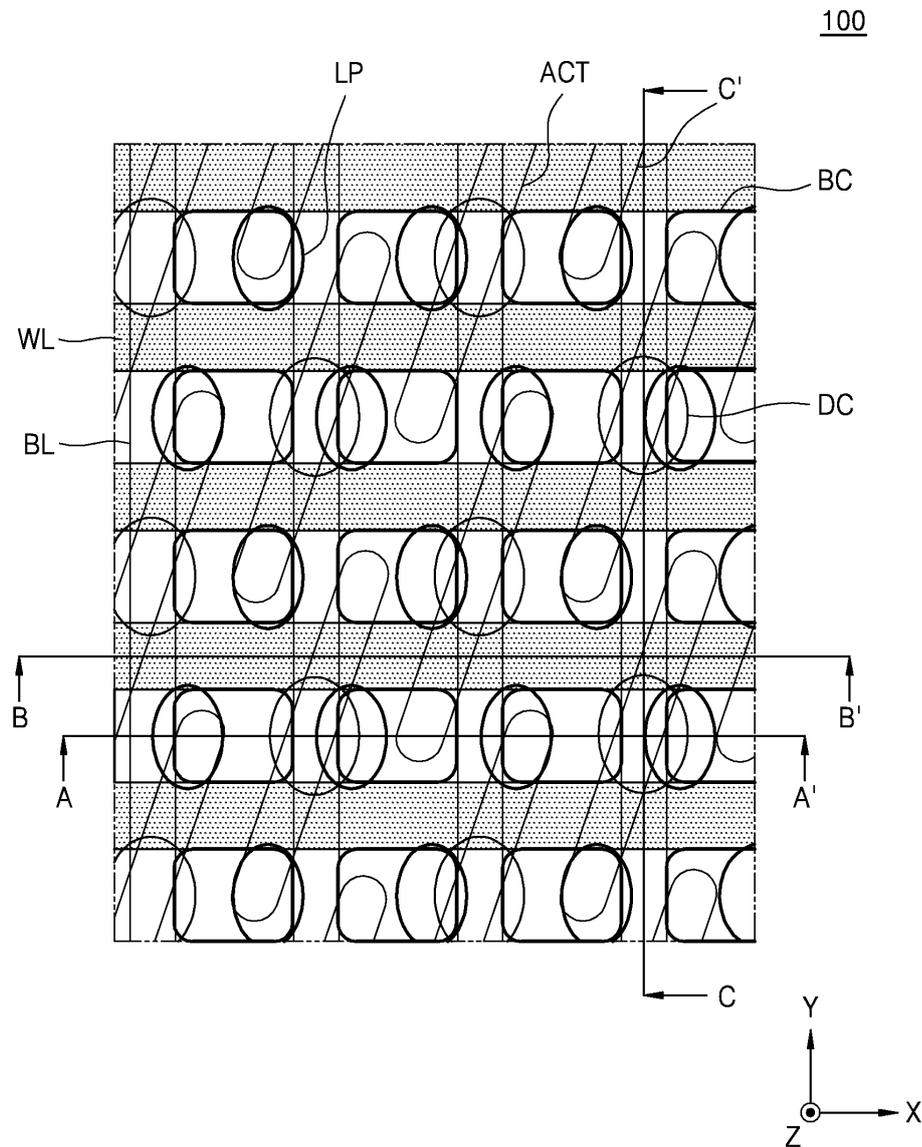
150, 250: 절연 스페이서 구조체

170: 베리드 콘택

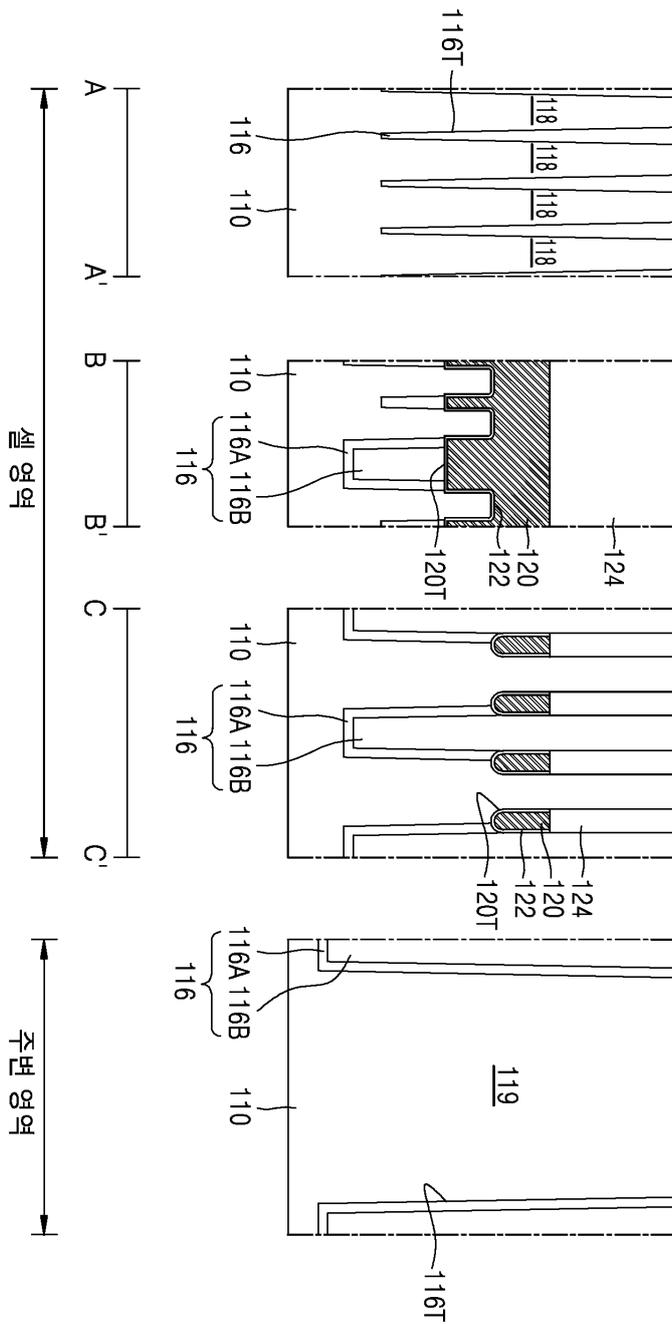
180: 랜딩 패드

도면

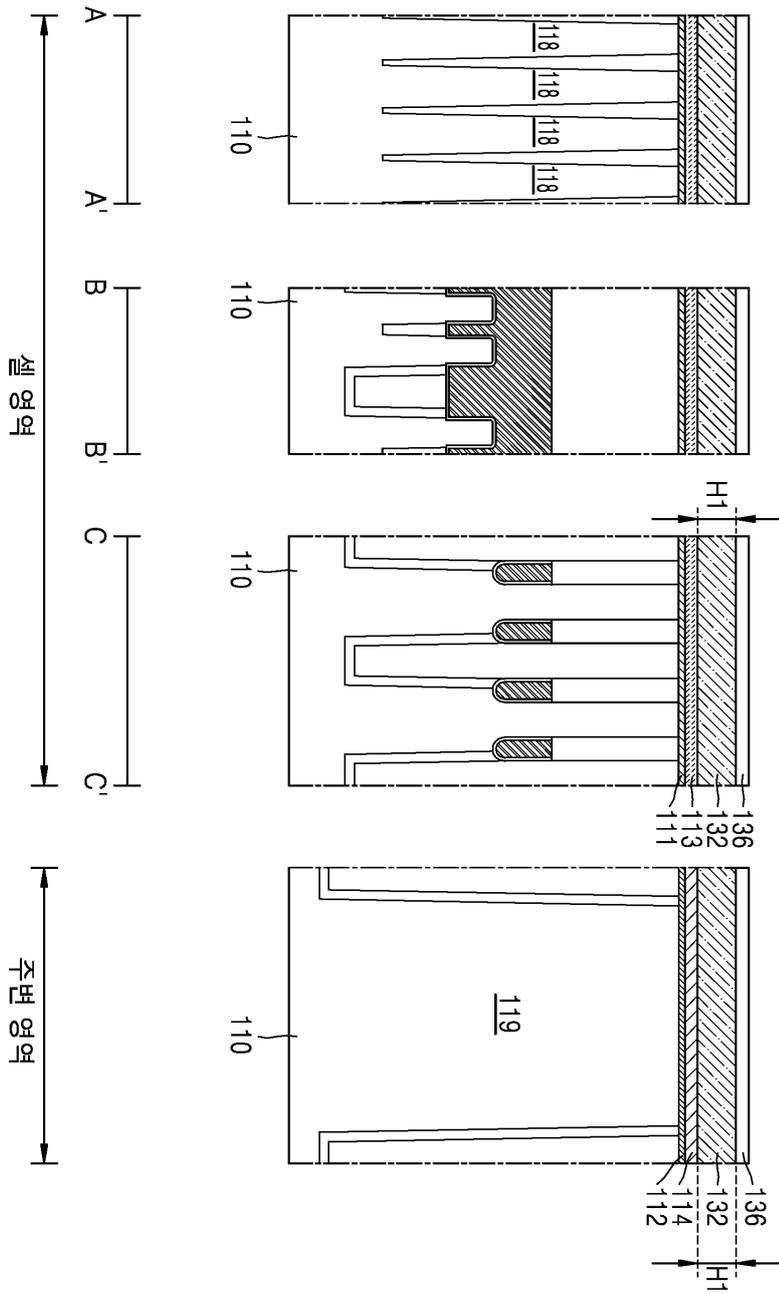
도면1



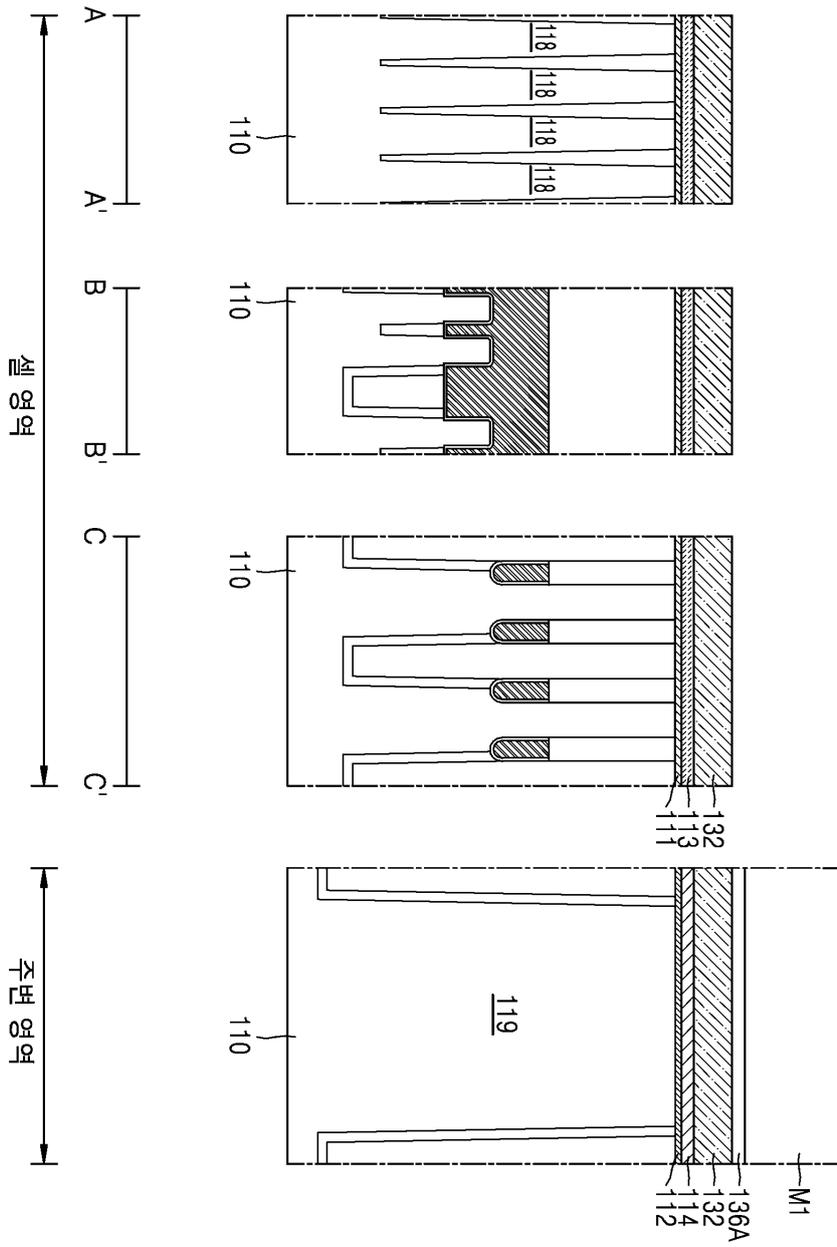
도면2



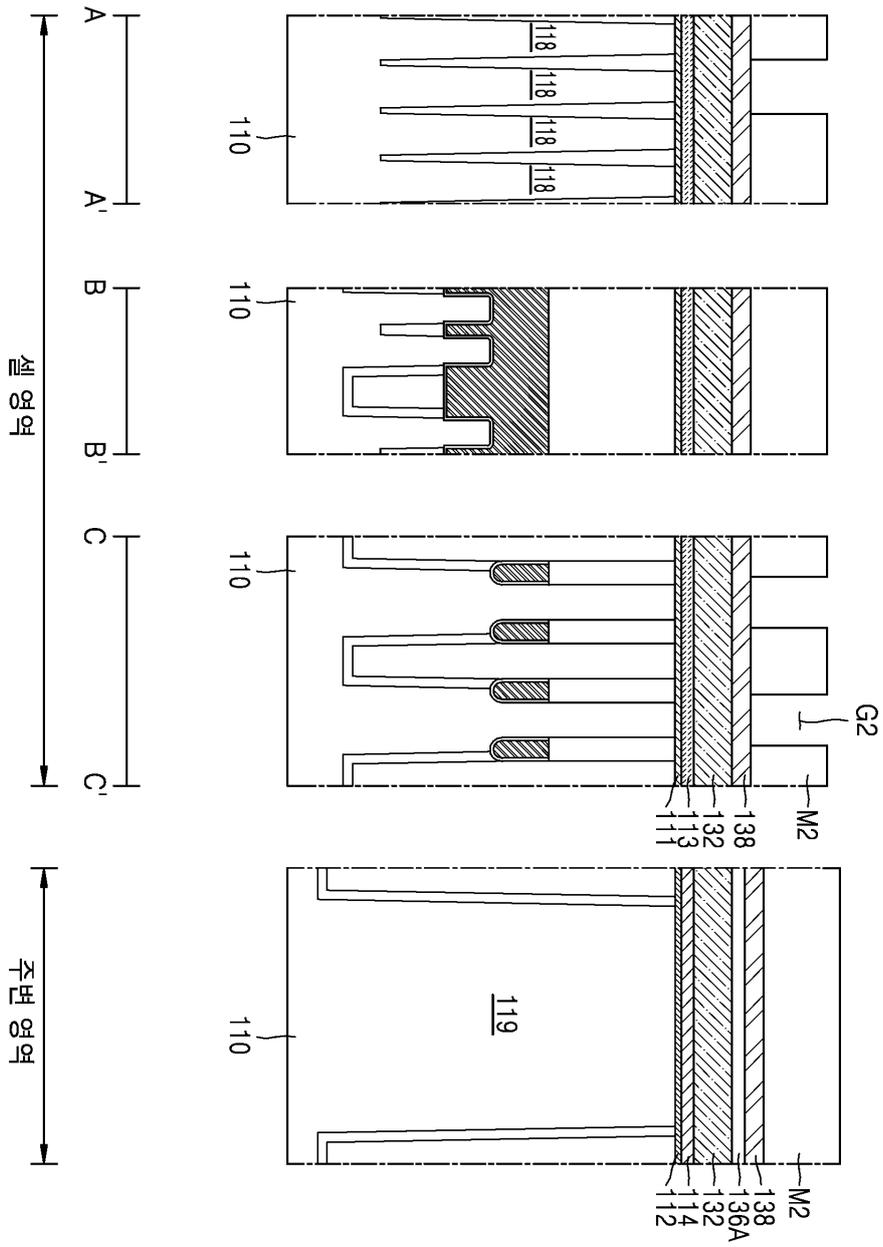
도면3



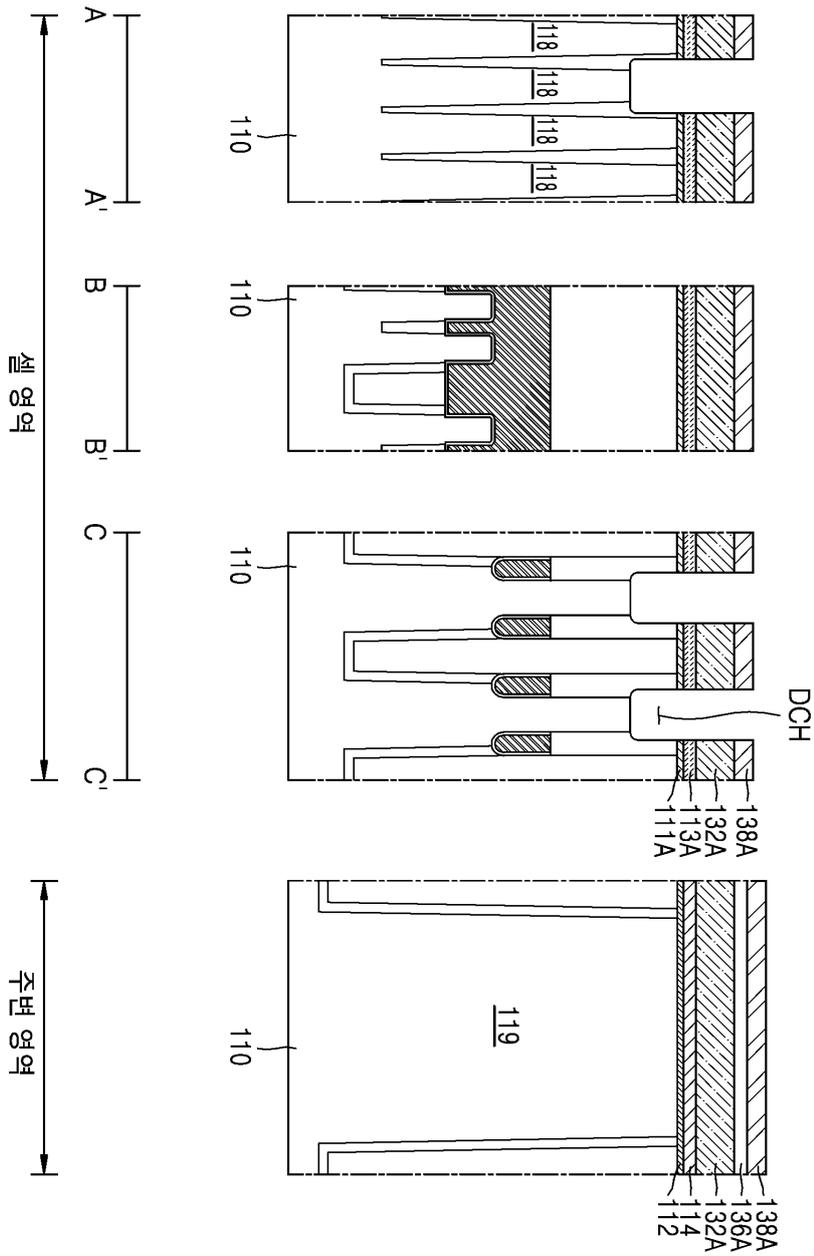
도면4



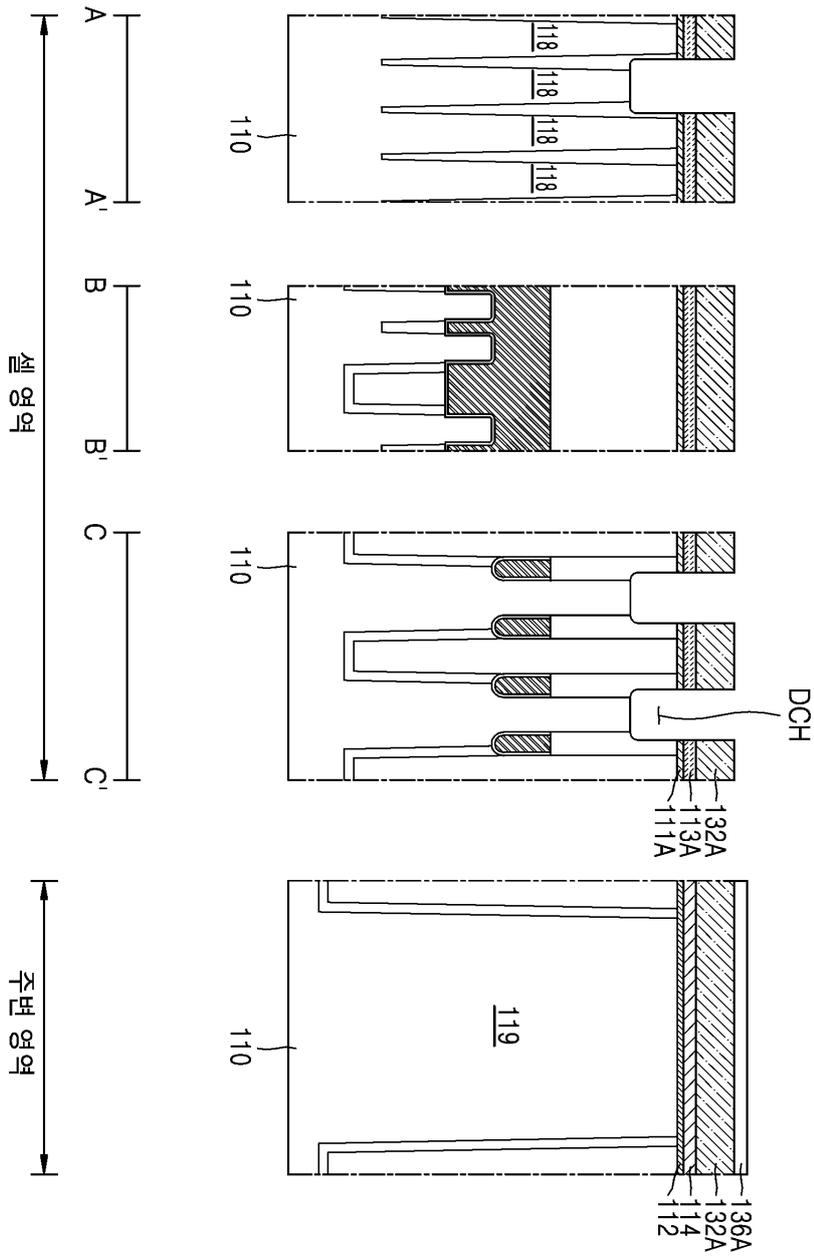
도면5



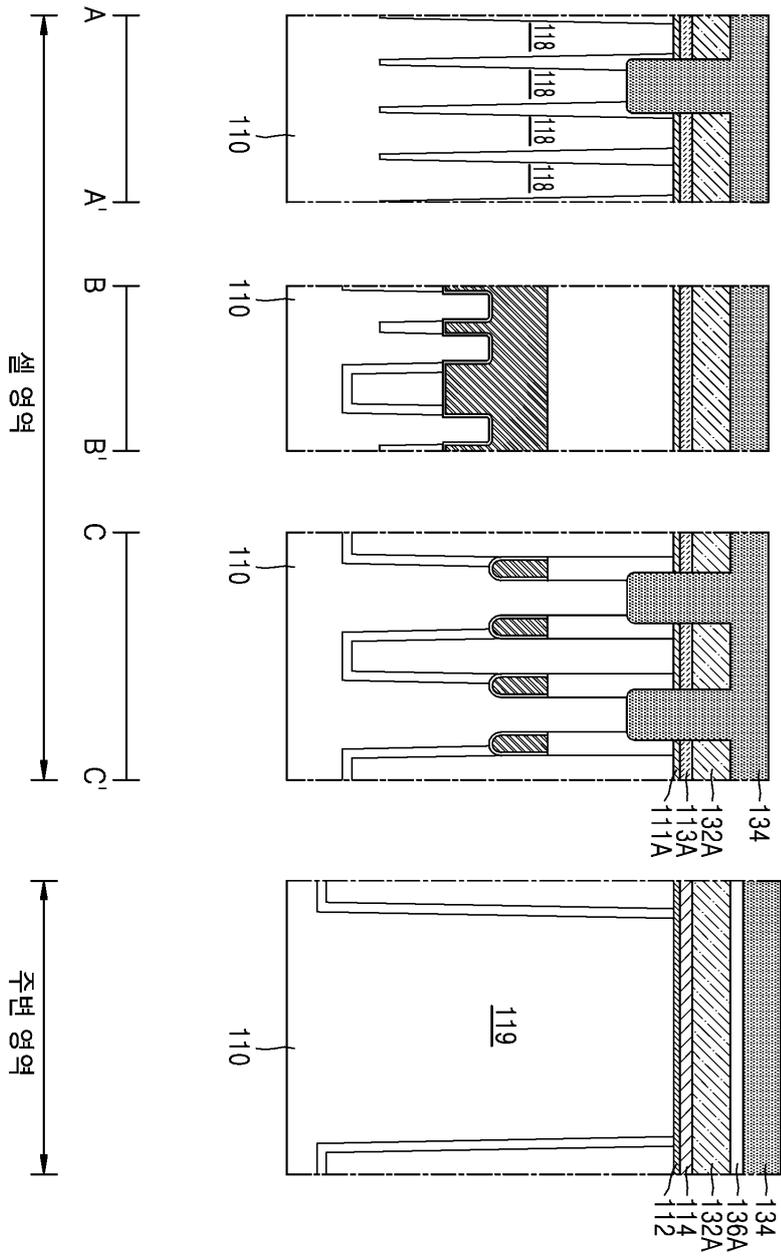
도면6



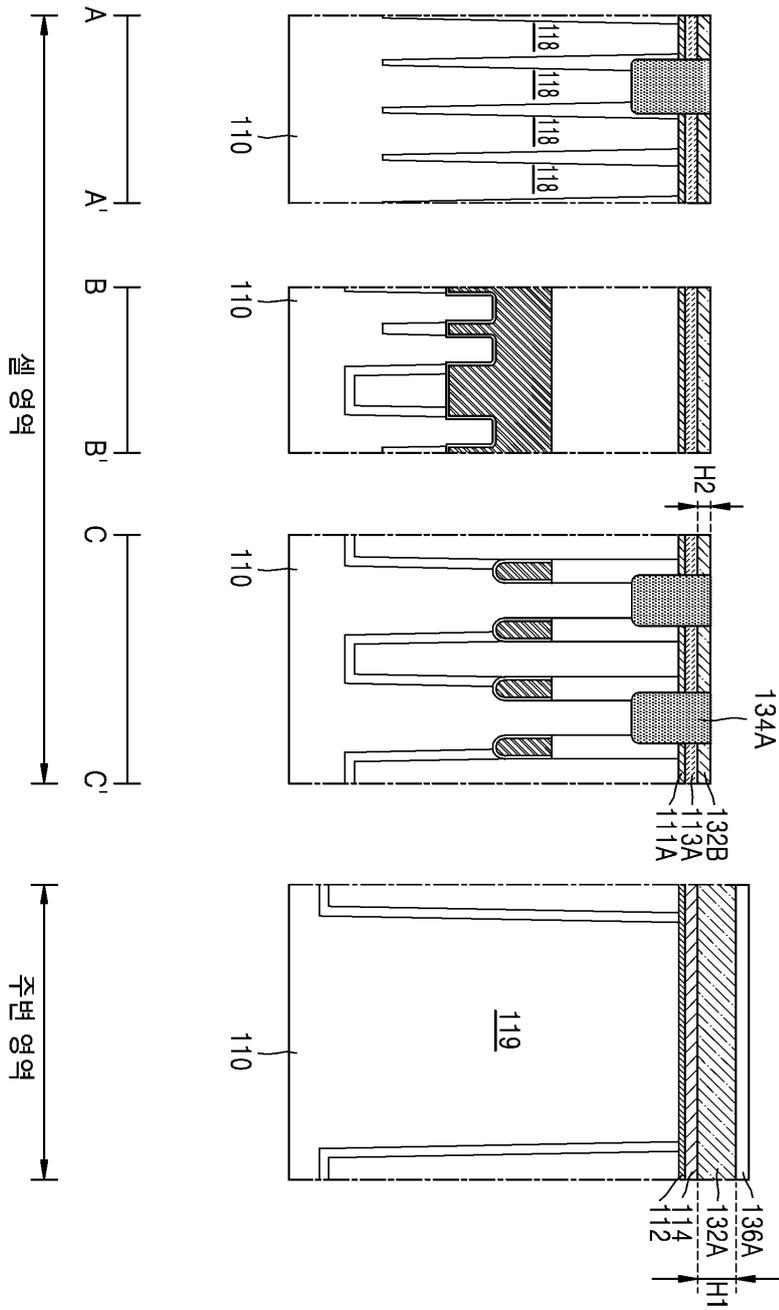
도면7



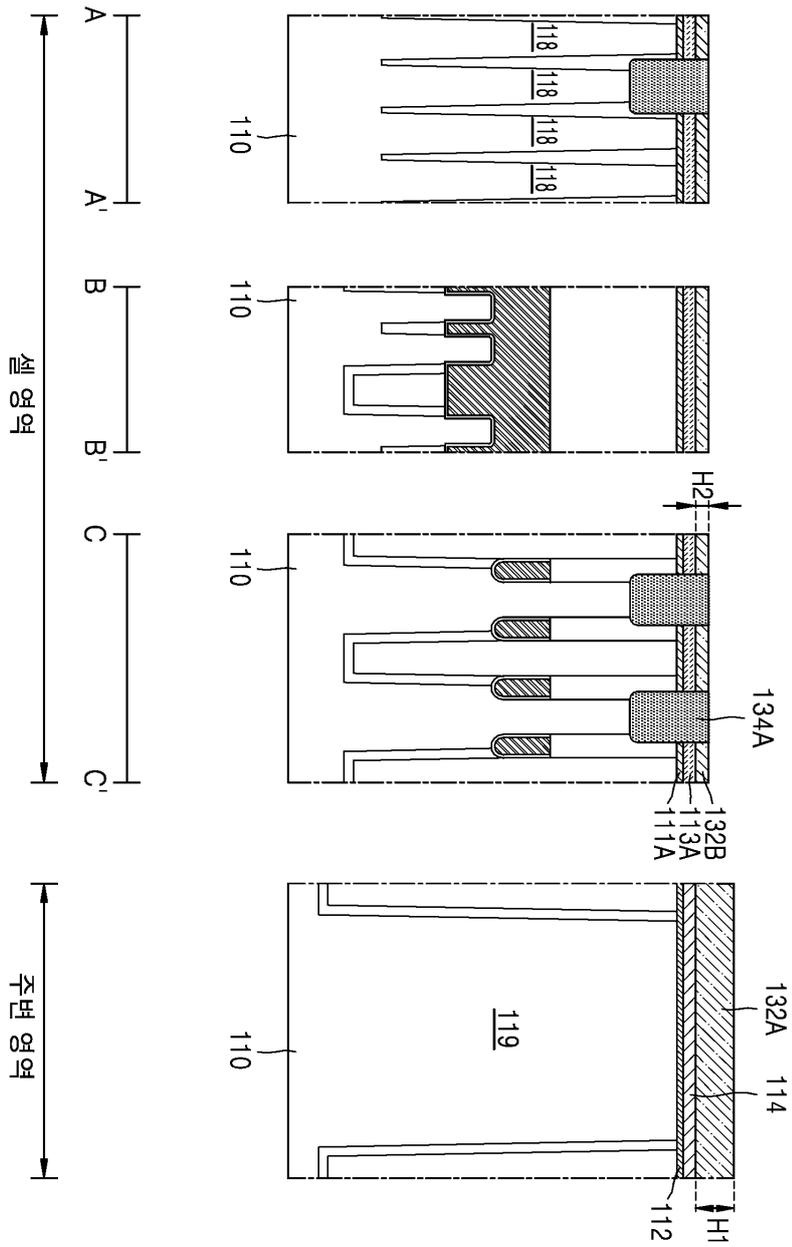
도면8



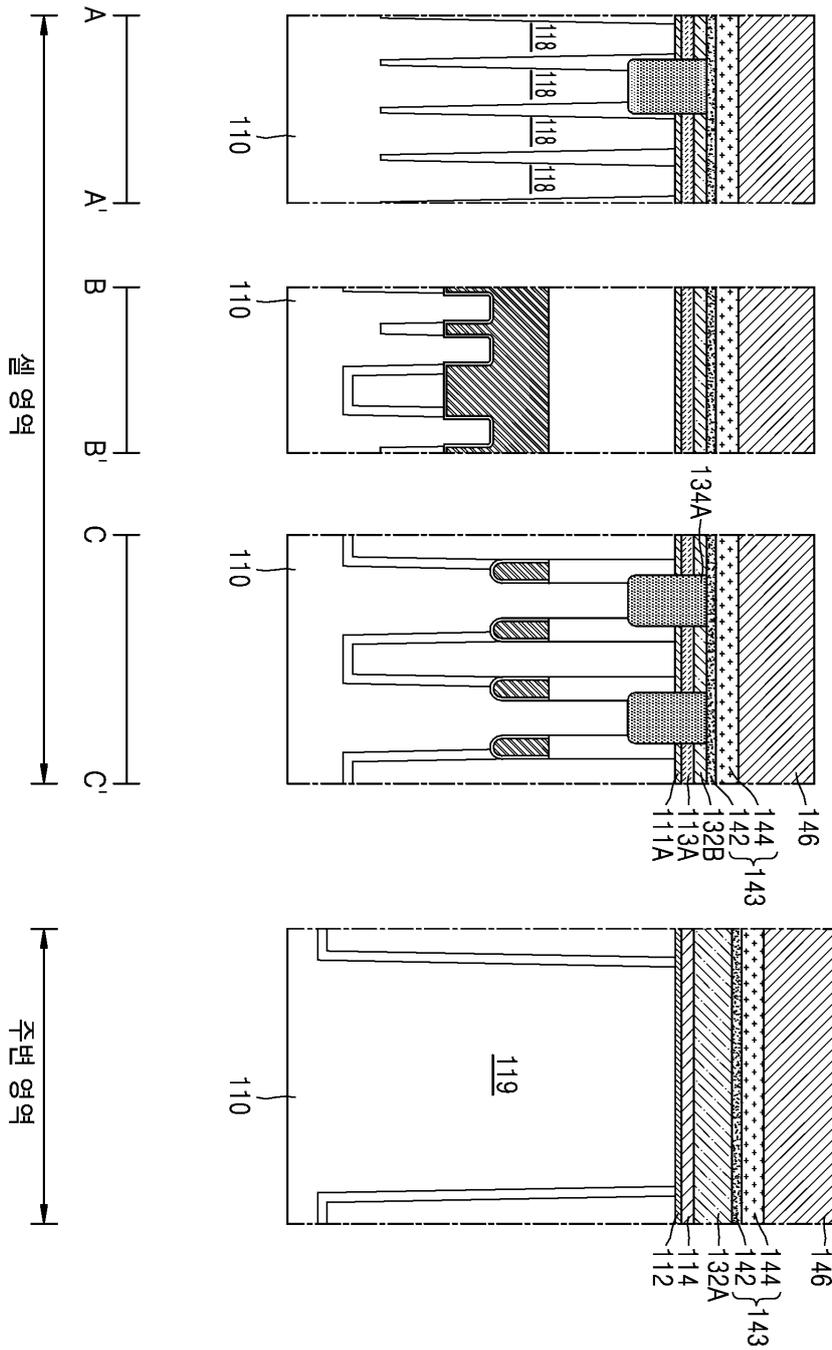
도면9



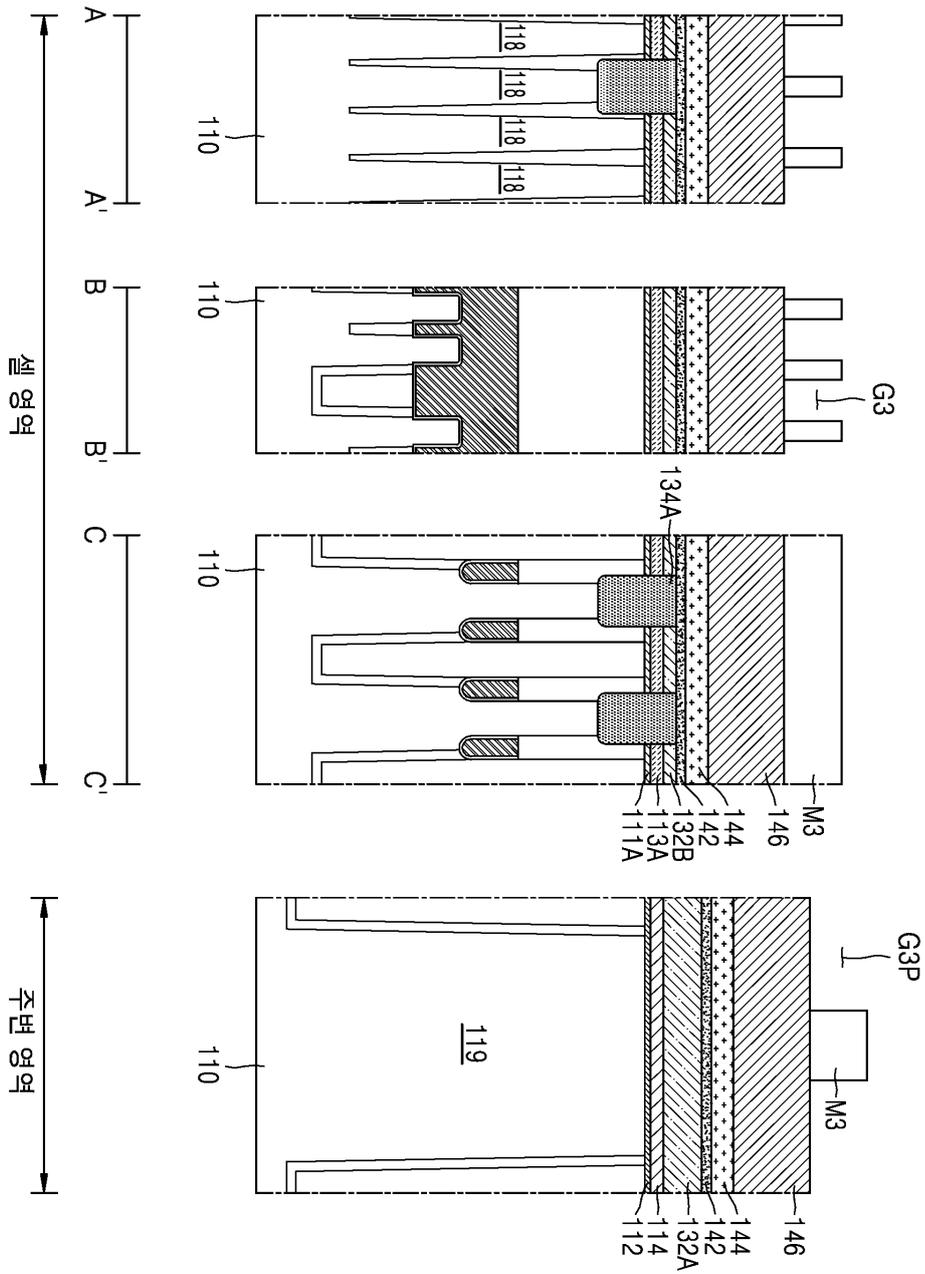
도면10



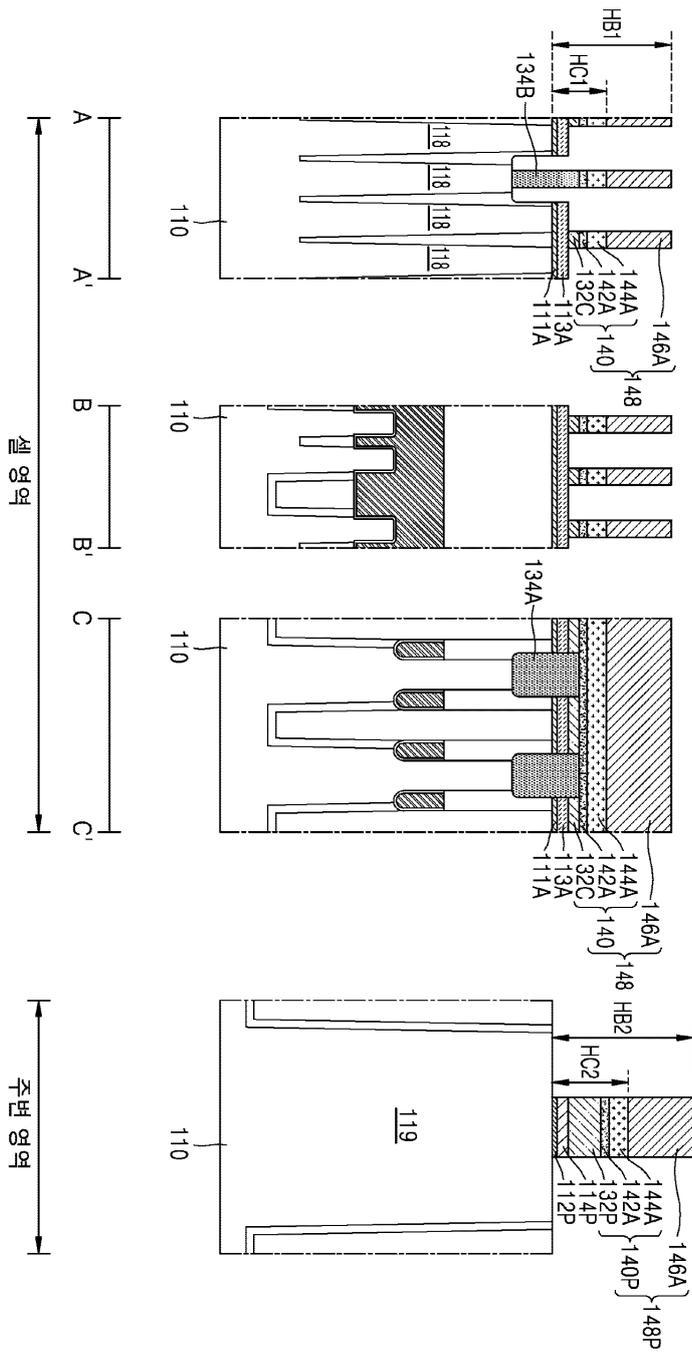
도면11



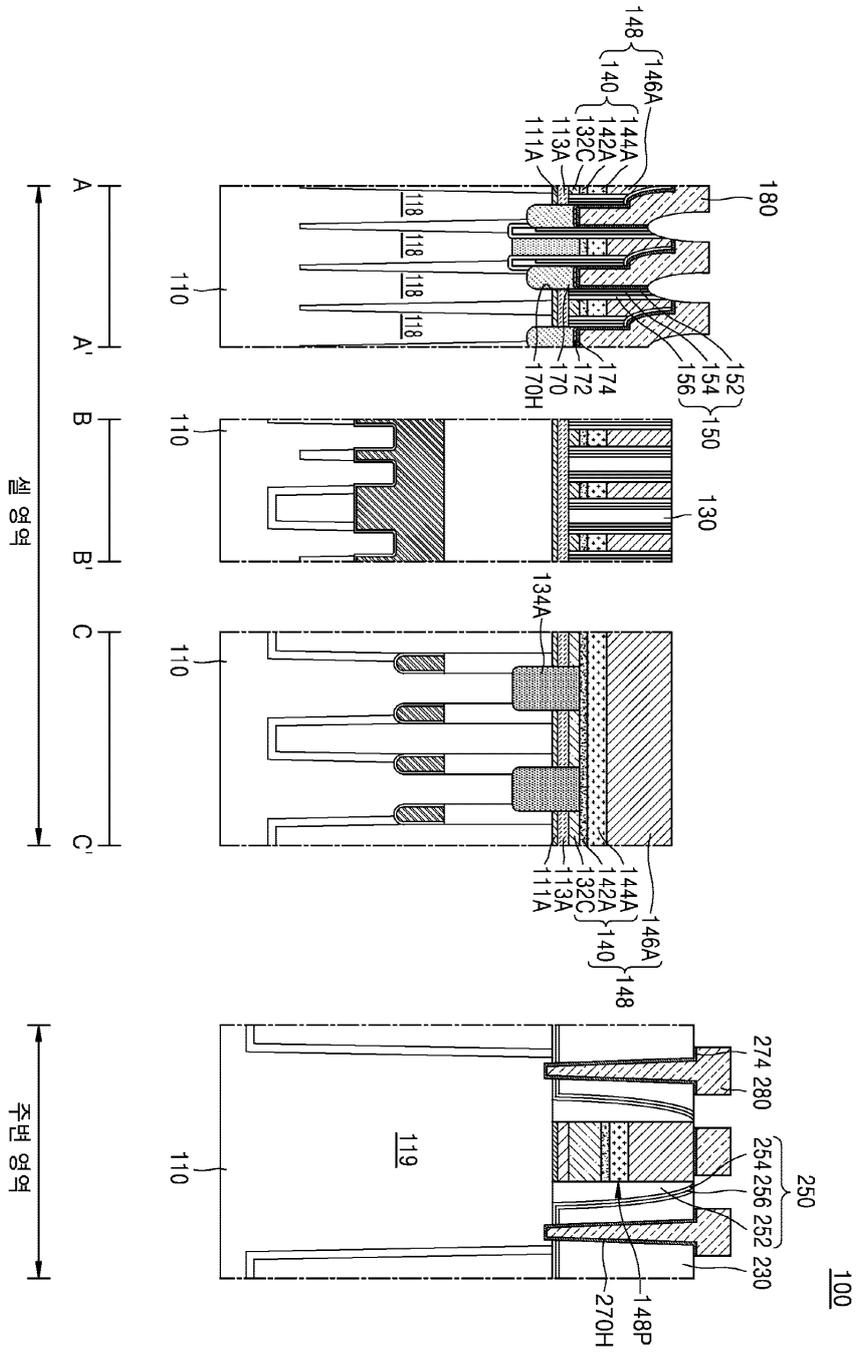
도면12



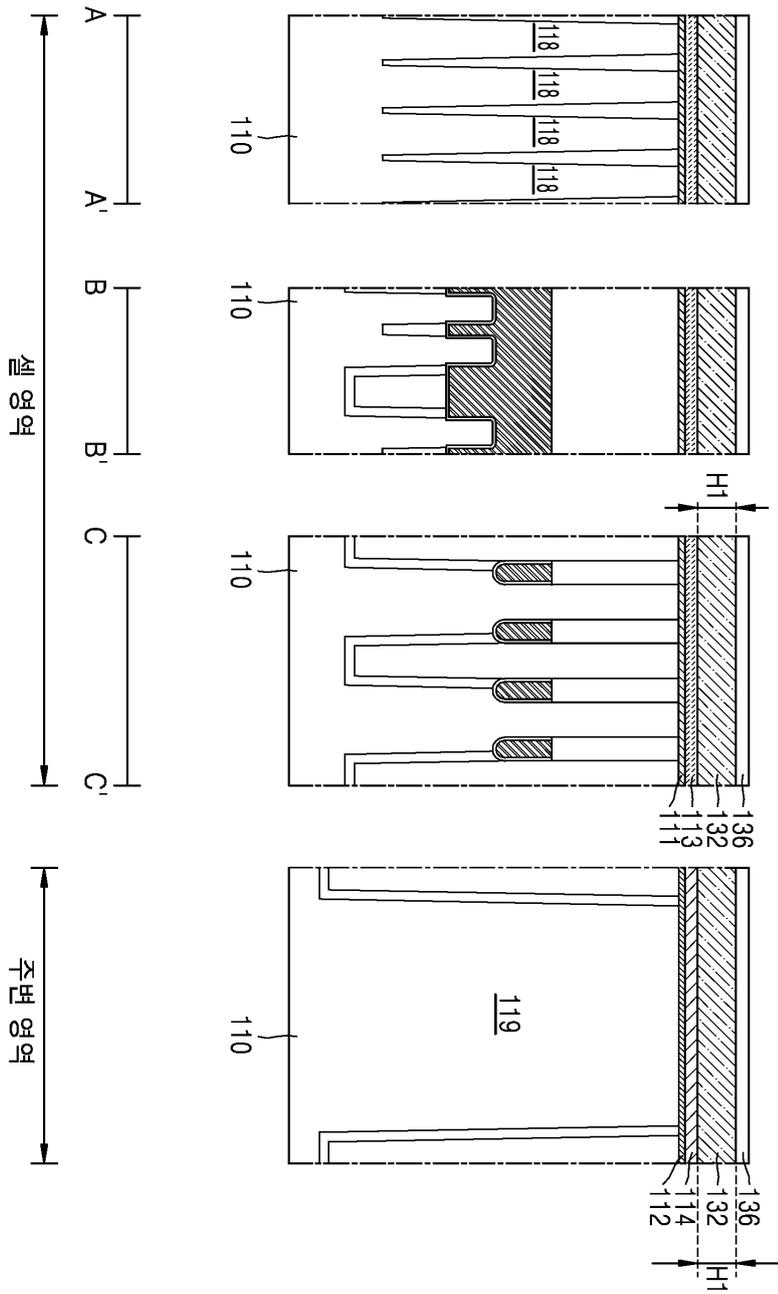
도면13



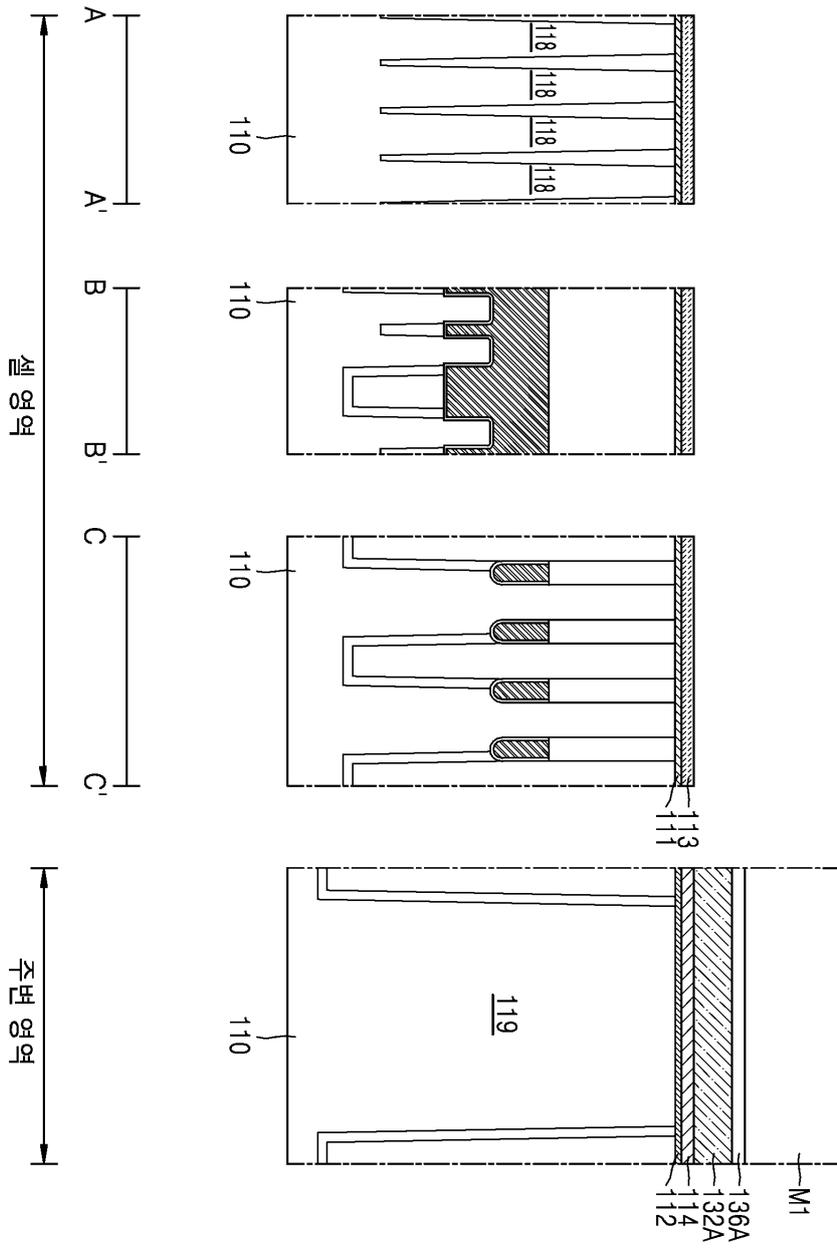
도면14



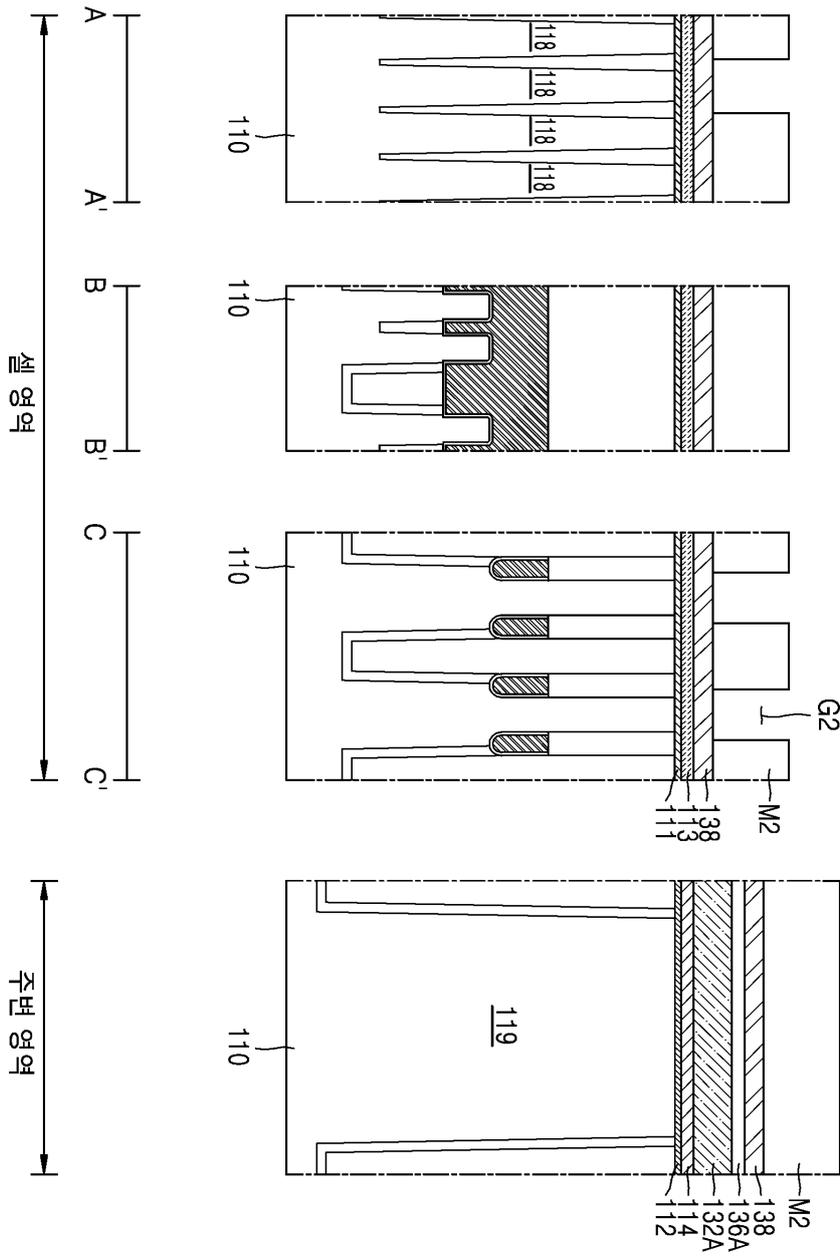
도면15



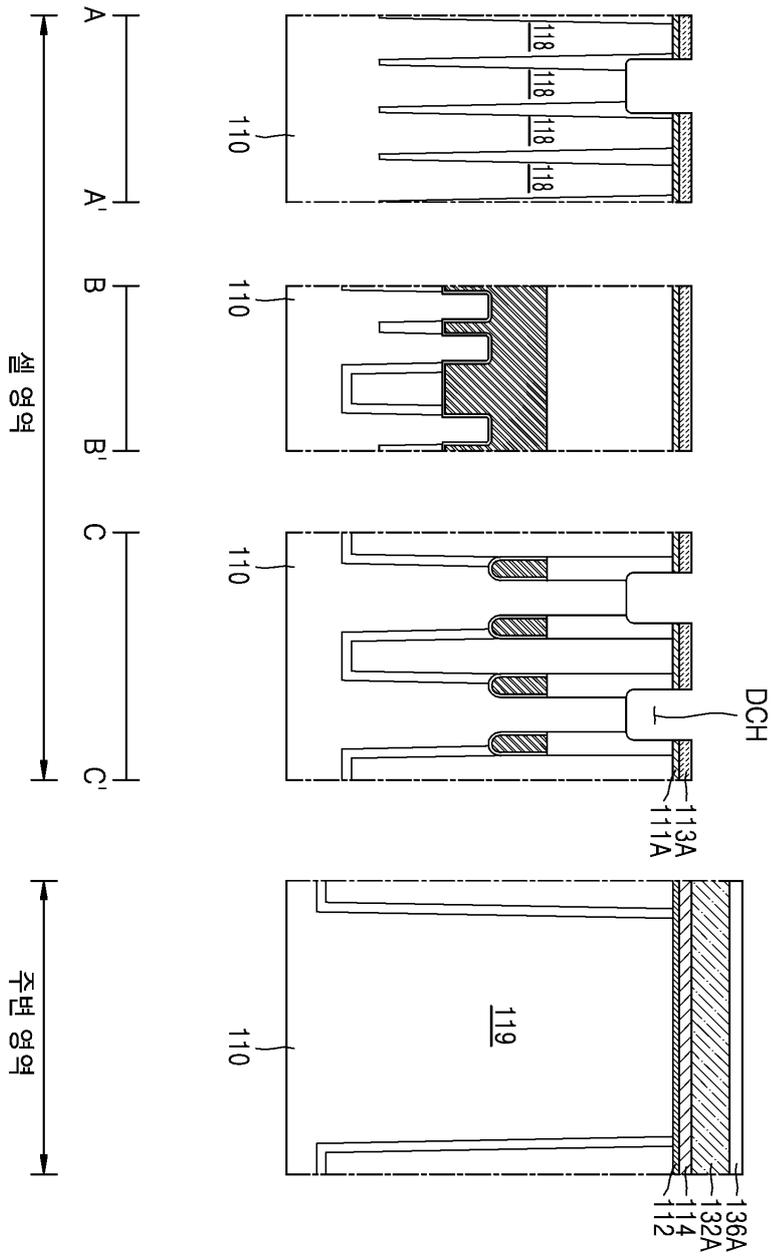
도면16



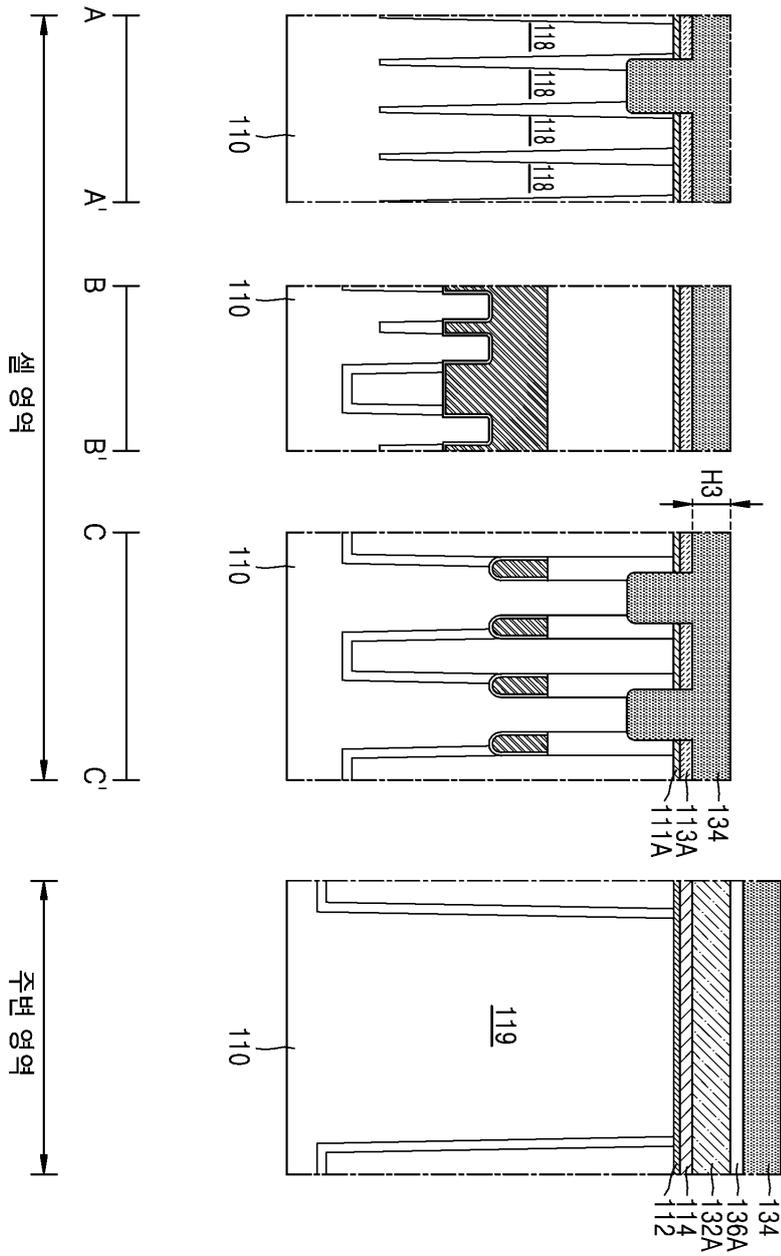
도면17



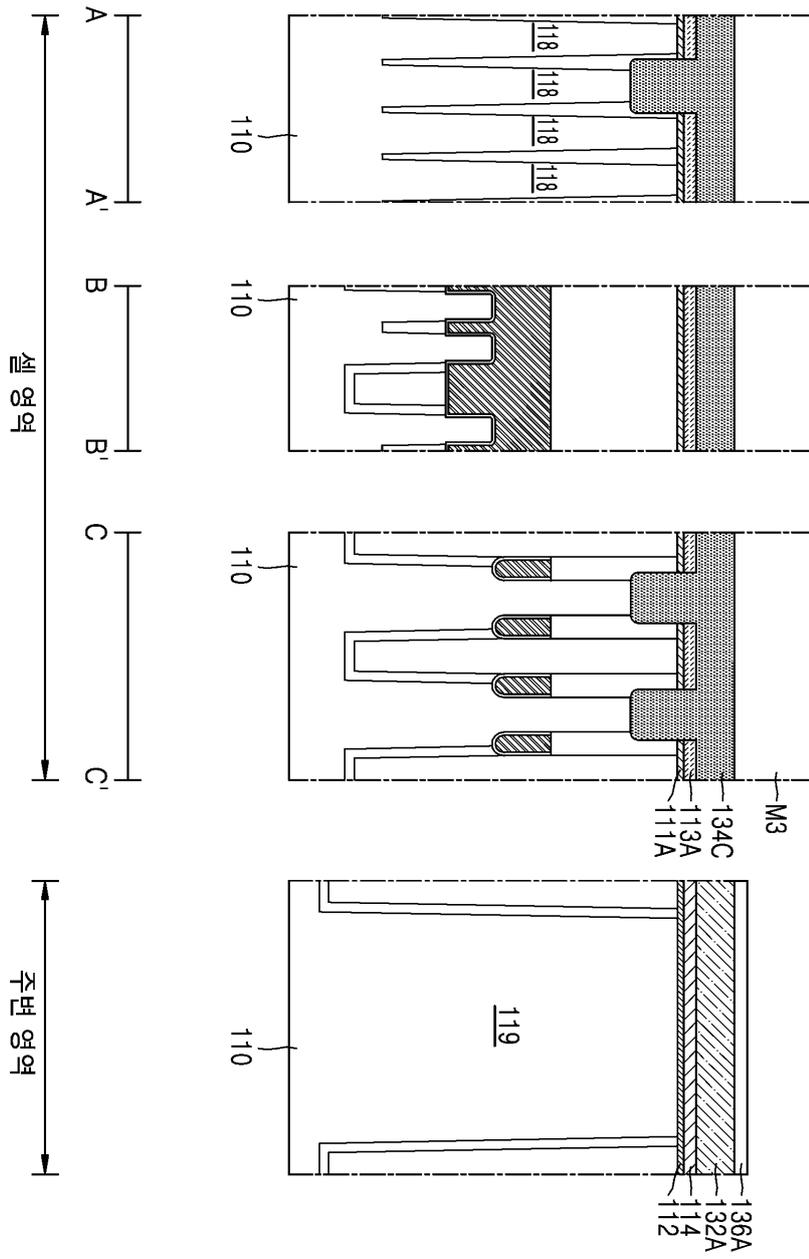
도면19



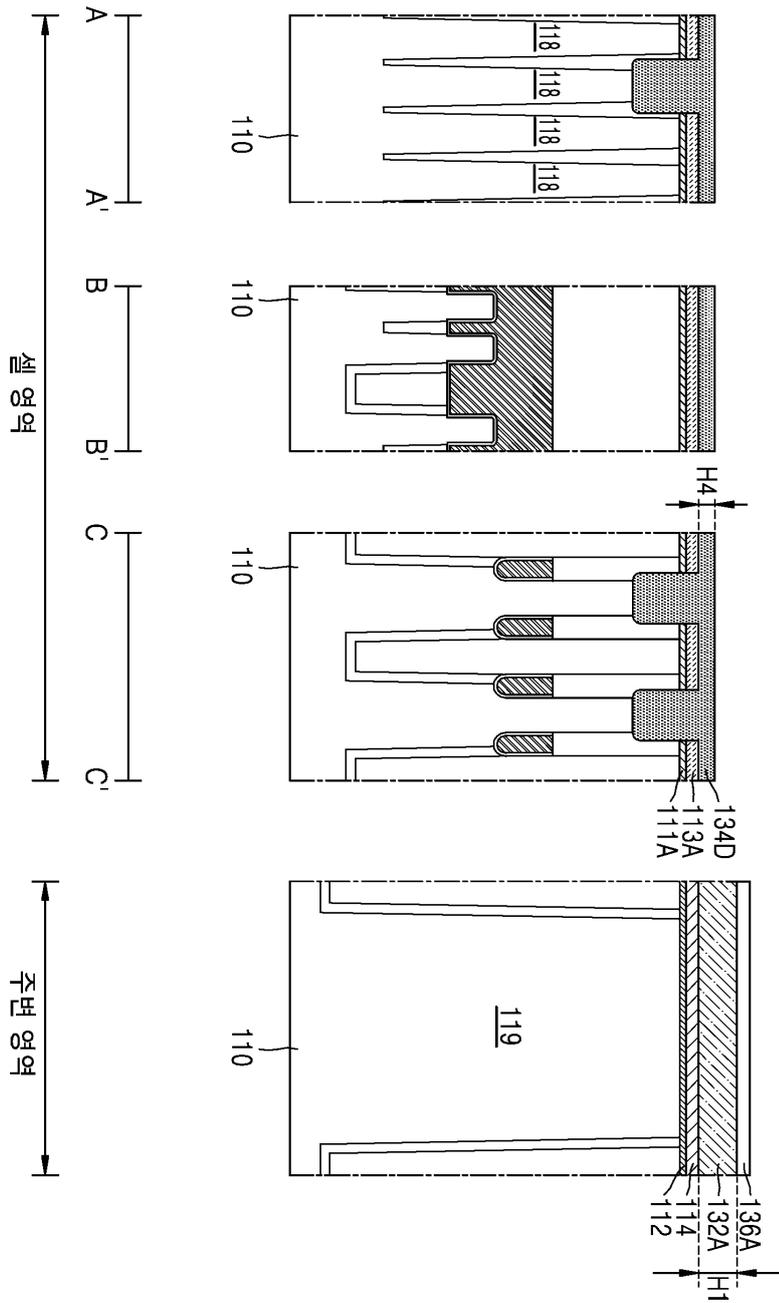
도면20



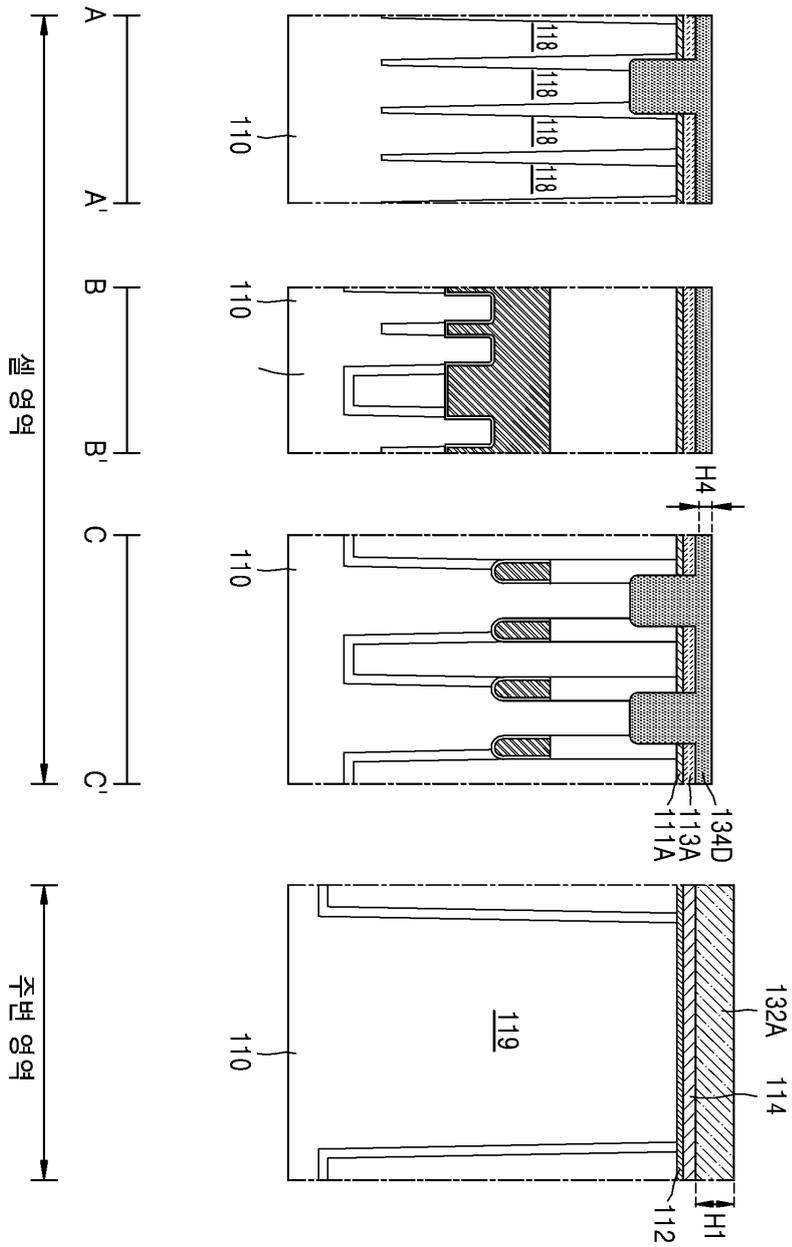
도면21



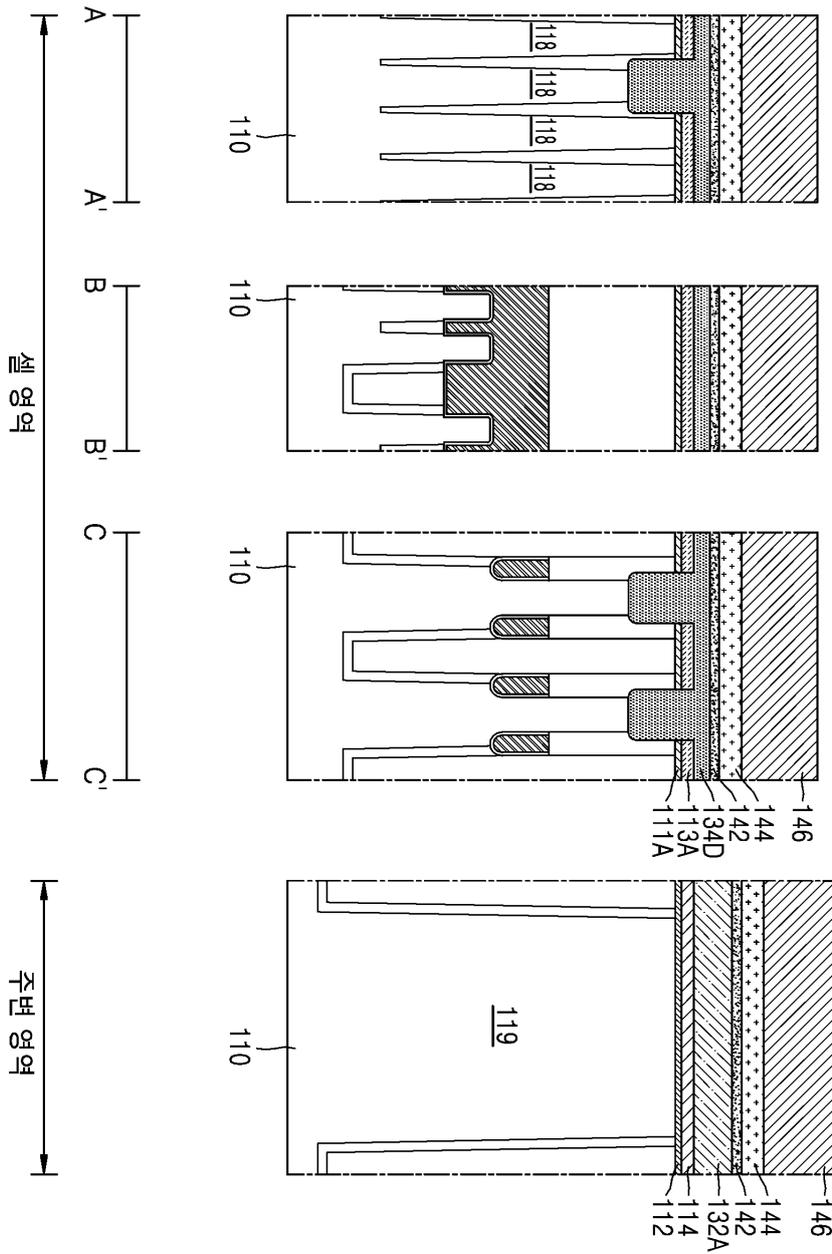
도면22



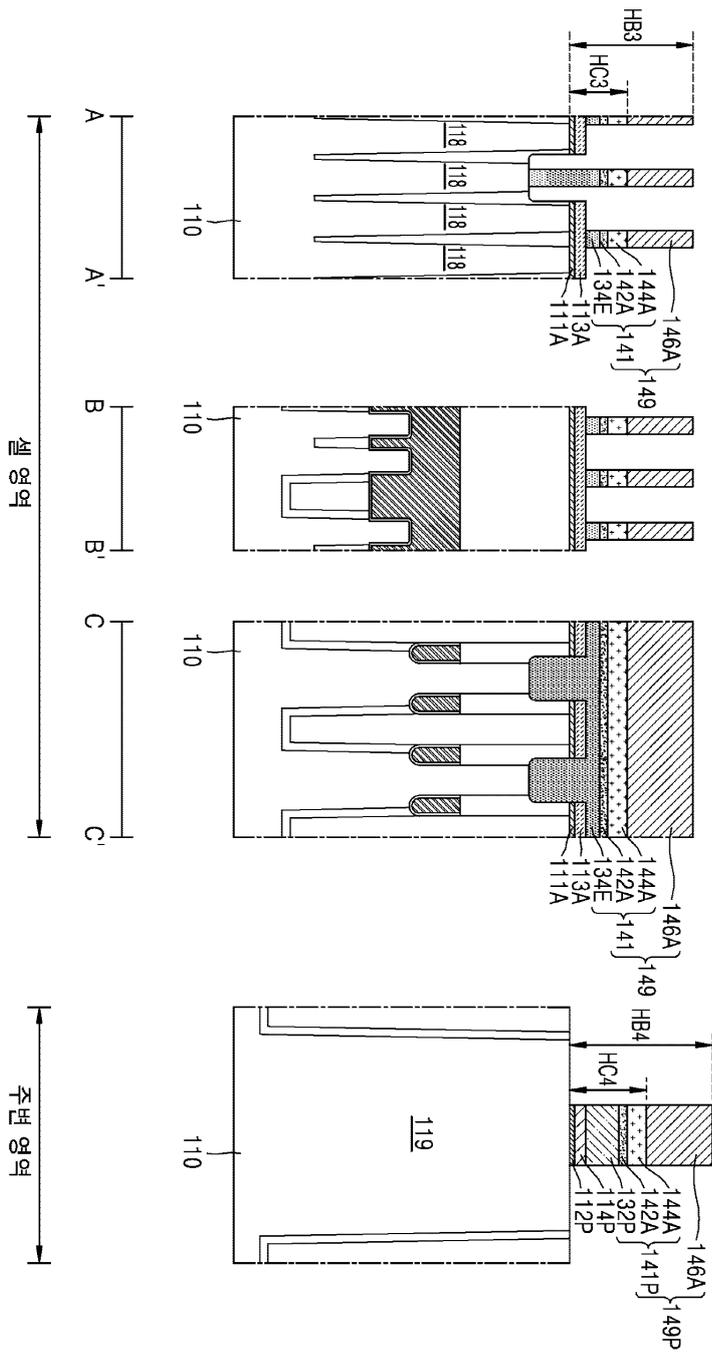
도면23



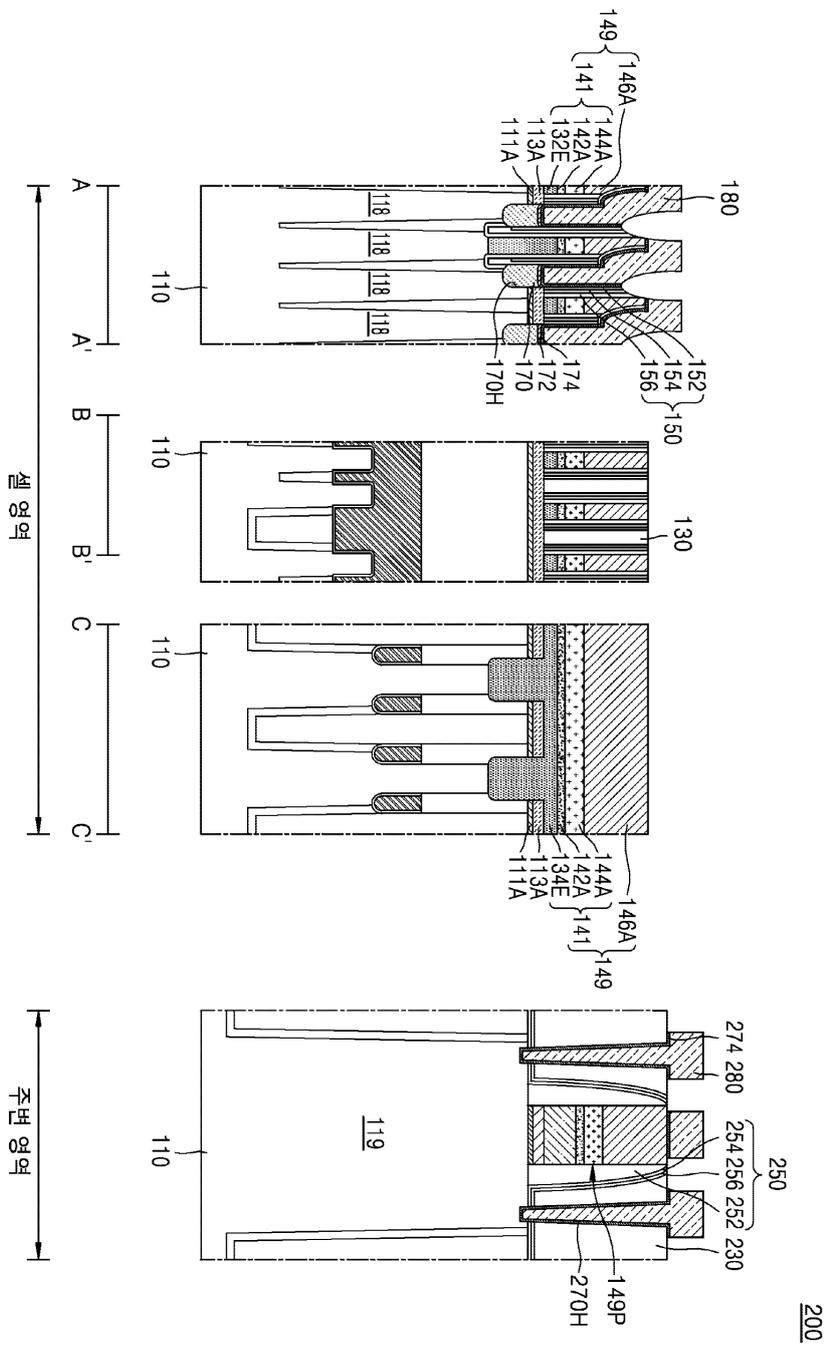
도면24



도면26



도면27



도면28

