



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I684277 B

(45) 公告日：中華民國 109 (2020) 年 02 月 01 日

(21) 申請案號：108105513

(22) 申請日：中華民國 108 (2019) 年 02 月 20 日

(51) Int. Cl. : *H01L29/06 (2006.01)**H01L29/808 (2006.01)**H01L21/337 (2006.01)*(71) 申請人：新唐科技股份有限公司 (中華民國) NUVOTON TECHNOLOGY CORPORATION  
(TW)

新竹市研新三路 4 號

(72) 發明人：韋 維克 NINGARAJU, VIVEK (IN)；依曼 席德 內亞茲 IMAM, SYED NEYAZ  
(IN)；陳柏安 CHEN, PO-AN (TW)

(74) 代理人：洪澄文

(56) 參考文獻：

TW 201212208A

審查人員：施喻懷

申請專利範圍項數：10 項 圖式數：4 共 33 頁

(54) 名稱

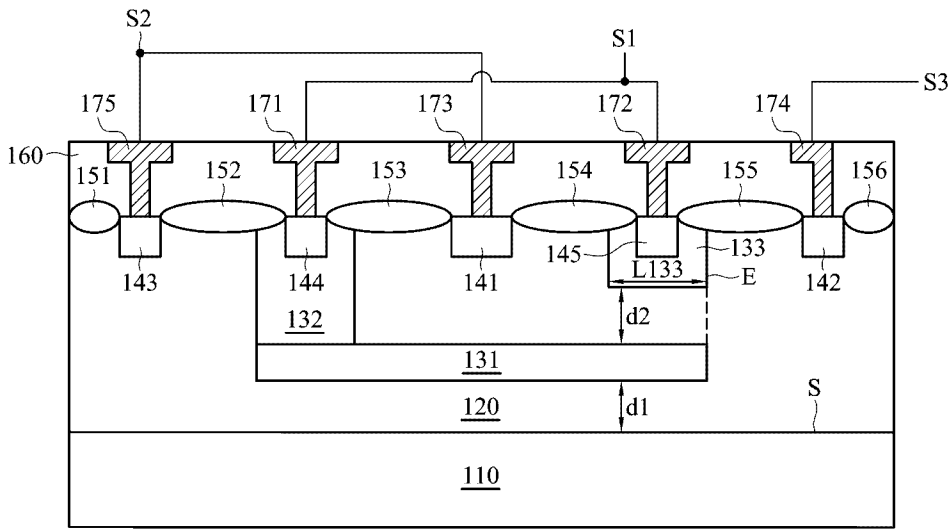
半導體結構及其製造方法

(57) 摘要

一種半導體結構，包括：基板、第一導電型井區、第二導電型埋層、第一第二導電型井區、第一第二導電型摻雜區、第二第二導電型井區以及第二第二導電型摻雜區。第一導電型井區設置於基板上。第二導電型埋層設置於第一導電型井區內，且與基板距離第一既定距離。第一第二導電型井區設置於第一導電型井區內且位於第二導電型埋層之上，並連接至第二導電型埋層。第一第二導電型摻雜區設置於第一第二導電型井區內。第二第二導電型井區設置於第一導電型井區內以及第二導電型埋層之上方，並與第二導電型埋層距離第二既定距離。第二第二導電型摻雜區設置於第二第二導電型井區內。

A semiconductor structure includes a substrate, a first-type well, a second-type buried layer, a first second-type well, a first second-type doping region, a second second-type well, and a second second-type doping region. The first-type well is deposited on the substrate. The second-type buried layer is deposited in the first-type well and away from the substrate with a first predetermined distance. The first second-type well is deposited in the first-type well, above the second-type buried layer, and connected to the second-type buried layer. The first second-type doping region is deposited in the first second-type well. The second second-type well is deposited in the first-type well, above the second-type buried layer, and away from the second-type buried layer with a second predetermined distance. The second second-type doping region is deposited in the second second-type well.

指定代表圖：



100  
第 1 圖

符號簡單說明：

- 100 . . . 半導體結構
- 110 . . . 基板
- 120 . . . 第一導電型井區
- 131 . . . 第二導電型埋層
- 132 . . . 第一第二導電型井區
- 133 . . . 第二第二導電型井區
- 141 . . . 第一第一導電型摻雜區
- 142 . . . 第二第一導電型摻雜區
- 143 . . . 第三第一導電型摻雜區
- 144 . . . 第一第二導電型摻雜區
- 145 . . . 第二第二導電型摻雜區
- 151 . . . 第一隔離結構
- 152 . . . 第二隔離結構
- 153 . . . 第三隔離結構
- 154 . . . 第四隔離結構
- 155 . . . 第五隔離結構
- 156 . . . 第六隔離結構
- 160 . . . 絕緣層
- 171 . . . 第一內連結結構
- 172 . . . 第二內連結結構

173 . . . 第三內連結  
構

174 . . . 第四內連結  
構

175 . . . 第五內連結  
構

S1 . . . 第一電極

S2 . . . 第二電極

S3 . . . 第三電極

d1 . . . 第一既定距  
離

d2 . . . 第二既定距  
離

L133 . . . 有效長度

E . . . 邊緣

S . . . 交界面

## 【發明說明書】

【中文發明名稱】半導體結構及其製造方法

【英文發明名稱】SEMICONDUCTOR DEVICES AND

METHODS FOR FORMING THE SAME

【技術領域】

【0001】本發明係有關於一種半導體裝置，特別係有關於一種具有高電流且低夾止電壓之接面場效電晶體之半導體裝置及其製造方法。

【先前技術】

【0002】在半導體產業中，場效電晶體 (field effect transistors, FETs) 有兩個主要類型，即絕緣閘場效電晶體 (insulated gate field effect transistor, IGFET)，通常稱為金屬氧化物半導體場效電晶體 (metal oxide semiconductor field effect transistor, MOSFET)，和接面場效電晶體 (junction field effect transistor, JFET)。金屬氧化物半導體場效電晶體和接面場效電晶體的結構配置基本上並不相同。舉例來說，金屬氧化物半導體場效電晶體的閘極包含絕緣層，亦即閘極氧化層，在閘極和電晶體的其他電極之間。因此，藉由穿過通道的電場控制在金屬氧化物半導體場效電晶體內的通道電流，以視需求使通道區增強和空乏 (deplete)。接面場效電晶體的閘極與電晶體的其他電極形成 P-N 接面 (P-N junction)，藉由施加預定的閘極電壓可以將接面場效電晶體反向偏置。因此，藉由改變通道內之空乏區的尺寸，可利用接面

場效電晶體的閘極P-N接面來控制通道電流。

【0003】 一般來說，接面場效電晶體可作為電壓控制電阻器或電子控制開關。P型接面場效電晶體包含摻雜的半導體材料的通道具有大量正電載子或電洞，而N型接面場效電晶體包含摻雜的半導體材料的通道則具有大量負電載子或電子。在接面場效電晶體各端，由歐姆接觸形成源極和汲極，且電流流經在源極和汲極之間的通道。此外，藉由對閘極施加反向偏壓可阻礙或斷開電流，也稱為「夾止」(pinch-off)。

【0004】 雖然現存半導體裝置的接面場效電晶體及其製造方法已逐步滿足它們既定的用途，然而接面場效電晶體始終存在導通電流與夾止電壓之間的取捨關係，一般來說，需要提高導通電流時，往往夾止電壓也隨之上升，無法保持低夾止電壓，故造成設計上的困難。

#### 【發明內容】

【0005】 有鑑於此，本發明提出一種半導體結構包括：一基板、一第一導電型井區、一第二導電型埋層、一第一第二導電型井區、一第一第二導電型摻雜區、一第二第二導電型井區以及一第二第二導電型摻雜區。上述第一導電型井區設置於上述基板內。上述第二導電型埋層設置於上述第一導電型井區內，且與上述基板距離一第一既定距離。上述第一第二導電型井區設置於上述第一導電型井區內且位於上述第二導電型埋層之上，並連接至上述第二導電型埋層。上述第一第二導電型摻雜區設置於上述第一第二導電型井區

內。上述第二第二導電型井區設置於上述第一導電型井區內以及上述第二導電型埋層之上方，並與上述第二導電型埋層距離一第二既定距離。上述第二第二導電型摻雜區設置於上述第二第二導電型井區內。

**【0006】** 根據本發明之一實施例，半導體結構更包括：一第一第一導電型摻雜區、一第二第一導電型摻雜區以及一第三第一導電型摻雜區。上述第一第一導電型摻雜區設置於上述第一導電型井區內，且位於上述第一第二導電型井區以及上述第二第二導電型井區之間。上述第二第一導電型摻雜區設置於上述第一導電型井區內，其中上述第一第一導電型摻雜區以及上述第二第一導電型摻雜區分別設置於上述第二第二導電型井區之兩側。上述第三第一導電型摻雜區設置於上述第一導電型井區內，其中上述第一第一導電型摻雜區以及上述第三第一導電型摻雜區分別設置於上述第一第二導電型井區之兩側。

**【0007】** 根據本發明之一實施例，上述第一第二導電型摻雜區以及上述第二第二導電型摻雜區係連接至一第一電極，其中上述第一第一導電型摻雜區以及上述第三第一導電型摻雜區係連接至一第二電極，其中上述第二第一導電型摻雜區係連接至一第三電極。

**【0008】** 根據本發明之一實施例，上述半導體結構係為一第一導電型接面場效電晶體，其中上述第一電極係為一閘極端，上述第二電極係為一源極端，上述第三電極係為一汲極端。

**【0009】** 根據本發明之一實施例，上述第二第二導電型井區具有一有效長度，其中上述第二第二導電型井區至少一半上述有效

長度係與上述第二導電型埋層相重疊。

**【0010】** 本發明更提出一種半導體裝置的製造方法，包括：提供一基板；形成一第一導電型井區於上述基板內；形成一第二導電型埋層於上述第一導電型井區內、位於上述第一導電型井區內，且與上述基板距離一第一既定距離；形成一第一第二導電型井區於上述第一導電型井區內且位於上述第二導電型埋層之上，其中上述第一第二導電型井區係連接至上述第二導電型埋層；形成一第二第二導電型井區於上述第一導電型井區內且位於上述第二導電型埋層之上，其中上述第二第二導電型井區與上述第二導電型埋層距離一第二既定距離；形成一第一第二導電型摻雜區於上述第一第二導電型井區內；以及形成一第二第二導電型摻雜區於上述第二第二導電型井區內。

**【0011】** 根據本發明之一實施例，製造方法更包括：形成一第一第一導電型摻雜區於上述第一導電型井區內，且位於上述第一第二導電型井區以及上述第二第二導電型井區之間；形成一第二第一導電型摻雜區於上述第一導電型井區內，其中上述第一第一導電型摻雜區以及上述第二第一導電型摻雜區分別位於上述第二第二導電型井區之兩側；以及形成一第三第一導電型摻雜區於上述第一導電型井區內，其中第一第一導電型摻雜區以及上述第三第一導電型摻雜區分別設置於上述第一第二導電型井區之兩側。

**【0012】** 根據本發明之一實施例，製造方法更包括：將上述第一第二導電型摻雜區以及上述第二第二導電型摻雜區耦接至一第一電極；將上述第一第一導電型摻雜區以及上述第三第一導電型摻

雜區連接至一第二電極；以及將上述第二第一導電型摻雜區連接至一第三電極。

【0013】 根據本發明之一實施例，上述半導體結構係為一第一導電型接面場效電晶體，其中上述第一電極係為一閘極端，上述第二電極係為一源極端，上述第三電極係為一汲極端。

【0014】 根據本發明之一實施例，上述第二第二導電型井區具有一有效長度，其中上述第二第二導電型井區至少一半的上述有效長度係與上述第二導電型埋層相重疊。

#### 【圖式簡單說明】

#### 【0015】

第1圖係顯示根據本發明之一實施例所述之半導體結構之剖面圖；

第2圖係顯示根據本發明之另一實施例所述之半導體結構之剖面圖；

第3圖係顯示根據本發明之另一實施例所述之半導體結構之剖面圖；以及

第4A~4D圖係顯示根據本發明之一實施例所述之半導體結構的製造方法之示意圖。

#### 【實施方式】

【0016】 以下針對本揭露一些實施例之元件基底、半導體裝置及半導體裝置之製造方法作詳細說明。應了解的是，以下之敘述提供許多不同的實施例或例子，用以實施本揭露一些實施例之不同樣態。以



下所述特定的元件及排列方式僅為簡單清楚描述本揭露一些實施例。當然，這些僅用以舉例而非本揭露之限定。此外，在不同實施例中可能使用重複的標號或標示。這些重複僅為了簡單清楚地敘述本揭露一些實施例，不代表所討論之不同實施例及/或結構之間具有任何關連性。再者，當述及一第一材料層位於一第二材料層上或之上時，包括第一材料層與第二材料層直接接觸之情形。或者，亦可能間隔有一或更多其它材料層之情形，在此情形中，第一材料層與第二材料層之間可能不直接接觸。

**【0017】** 此外，實施例中可能使用相對性的用語，例如「較低」或「底部」及「較高」或「頂部」，以描述圖式的一個元件對於另一元件的相對關係。能理解的是，如果將圖式的裝置翻轉使其上下顛倒，則所敘述在「較低」側的元件將會成為在「較高」側的元件。

**【0018】** 在此，「約」、「大約」、「大抵」之用語通常表示在一給定值或範圍的 20% 之內，較佳是 10% 之內，且更佳是 5% 之內，或 3% 之內，或 2% 之內，或 1% 之內，或 0.5% 之內。在此給定的數量為大約的數量，亦即在沒有特定說明「約」、「大約」、「大抵」的情況下，仍可隱含「約」、「大約」、「大抵」之含義。

**【0019】** 能理解的是，雖然在此可使用用語「第一」、「第二」、「第三」等來敘述各種元件、組成成分、區域、層、及/或部分，這些元件、組成成分、區域、層、及/或部分不應被這些用語限定，且這些用語僅是用來區別不同的元件、組成成分、區域、層、及/或部分。因此，以下討論的一第一元件、組成成分、區域、層、及/或部分可在不偏離本揭露一些實施例之教示的情況下被稱為一第二元件、組成成分、

區域、層、及/或部分。

**【0020】** 除非另外定義，在此使用的全部用語（包括技術及科學用語）具有與此篇揭露所屬之一般技藝者所通常理解的相同涵義。能理解的是，這些用語，例如在通常使用的字典中定義的用語，應被解讀成具有與相關技術及本揭露的背景或上下文一致的意思，而不應以一理想化或過度正式的方式解讀，除非在本揭露實施例有特別定義。

**【0021】** 本揭露一些實施例可配合圖式一併理解，本揭露實施例之圖式亦被視為本揭露實施例說明之一部分。需了解的是，本揭露實施例之圖式並未以實際裝置及元件之比例繪示。在圖式中可能誇大實施例的形狀與厚度以便清楚表現出本揭露實施例之特徵。此外，圖式中之結構及裝置係以示意之方式繪示，以便清楚表現出本揭露實施例之特徵。

**【0022】** 在本揭露一些實施例中，相對性的用語例如「下」、「上」、「水平」、「垂直」、「之下」、「之上」、「頂部」、「底部」等等應被理解為該段以及相關圖式中所繪示的方位。此相對性的用語僅是為了方便說明之用，其並不代表其所敘述之裝置需以特定方位來製造或運作。而關於接合、連接之用語例如「連接」、「互連」等，除非特別定義，否則可指兩個結構係直接接觸，或者亦可指兩個結構並非直接接觸，其中有其它結構設於此兩個結構之間。且此關於接合、連接之用語亦可包括兩個結構都可移動，或者兩個結構都固定之情況。

**【0023】** 第 1 圖係顯示根據本發明之一實施例所述之半導體結構之剖面圖。如第 1 圖所示，半導體結構 100 包括基板 110、第

一導電型井區 120、第二導電型埋層 131、第一第二導電型井區 132、第二第二導電型井區 133、第一第一導電型摻雜區 141、第二第一導電型摻雜區 142、第三第一導電型摻雜區 143、第一第二導電型摻雜區 144 以及第二第二導電型摻雜區 145。

【0024】 第一導電型井區 120 係形成於基板 110 之內，且具有第一導電型。根據本發明之一實施例，基板 110 係為一矽基板。根據本發明之另一實施例，基板 110 具有第二導電型，其中第一導電型不同於第二導電型。根據本發明之一實施例，第一導電型係為 N 型，第二導電型係為 P 型。根據本發明之另一實施例，第一導電型係為 P 型，第二導電型係為 N 型。根據本發明之其他實施例，基板 110 亦可為輕摻雜之基板，例如輕摻雜之 N 型基板或 P 型基板。

【0025】 根據本發明之一實施例，第一導電型井區 120 可藉由離子佈植步驟形成。例如，當此第一導電型井區 120 係為 N 型時，可於預定形成第一導電型井區 120 之區域佈植磷離子或砷離子以形成第一導電型井區 120。然而，當此第一導電型井區 120 係為 P 型時，可於預定形成第一導電型井區 120 之區域佈植硼離子或銦離子以形成第一導電型井區 120。在一些實施例中，第一導電型井區 120 係為一高壓井區。

【0026】 第二導電型埋層 131、第一第二導電型井區 132 以及第二第二導電型井區 133 係形成於第一導電型井區 120 中，其中第二導電型埋層 131、第一第二導電型井區 132 以及第二第二導電型井區 133 具有第二導電型。根據本發明之一實施例，第二導電型埋層 131、第一第二導電型井區 132 以及第二第二導電型井區 133

係與基板 110 具有相同的導電型。

【0027】 根據本發明之一實施例，第二導電型埋層 131、第一第二導電型井區 132 及/或第二第二導電型井區 133 亦可藉由離子佈植步驟形成。例如，當此第二導電型為 N 型時，可於預定形成第二導電型埋層 131、第一第二導電型井區 132 及/或第二第二導電型井區 133 之區域佈植磷離子或砷離子以形成第二導電型埋層 131、第一第二導電型井區 132 及/或第二第二導電型井區 133。

【0028】 然而，當此第二導電型為 P 型時，可於預定形成第二導電型埋層 131、第一第二導電型井區 132 及/或第二第二導電型井區 133 之區域佈植硼離子或銦離子以形成第二導電型埋層 131、第一第二導電型井區 132 及/或第二第二導電型井區 133。根據本發明之一實施例，第二導電型埋層 131、第一第二導電型井區 132 及/或第二第二導電型井區 133 之摻雜濃度係高於基板 110 之摻雜濃度。

【0029】 如第 1 圖所示，基板 110 與第一導電型井區 120 具有一交界面 S，第二導電型埋層 131 距離交界面 S 係為第一既定距離  $d_1$ 。第一第二導電型井區 132 設置於第一導電型井區 120 內且位於第二導電型埋層 131 之上，並連接至第二導電型埋層 131。第二第二導電型井區 133 設置於第一導電型井區 120 內以及第二導電型埋層 131 之上方，並與第二導電型埋層 131 距離第二既定距離  $d_2$ 。根據本發明之一實施例，第一既定距離  $d_1$  係與第二既定距離  $d_2$  相同。根據本發明之另一實施例，第一既定距離  $d_1$  係與第二既定距離  $d_2$  不同。

【0030】 第一第一導電型摻雜區 141 設置於第一導電型井區 120 內，且具有第一導電型。如第 1 圖所示，第一第一導電型摻雜區 141 位於第一第二導電型井區 132 以及第二第二導電型井區 133 之間。根據本發明之一實施例，第一第一導電型摻雜區 141 之摻雜濃度高於第一導電型井區 120 之摻雜濃度。

【0031】 第二第一導電型摻雜區 142 設置於第一導電型井區 120 內，且具有第一導電型。如第 1 圖所示，第一第一導電型摻雜區 141 以及第二第一導電型摻雜區 142 分別設置於第二第二導電型井區 133 之兩側。根據本發明之一實施例，第二第一導電型摻雜區 142 之摻雜濃度高於第一導電型井區 120 之摻雜濃度。

【0032】 第三第一導電型摻雜區 143 設置於第一導電型井區 120 內，且具有第一導電型。如第 1 圖所示，第一第一導電型摻雜區 141 以及第三第一導電型摻雜區 143 分別設置於第一第二導電型井區 132 之兩側。根據本發明之一實施例，第三第一導電型摻雜區 143 之摻雜濃度高於第一導電型井區 120 之摻雜濃度。

【0033】 第一第二導電型摻雜區 144 形成於第一第二導電型井區 132 內，且具有第二導電型。根據本發明之一實施例，第一第二導電型摻雜區 144 之摻雜濃度高於第一第二導電型井區 132 之摻雜濃度。第二第二導電型摻雜區 145 形成於第二第二導電型井區 133 內。根據本發明之一實施例，第二第二導電型摻雜區 145 之摻雜濃度高於第二第二導電型井區 133 之摻雜濃度。

【0034】 根據本發明之一實施例，半導體結構 100 更包括第一隔離結構 151、第二隔離結構 152、第三隔離結構 153、第四隔

離結構 154、第五隔離結構 155 以及第六隔離結構 156。第一隔離結構 151 接觸第三第一導電型摻雜區 143，但並非用以限制本發明。根據本發明之其他實施例，第一隔離結構 151 與第三第一導電型摻雜區 143 在空間上彼此分隔。

【0035】如第 1 圖所示，第二隔離結構 152 直接接觸第三第一導電型摻雜區 143 以及第一第二導電型摻雜區 144，用以分隔第三第一導電型摻雜區 143 以及第一第二導電型摻雜區 144。根據本發明之其他實施例，第二隔離結構 152 並未直接接觸第三第一導電型摻雜區 143 以及第一第二導電型摻雜區 144 之至少一者。

【0036】如第 1 圖所示，第三隔離結構 153 直接接觸第一第一導電型摻雜區 141 以及第一第二導電型摻雜區 144，用以分隔第一第一導電型摻雜區 141 以及第一第二導電型摻雜區 144。根據本發明之其他實施例，第三隔離結構 153 並未直接接觸第一第一導電型摻雜區 141 以及第一第二導電型摻雜區 144 之至少一者。

【0037】如第 1 圖所示，第四隔離結構 154 直接接觸第一第一導電型摻雜區 141 以及第二第二導電型摻雜區 145，用以分隔第一第一導電型摻雜區 141 以及第二第二導電型摻雜區 145。根據本發明之其他實施例，第四隔離結構 154 並未直接接觸第一第一導電型摻雜區 141 以及第二第二導電型摻雜區 145 之至少一者。

【0038】如第 1 圖所示，第五隔離結構 155 直接接觸第二第一導電型摻雜區 142 以及第二第二導電型摻雜區 145，用以分隔第二第一導電型摻雜區 142 以及第二第二導電型摻雜區 145。根據本發明之其他實施例，第五隔離結構 155 並未直接接觸第二第一導電

型摻雜區 142 以及第二第二導電型摻雜區 145 之至少一者。

【0039】如第 1 圖所示，第六隔離結構 156 接觸第二第一導電型摻雜區 142，但並非用以限制本發明。根據本發明之其他實施例，第六隔離結構 156 與第二第一導電型摻雜區 142 在空間上彼此分隔。

【0040】根據本發明之其他實施例，半導體結構 100 更包括絕緣層 160、第一內連結構 171、第二內連結構 172、第三內連結構 173、第四內連結構 174 以及第五內連結構 175。根據本發明之一實施例，第一內連結構 171 以及第二內連結構 172 分別將第一第二導電型摻雜區 144 以及第二第二導電型摻雜區 145 連接至第一電極 S1，第三內連結構 173 以及第五內連結構 175 分別將第一第一導電型摻雜區 141 以及第三第一導電型摻雜區 143 連接至第二電極 S2，第四內連結構 174 將第二第一導電型摻雜區 142 連接至第三電極 S3。

【0041】根據本發明之一實施例，當第一導電型係為 N 型且第二導電型係為 P 型時，也就是當第一導電型井區 120 係為 N 型而第一第二導電型井區 132 以及第二第二導電型井區 133 係為 P 型時，半導體結構 100 係為 N 型接面場效電晶體，其中第一電極 S1 係為閘極端，第二電極 S2 係為源極端，第三電極 S3 係為汲極端，N 型接面場效電晶體之有效通道係各別為第一既定距離  $d1$  以及第二既定距離  $d2$ 。

【0042】根據本發明之另一實施例，當第一導電型係為 P 型且第二導電型係為 N 型時，也就是當第一導電型井區 120 係為 P

型而第一第二導電型井區 132 以及第二第二導電型井區 133 係為 N 型時，半導體結構 100 係為 P 型接面場效電晶體，其中第一電極 S1 係為閘極端，第二電極 S2 係為汲極端，第三電極 S3 係為源極端，P 型接面場效電晶體之有效通道係各別為第一既定距離 d1 以及第二既定距離 d2。

【0043】 根據本發明之一實施例，第二第二導電型井區 133 具有有效長度 L133。如第 1 圖所示，第二導電型埋層 131 係與第二第二導電型井區 133 之有效長度 L133 完全重疊。換句話說，第二導電型埋層 131 係與第二第二導電型井區 133 之邊緣 E 對齊。

【0044】 第 2 圖係顯示根據本發明之另一實施例所述之半導體結構之剖面圖。如第 2 圖所示，半導體結構 200 之第二導電型埋層 131 係與第二第二導電型井區 133 之有效長度 L133 的一半相重疊。根據本發明之其他實施例，第二導電型埋層 131 係與第二第二導電型井區 133 之有效長度 L133 的至少一半相重疊。

【0045】 第 3 圖係顯示根據本發明之另一實施例所述之半導體結構之剖面圖。如第 3 圖所示，半導體結構 300 之第二導電型埋層 131 係超過第二第二導電型井區 133 之邊緣 E。

【0046】 第 4A~4D 圖係顯示根據本發明之一實施例所述之半導體結構的製造方法之示意圖。如第 4A 圖所示，提供一基板 110，例如矽基板或其它適當的半導體基板。根據本發明之其它實施例，基板 110 亦可為輕摻雜之基板，例如輕摻雜之 P 型或 N 型基板。在本實施例中，基板 110 具有第二導電型。

【0047】 接著，可依序由摻雜製程（例如，離子佈值）及熱



擴散等製程，在基板 110 的一既定區域內形成第一導電型井區 120。根據本發明之一實施例，第一導電型井區 120 具有第一導電型，其中第一導電型係與第二導電型不同。

【0048】 接著，可依序由摻雜製程（例如，離子佈值）及熱擴散等製程，在第一導電型井區 120 中的一既定區域內形成第二導電型埋層 131、第一第二導電型井區 132 以及第二第二導電型井區 133。根據本發明之一實施例，第二導電型埋層 131、第一第二導電型井區 132 以及第二第二導電型井區 133 具有第二導電型。根據本發明之其他實施例，第二導電型埋層 131、第一第二導電型井區 132 以及第二第二導電型井區 133 的摻雜濃度係高於第一導電型井區 120 的摻雜濃度。

【0049】 根據本發明之一實施例，可先形成第一既定距離  $d_1$  之第一導電型井區 120 後，再於第一導電型井區 120 中形成第二導電型埋層 131，接著再於第二導電型埋層 131 上增加第一導電型井區 120 之厚度，並分別將第一第二導電型井區 132 以及第二第二導電型井區 133 形成於第一導電型井區 120 中。如第 4A 圖所示，第二第二導電型井區 133 與第二導電型埋層 131 之間，相距第二既定距離  $d_2$ 。

【0050】 根據本發明之一實施例，第二導電型埋層 131 係與第二第二導電型井區 133 完全重疊。根據本發明之其他實施例，第二導電型埋層 131 係與第二第二導電型井區 133 的至少一半相重疊（如第 2 圖所示）。

【0051】 如第 4B 圖所示，在基板 110 上形成第一隔離結構 151、第二隔離結構 152、第三隔離結構 153、第四隔離結構 154、

第五隔離結構 155 以及第六隔離結構 156。第一隔離結構 151 以及第六隔離結構 156 延伸進入第一導電型井區 120；第二隔離結構 152 延伸進入第一導電型井區 120 以及第一第二導電型井區 132；第三隔離結構 153 延伸進入第一導電型井區 120 以及第一第二導電型井區 132；第四隔離結構 154 延伸進入第一導電型井區 120 以及第二第二導電型井區 133；第五隔離結構 155 延伸進入第二第二導電型井區 133 以及第一導電型井區 120。

【0052】 根據本發明之一實施例，第一隔離結構 151、第二隔離結構 152、第三隔離結構 153 以及第四隔離結構 154 用以定義待形成之第一第一導電型摻雜區 141、第二第一導電型摻雜區 142、第三第一導電型摻雜區 143、第一第二導電型摻雜區 144 以及第二第二導電型摻雜區 145 的空間。

【0053】 如第 4C 圖所示，可藉由摻雜製程（如離子佈值），形成第一第一導電型摻雜區 141、第二第一導電型摻雜區 142、第三第一導電型摻雜區 143、第一第二導電型摻雜區 144 以及第二第二導電型摻雜區 145。根據本發明之一實施例，第一第一導電型摻雜區 141 形成於第一導電型井區 120 之中，並位於第三隔離結構 153 以及第四隔離結構 154 之間。第二第一導電型摻雜區 142 形成於第一導電型井區 120 之中，並位於第五隔離結構 155 以及第六隔離結構 156 之間。

【0054】 第三第一導電型摻雜區 143 形成於第一導電型井區 120 中，並位於第一隔離結構 151 以及第二隔離結構 152 之間。第一第二導電型摻雜區 144 位於第一第二導電型井區 132 中，且位於

端，第三電極S3係為源極端，P型接面場效電晶體之有效通道係各別為第一既定距離d1以及第二既定距離d2。

【0059】本發明在此提出了接面場效電晶體之半導體結構及其製造方法。由於接面場效電晶體的有效通道劃分為第一既定距離d1以及第二既定距離d2，使得接面場效電晶體在提高導通電流的情況下，無須隨之提高夾止電壓。因此，本發明所提出之半導體結構及其製造方法，將有效地打破接面場效電晶體所具有的導通電流與夾止電壓之間的取舍關係。

【0060】雖然本揭露的實施例及其優點已揭露如上，但應該瞭解的是，任何所屬技術領域中具有通常知識者，在不脫離本揭露之精神和範圍內，當可作更動、替代與潤飾。此外，本揭露之保護範圍並未侷限於說明書內所述特定實施例中的製程、機器、製造、物質組成、裝置、方法及步驟，任何所屬技術領域中具有通常知識者可從本揭露一些實施例之揭示內容中理解現行或未來所發展出的製程、機器、製造、物質組成、裝置、方法及步驟，只要可以在此處所述實施例中實施大抵相同功能或獲得大抵相同結果皆可根據本揭露一些實施例使用。因此，本揭露之保護範圍包括上述製程、機器、製造、物質組成、裝置、方法及步驟。另外，每一申請專利範圍構成個別的實施例，且本揭露之保護範圍也包括各個申請專利範圍及實施例的組合。

## 【符號說明】

### 【0061】

#### 100 半導體結構

- 200 半導體結構
- 300 半導體結構
- 110 基板
- 120 第一導電型井區
- 131 第二導電型埋層
- 132 第一第二導電型井區
- 133 第二第二導電型井區
- 141 第一第一導電型摻雜區
- 142 第二第一導電型摻雜區
- 143 第三第一導電型摻雜區
- 144 第一第二導電型摻雜區
- 145 第二第二導電型摻雜區
- 151 第一隔離結構
- 152 第二隔離結構
- 153 第三隔離結構
- 154 第四隔離結構
- 155 第五隔離結構
- 156 第六隔離結構
- 160 絕緣層
- 171 第一內連結構
- 172 第二內連結構
- 173 第三內連結構
- 174 第四內連結構

175 第五內連結構

S1 第一電極

S2 第二電極

S3 第三電極

d1 第一既定距離

d2 第二既定距離

L133 有效長度

E 邊緣

S 交界面



I684277

## 【發明摘要】

【中文發明名稱】半導體結構及其製造方法

【英文發明名稱】SEMICONDUCTOR DEVICES AND

METHODS FOR FORMING THE SAME

【中文】

一種半導體結構，包括：基板、第一導電型井區、第二導電型埋層、第一第二導電型井區、第一第二導電型摻雜區、第二第二導電型井區以及第二第二導電型摻雜區。第一導電型井區設置於基板上。第二導電型埋層設置於第一導電型井區內，且與基板距離第一既定距離。第一第二導電型井區設置於第一導電型井區內且位於第二導電型埋層之上，並連接至第二導電型埋層。第一第二導電型摻雜區設置於第一第二導電型井區內。第二第二導電型井區設置於第一導電型井區內以及第二導電型埋層之上方，並與第二導電型埋層距離第二既定距離。第二第二導電型摻雜區設置於第二第二導電型井區內。

【英文】

A semiconductor structure includes a substrate, a first-type well, a second-type buried layer, a first second-type well, a first second-type doping region, a second second-type well, and a second second-type doping region. The first-type well is deposited on the substrate. The second-type buried layer is deposited in the first-type well and away from the

substrate with a first predetermined distance. The first second-type well is deposited in the first-type well, above the second-type buried layer, and connected to the second-type buried layer. The first second-type doping region is deposited in the first second-type well. The second second-type well is deposited in the first-type well, above the second-type buried layer, and away from the second-type buried layer with a second predetermined distance. The second second-type doping region is deposited in the second second-type well.

【指定代表圖】 第1圖

【代表圖之符號簡單說明】

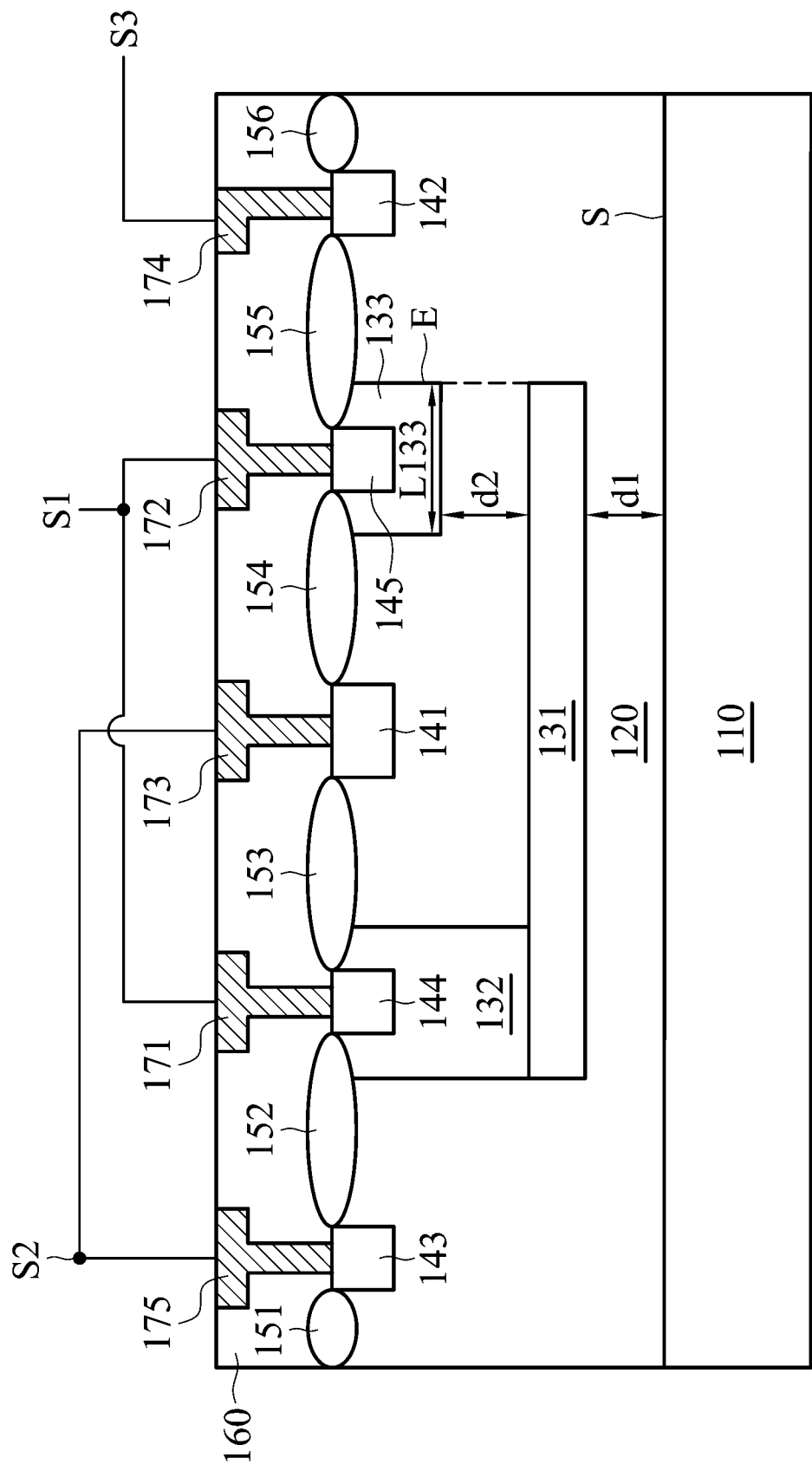
- 100 半導體結構
- 110 基板
- 120 第一導電型井區
- 131 第二導電型埋層
- 132 第一第二導電型井區
- 133 第二第二導電型井區
- 141 第一第一導電型摻雜區
- 142 第二第一導電型摻雜區
- 143 第三第一導電型摻雜區
- 144 第一第二導電型摻雜區

- 145 第二第二導電型摻雜區
- 151 第一隔離結構
- 152 第二隔離結構
- 153 第三隔離結構
- 154 第四隔離結構
- 155 第五隔離結構
- 156 第六隔離結構
- 160 絕緣層
- 171 第一內連結構
- 172 第二內連結構
- 173 第三內連結構
- 174 第四內連結構
- 175 第五內連結構
- S1 第一電極
- S2 第二電極
- S3 第三電極
- d1 第一既定距離
- d2 第二既定距離
- L133 有效長度
- E 邊緣
- S 交界面

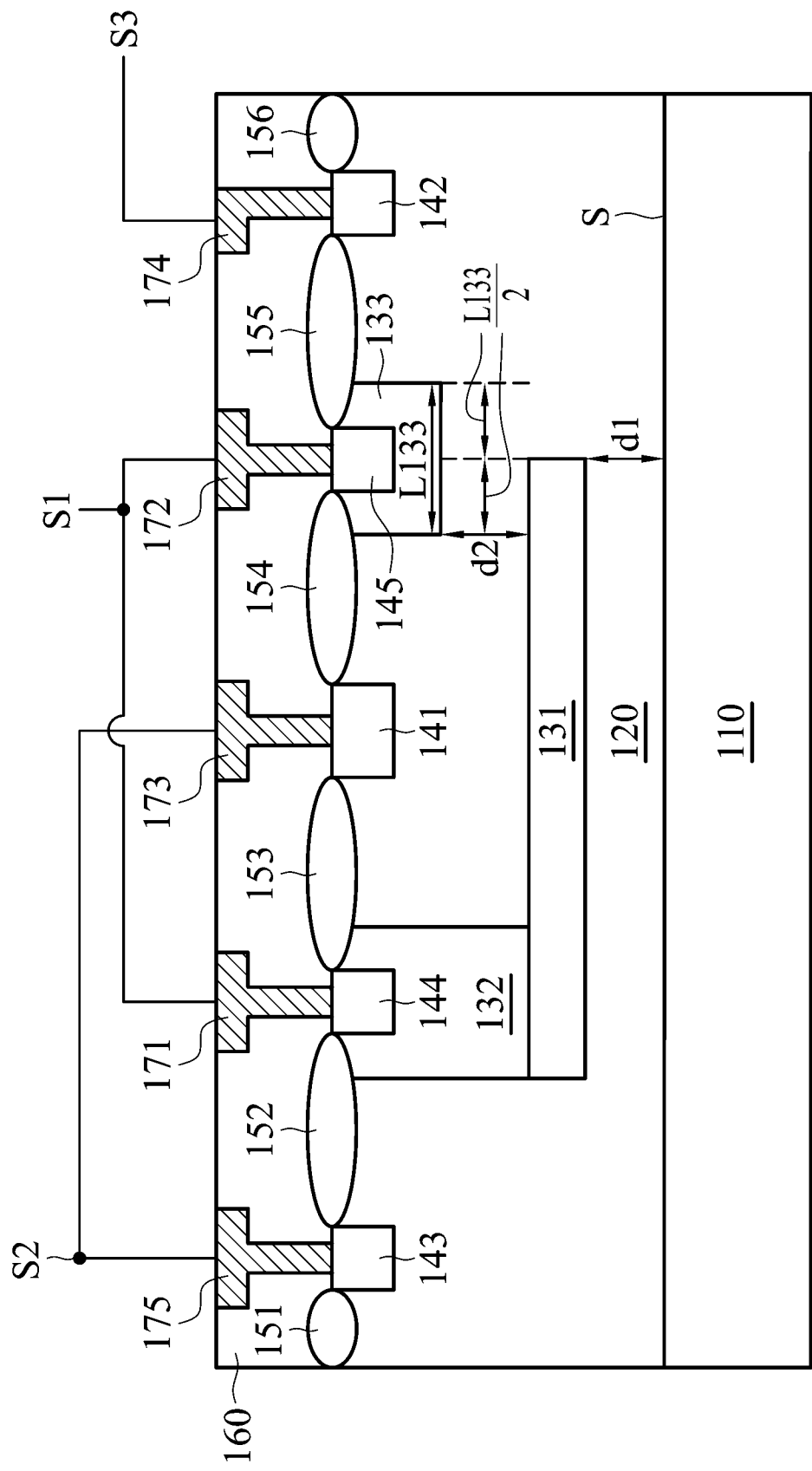
【特徵化學式】無



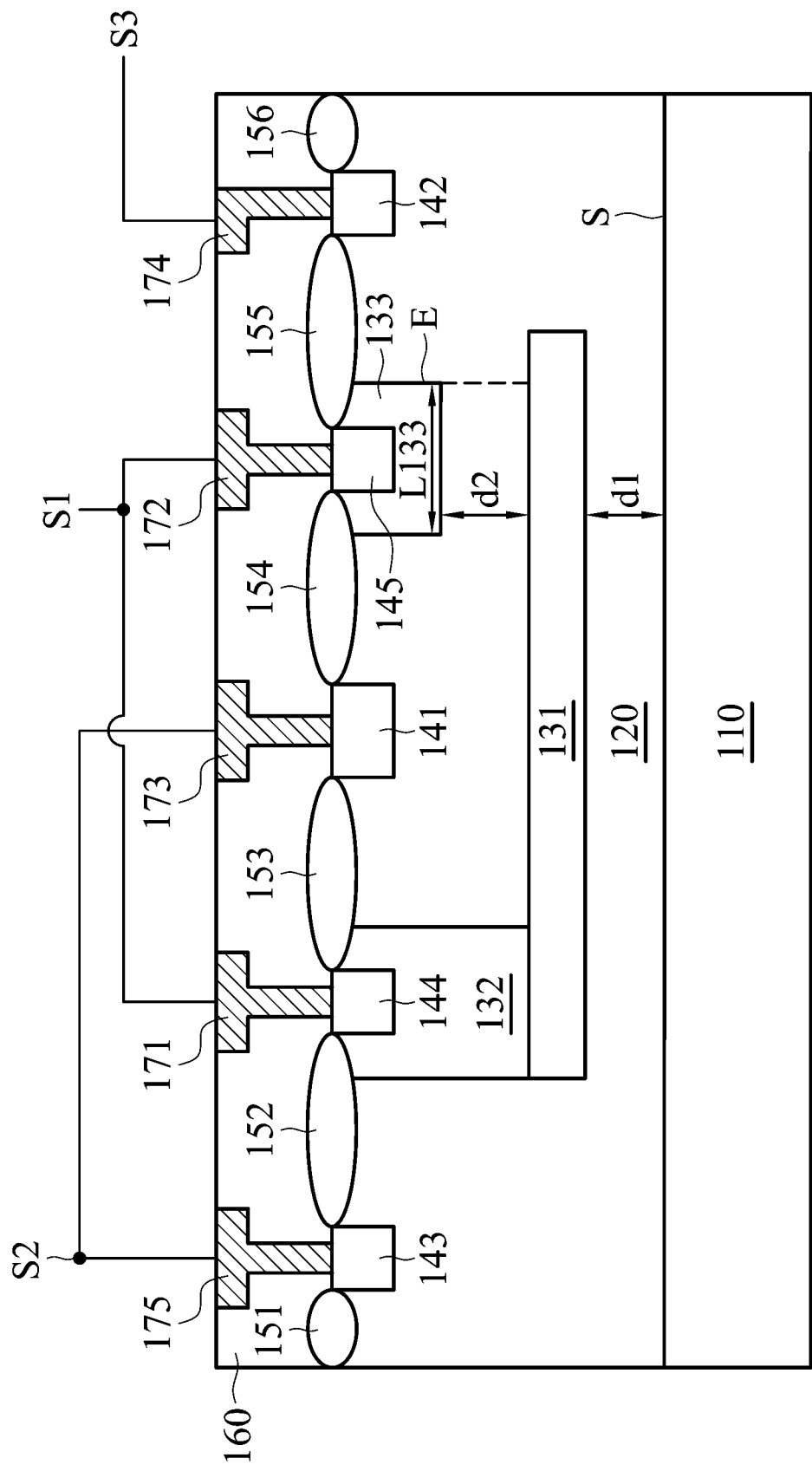
【發明圖式】



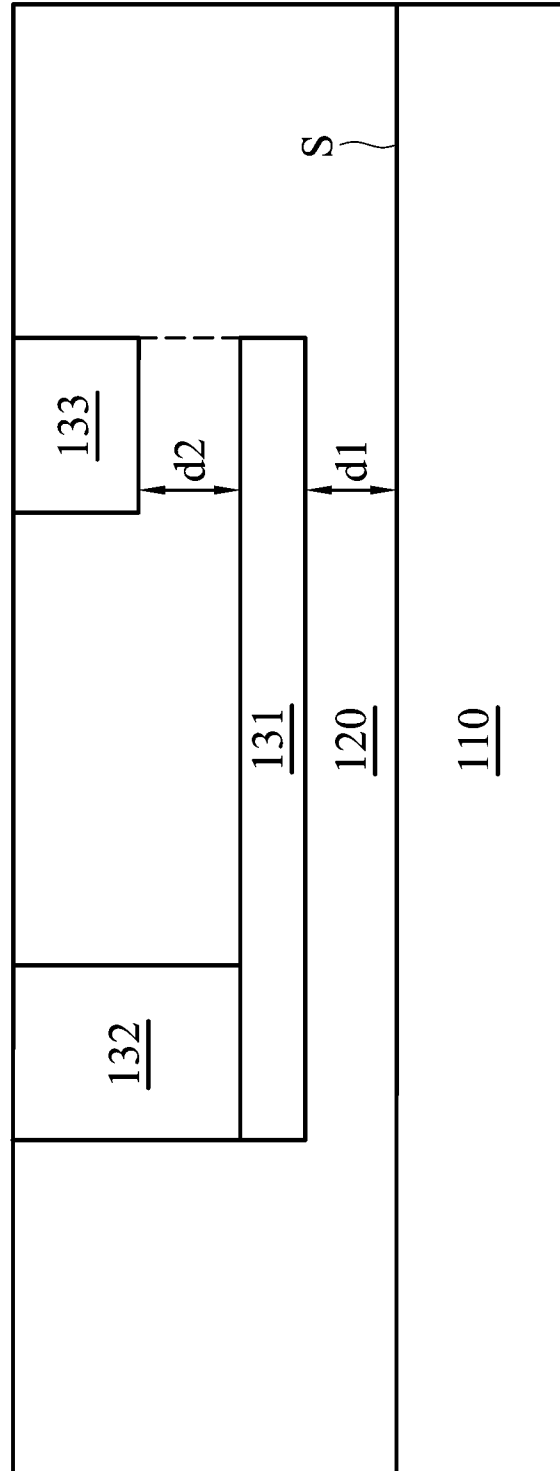
100  
第 1 圖



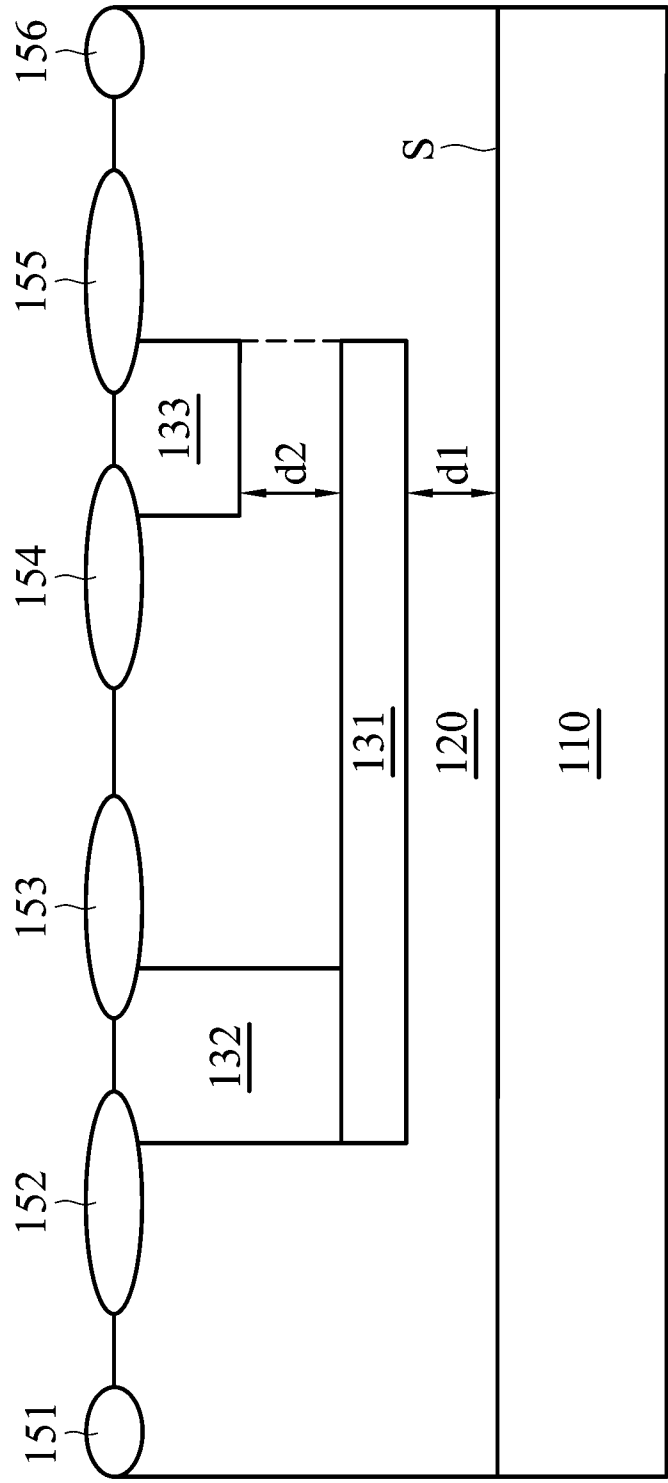
200  
第 2 圖



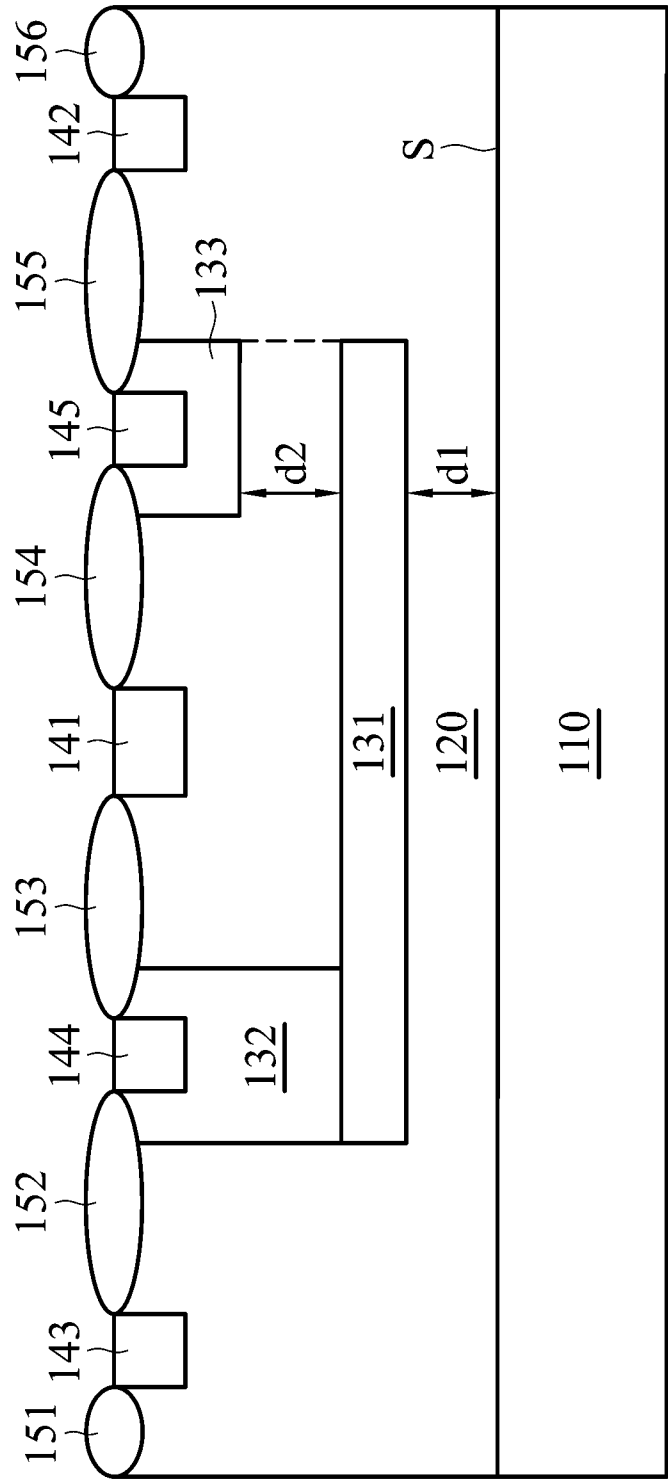
300  
第 3 圖



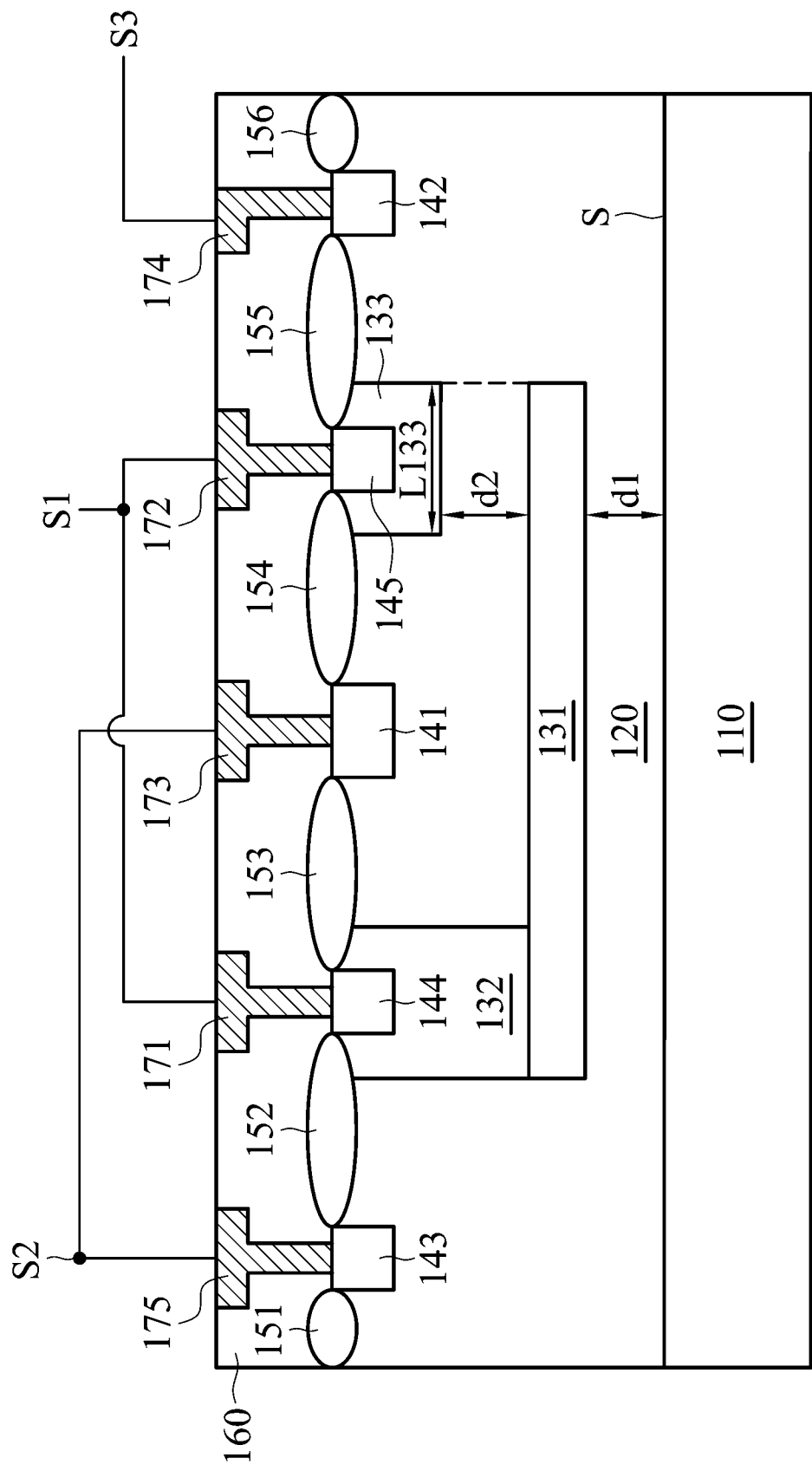
100  
第 4A 圖



100  
第 4B 圖



100  
第 4C 圖



100  
第4D圖

第二隔離結構 152 以及第三隔離結構 153 之間。第二第二導電型摻雜區 145 位於第二第二導電型井區 133 中，且位於第四隔離結構 154 以及第五隔離結構 155 之間。

【0055】如第4D圖所示，形成絕緣層160於第一隔離結構151、第二隔離結構152、第三隔離結構153、第四隔離結構154、第五隔離結構155以及第六隔離結構156與第一第一導電型摻雜區141、第二第一導電型摻雜區142、第三第一導電型摻雜區143、第一第二導電型摻雜區144以及第二第二導電型摻雜區145之上。

【0056】接著，可透過金屬化製程，在絕緣層160之上形成第一內連結結構171、第二內連結結構172、第三內連結結構173、第四內連結結構174以及第五內連結結構175。第一內連結結構171將第一第二導電型摻雜區144連接至第一電極S1，第二內連結結構172將第二第二導電型摻雜區145連接至第一電極S1，第三內連結結構173將第一第一導電型摻雜區141連接至第二電極S2，第四內連結結構174將第二第一導電型摻雜區142連接至第三電極S3，第五內連結結構175分別以及第三第一導電型摻雜區143連接至第二電極S2。如此一來，便完成半導體結構100的製作。

【0057】根據本發明之一實施例，半導體結構100係為N型接面場效電晶體。第一電極S1係為閘極端，第二電極S2係為源極端，第三電極S3係為汲極端，N型接面場效電晶體之有效通道係各別為第一既定距離d1以及第二既定距離d2。

【0058】根據本發明之另一實施例，半導體結構100係為P型接面場效電晶體。第一電極S1係為閘極端，第二電極S2係為汲極



**【發明申請專利範圍】**

**【第1項】** 一種半導體結構，包括：

一基板；

一第一導電型井區，設置於上述基板內，其中上述第一導電型井區與上述基板具有一交界面；

一第二導電型埋層，設置於上述第一導電型井區內，且與上述交界面距離一第一既定距離；

一第一第二導電型井區，設置於上述第一導電型井區內且位於上述第二導電型埋層之上，並連接至上述第二導電型埋層；

一第一第二導電型摻雜區，設置於上述第一第二導電型井區內；

一第二第二導電型井區，設置於上述第一導電型井區內以及上述第二導電型埋層之上方，並與上述第二導電型埋層距離一第二既定距離；以及

一第二第二導電型摻雜區，設置於上述第二第二導電型井區內。

**【第2項】** 如申請專利範圍第1項所述之半導體結構，更包括：

一第一第一導電型摻雜區，設置於上述第一導電型井區內，且位於上述第一第二導電型井區以及上述第二第二導電型井區之間；

一第二第一導電型摻雜區，設置於上述第一導電型井區內，其中上述第一第一導電型摻雜區以及上述第二第一導電型摻雜區分別設置於上述第二第二導電型井區之兩側；以及

一第三第一導電型摻雜區，設置於上述第一導電型井區內，其中上述第一第一導電型摻雜區以及上述第三第一導電型摻雜區分別設置於上述第一第二導電型井區之兩側。

【第3項】如申請專利範圍第2項所述之半導體結構，其中上述第一第二導電型摻雜區以及上述第二第二導電型摻雜區係連接至一第一電極，其中上述第一第一導電型摻雜區以及上述第三第一導電型摻雜區係連接至一第二電極，其中上述第二第一導電型摻雜區係連接至一第三電極。

【第4項】如申請專利範圍第3項所述之半導體結構，其中上述半導體結構係為一第一導電型接面場效電晶體，其中上述第一電極係為一閘極端，上述第二電極係為一源極端，上述第三電極係為一汲極端。

【第5項】如申請專利範圍第1項所述之半導體結構，其中上述第二第二導電型井區具有一有效長度，其中上述第二第二導電型井區至少一半上述有效長度係與上述第二導電型埋層相重疊。

【第6項】一種半導體裝置的製造方法，包括：

提供一基板；

形成一第一導電型井區於上述基板內，其中上述第一導電型井區與上述基板具有一交界面；

形成一第二導電型埋層於上述第一導電型井區內，且與上述交界面距離一第一既定距離；

形成一第一第二導電型井區於上述第一導電型井區內且位於上述第二導電型埋層之上，其中上述第一第二導電型井區係連接至上述第二導電型埋層；

形成一第二第二導電型井區於上述第一導電型井區內且位於上述第二導電型埋層之上，其中上述第二第二導電型井區與上述第二導電

型埋層距離一第二既定距離；

形成一第一第二導電型摻雜區於上述第一第二導電型井區內；以及  
形成一第二第二導電型摻雜區於上述第二第二導電型井區內。

【第7項】如申請專利範圍第6項所述之製造方法，更包括：

形成一第一第一導電型摻雜區於上述第一導電型井區內，且位於上述第一第二導電型井區以及上述第二第二導電型井區之間；

形成一第二第一導電型摻雜區於上述第一導電型井區內，其中上述第一第一導電型摻雜區以及上述第二第一導電型摻雜區分別位於上述第二第二導電型井區之兩側；以及

形成一第三第一導電型摻雜區於上述第一導電型井區內，其中第一第一導電型摻雜區以及上述第三第一導電型摻雜區分別設置於上述第一第二導電型井區之兩側。

【第8項】如申請專利範圍第7項所述之製造方法，更包括：

將上述第一第二導電型摻雜區以及上述第二第二導電型摻雜區連接至一第一電極；

將上述第一第一導電型摻雜區以及上述第三第一導電型摻雜區連接至一第二電極；以及

將上述第二第一導電型摻雜區連接至一第三電極。

【第9項】如申請專利範圍第8項所述之製造方法，其中上述半導體結構係為一第一導電型接面場效電晶體，其中上述第一電極係為一閘極端，上述第二電極係為一源極端，上述第三電極係為一汲極端。

【第10項】如申請專利範圍第6項所述之製造方法，其中上述第

二第二導電型井區具有一有效長度，其中上述第二第二導電型井區至少一半的上述有效長度係與上述第二導電型埋層相重疊。