



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0091475  
(43) 공개일자 2021년07월22일

(51) 국제특허분류(Int. Cl.)  
H01L 23/522 (2006.01) H01L 23/48 (2006.01)  
H01L 23/485 (2006.01) H01L 23/498 (2006.01)  
H01L 27/11524 (2017.01) H01L 27/11551 (2017.01)  
H01L 27/1157 (2017.01) H01L 27/11578 (2017.01)  
(52) CPC특허분류  
H01L 23/5226 (2013.01)  
H01L 23/481 (2013.01)

(71) 출원인  
에스케이하이닉스 주식회사  
경기도 이천시 부발읍 경충대로 2091  
(72) 발명자  
오성래  
충청북도 청주시 흥덕구 서현북로 15 대림e편한세상 아파트 507동 504호  
(74) 대리인  
특허법인(유한)유일하이스트

(21) 출원번호 10-2020-0004667  
(22) 출원일자 2020년01월14일  
심사청구일자 없음

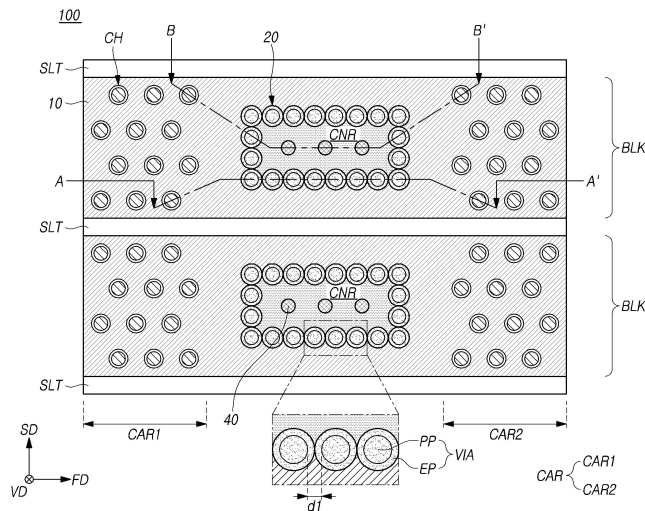
전체 청구항 수 : 총 37 항

(54) 발명의 명칭 반도체 메모리 장치 및 그 제조 방법

(57) 요약

반도체 메모리 장치가 개시되어 있다. 개시된 반도체 메모리 장치는, 제1 기판 상에 적층된 복수의 제1 절연막들, 연결 영역에서 상기 제1 절연막들과 번갈아 적층되는 복수의 제2 절연막들 및 상기 연결 영역의 외부에서 상기 제1 절연막들과 번갈아 적층되는 복수의 전극막들을 포함하는 스택 구조; 및 상기 연결 영역의 외곽에 배치되어 식각 배리어를 구성하며 상기 스택 구조를 관통하는 복수의 비아들;을 포함할 수 있다. 상기 비아들 각각은 상기 제1 기판의 상면에 직교하는 방향으로 연장되는 필라부; 및 상기 제2 절연막들과 같은 층에서 상기 필라부의 외주로부터 상기 제1 기판의 상면에 수평한 방향으로 연장되는 복수의 확장부들;을 포함할 수 있다.

대표도



(52) CPC특허분류

*H01L 23/485* (2013.01)

*H01L 23/49827* (2013.01)

*H01L 23/49838* (2013.01)

*H01L 27/11524* (2013.01)

*H01L 27/11551* (2013.01)

*H01L 27/1157* (2013.01)

*H01L 27/11578* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

제1 기관 상에 적층된 복수의 제1 절연막들, 연결 영역에서 상기 제1 절연막들과 번갈아 적층되는 복수의 제2 절연막들 및 상기 연결 영역의 외부에서 상기 제1 절연막들과 번갈아 적층되는 복수의 전극막들을 포함하는 스택 구조; 및

상기 연결 영역의 외곽에 배치되어 식각 베리어를 구성하며 상기 스택 구조를 관통하는 복수의 비아들;을 포함하며,

상기 비아들 각각은 상기 제1 기관의 상면에 직교하는 방향으로 연장되는 필라부; 및

상기 제2 절연막들과 같은 층에서 상기 필라부의 외주로부터 상기 제1 기관의 상면에 수평한 방향으로 연장되는 복수의 확장부들;을 포함하는 반도체 메모리 장치.

#### 청구항 2

제1 항에 있어서, 인접한 상기 비아들의 상기 필라부들이 서로 제1 간격을 갖고 서로 이격되고, 상기 인접한 비아들의 상기 확장부들이 서로 접하는 반도체 메모리 장치.

#### 청구항 3

제1 항에 있어서, 인접한 상기 비아들의 상기 필라부들이 서로 제1 간격을 갖고 서로 이격되고, 상기 인접한 비아들의 상기 확장부들이 상기 제1 간격보다 작은 제2 간격을 갖고 서로 이격되는 반도체 메모리 장치.

#### 청구항 4

제1 항에 있어서, 상기 비아들은 상기 연결 영역의 모든 외곽에 배치되는 반도체 메모리 장치.

#### 청구항 5

제1 항에 있어서, 상기 스택 구조를 분할하는 복수의 슬릿들을 더 포함하며,

상기 비아들은 인접한 슬릿들 사이에서 상기 슬릿들과 마주하는 상기 연결 영역의 외곽에 배치되고, 상기 슬릿들과 마주하지 않는 상기 연결 영역의 외곽에 배치되지 않는 반도체 메모리 장치.

#### 청구항 6

제5 항에 있어서, 인접한 2조의 슬릿들 사이에서 상기 복수의 비아들이 한 쌍의 비아 행을 구성하는 반도체 메모리 장치.

#### 청구항 7

제6 항에 있어서 상기 슬릿들의 신장 방향에서 상기 연결 영역의 양단부는 상기 비아 행의 양단부보다 내측에 배치되는 반도체 메모리 장치.

#### 청구항 8

제1 항에 있어서, 상기 식각 베리어는 상기 제2 절연막들에 대해 식각 선택비를 갖는 물질로 구성된 반도체 메모리 장치.

#### 청구항 9

제1 항에 있어서, 상기 비아의 상기 필라부와 상기 확장부가 같은 물질로 구성된 반도체 메모리 장치.

#### 청구항 10

제1 항에 있어서, 상기 필라부가 단일 물질로 구성된 반도체 메모리 장치.

**청구항 11**

제1 항에 있어서, 상기 연결 영역에서 상기 스택 구조를 관통하는 컨택 플러그를 더 포함하는 반도체 메모리 장치.

**청구항 12**

제11 항에 있어서, 상기 비아들은 상기 컨택 플러그와 같은 물질로 구성된 반도체 메모리 장치.

**청구항 13**

제1 항에 있어서, 상기 필라부는 중심 영역이 오픈된 실린더 쉘 형상을 갖는 제1 층; 및  
상기 제1 층의 오픈된 중심 영역에 배치되고 상기 제1 층과 상이한 물질로 구성된 제2 층;을 포함하는 반도체 메모리 장치.

**청구항 14**

제13 항에 있어서, 상기 제1 층은 절연 물질을 포함하고 상기 제2 층은 도전 물질을 포함하는 반도체 메모리 장치.

**청구항 15**

제13 항에 있어서, 상기 연결 영역에서 상기 스택 구조를 관통하는 컨택 플러그를 더 포함하고,  
상기 제2 층은 상기 컨택 플러그와 같은 물질로 구성된 반도체 메모리 장치.

**청구항 16**

제1 항에 있어서, 상기 제1 기판과 상기 제1 기판 하부의 제2 기판 사이에 배치되며 로직 회로를 포함하는 로직 구조체; 및  
상기 연결 영역에서 상기 스택 구조 및 상기 제1 기판을 관통하며 상기 로직 회로와 연결되는 컨택 플러그;를 더 포함하는 반도체 메모리 장치.

**청구항 17**

제1 항에 있어서, 상기 스택 구조 상에 배치되며 비트 라인 컨택들을 통해서 상기 채널들에 연결되는 복수의 비트 라인들;  
상기 비트 라인들 상에 배치되며 상기 비트 라인들 및 상기 전극막들의 하나에 연결되는 제1 패드;  
상기 스택 구조가 위치하는 상기 제1 기판의 상부면과 대향하는 상기 제1 기판의 하부면에 배치되는 외부 패드;  
상기 연결 영역에서 상기 스택 구조 및 상기 제1 기판을 관통하여 상기 제1 패드와 상기 외부 패드를 연결하는 컨택 플러그; 및  
제2 기판 상에 배치된 로직 회로 및 상기 로직 회로와 연결되고 상기 제1 패드에 본딩되는 제2 패드를 포함하는 로직 구조체;를 더 포함하는 반도체 메모리 장치.

**청구항 18**

제1 기판 상에 복수의 제1 절연막들과 복수의 제2 절연막들을 교대로 적층하는 단계;  
상기 교대로 적층된 제1, 제2 절연막들에 상기 제1 기판의 상면에 수직인 방향으로 연장되는 복수의 수직 홀들을 형성하는 단계;  
상기 수직 홀들의 측벽에 인접한 제2 절연막을 제거하여 복수의 리세스들을 형성하는 단계;  
상기 수직 홀들 및 상기 리세스들에 식각 베리어를 형성하여 연결 영역을 정의하는 단계;  
상기 연결 영역 내부의 상기 제2 절연막들을 남기고 상기 연결 영역 외부의 상기 제2 절연막들을 제거하는

단계; 및

상기 제2 절연막들이 제거된 공간에 전극막들을 형성하는 단계;를 포함하는 반도체 메모리 장치의 제조 방법.

**청구항 19**

제18 항에 있어서, 상기 리세스들을 형성하는 단계는 상기 인접한 수직 홀들로부터 확장된 리세스들이 서로 연결되도록 수행되는 반도체 메모리 장치의 제조방법.

**청구항 20**

제18 항에 있어서, 상기 리세스들을 형성하는 단계는 상기 인접한 수직홀들로부터 확장된 리세스들 사이에 상기 제2 절연막들이 잔류하도록 수행되는 반도체 메모리 장치의 제조방법.

**청구항 21**

스택 구조; 및

상기 스택 구조를 관통하며 연결 영역의 외곽에 배치되는 복수의 비아들;을 포함하며,

상기 스택 구조는 상기 연결 영역에서 복수의 제1 절연막들과 복수의 제2 절연막들이 교대로 적층된 구조를 갖고, 상기 연결 영역 외부에서 상기 복수의 제1 절연막들과 복수의 전극막들이 교대로 적층된 구조를 가지며,

상기 비아들 각각은 상기 스택 구조를 관통하는 필라부; 및

상기 제2 절연막들과 같은 층에서 상기 필라부의 측면으로부터 상기 필라부의 연장 방향과 수직한 방향으로 연장되는 복수의 확장부들;을 포함하는 반도체 메모리 장치.

**청구항 22**

제21 항에 있어서, 인접한 상기 비아들의 상기 필라부들이 서로 제1 간격을 갖고 서로 이격되고, 상기 인접한 비아들의 상기 확장부들이 서로 접하는 반도체 메모리 장치.

**청구항 23**

제21 항에 있어서, 인접한 상기 비아들의 상기 필라부들이 서로 제1 간격을 갖고 서로 이격되고, 상기 인접한 비아들의 상기 확장부들이 상기 제1 간격보다 작은 제2 간격을 갖고 서로 이격되는 반도체 메모리 장치.

**청구항 24**

제21 항에 있어서, 상기 비아들은 상기 연결 영역의 모든 외곽에 배치되는 반도체 메모리 장치.

**청구항 25**

제21 항에 있어서, 상기 스택 구조를 분할하는 복수의 슬릿들을 더 포함하며,

상기 비아들은 인접한 슬릿들 사이에서 상기 슬릿들과 마주하는 상기 연결 영역의 외곽에 배치되고, 상기 슬릿들과 마주하지 않는 상기 연결 영역의 외곽에 배치되지 않는 반도체 메모리 장치.

**청구항 26**

제25 항에 있어서, 인접한 2조의 슬릿들 사이에서 상기 복수의 비아들이 한 쌍의 비아 행을 구성하는 반도체 메모리 장치.

**청구항 27**

제26 항에 있어서 상기 슬릿들의 신장 방향에서 상기 연결 영역의 양단부는 상기 비아 행의 양단부보다 내측에 배치되는 반도체 메모리 장치.

**청구항 28**

제21 항에 있어서, 상기 비아들은 상기 제2 절연막들에 대해 식각 선택비를 갖는 물질로 구성된 반도체 메모리 장치.

**청구항 29**

제21 항에 있어서, 상기 비아의 상기 필라부와 상기 확장부가 같은 물질로 구성된 반도체 메모리 장치.

**청구항 30**

제21 항에 있어서, 상기 필라부가 단일 물질로 구성된 반도체 메모리 장치.

**청구항 31**

제21 항에 있어서, 상기 연결 영역에서 상기 스택 구조를 관통하는 컨택 플러그를 더 포함하는 반도체 메모리 장치.

**청구항 32**

제31 항에 있어서, 상기 비아들은 상기 컨택 플러그와 같은 물질로 구성된 반도체 메모리 장치.

**청구항 33**

제21 항에 있어서, 상기 필라부는 중심 영역이 오픈된 실린더 쉘 형상을 갖는 제1 층; 및 상기 제1 층의 오픈된 중심 영역에 배치되고 상기 제1 층과 상이한 물질로 구성된 제2 층;을 포함하는 반도체 메모리 장치.

**청구항 34**

제33 항에 있어서, 상기 제1 층은 절연 물질을 포함하고 상기 제2 층은 도전 물질을 포함하는 반도체 메모리 장치.

**청구항 35**

제33 항에 있어서, 상기 연결 영역에서 상기 스택 구조를 관통하는 컨택 플러그를 더 포함하고, 상기 제2 층은 상기 컨택 플러그와 같은 물질로 구성된 반도체 메모리 장치.

**청구항 36**

제21 항에 있어서, 상기 스택 구조 및 상기 복수의 비아들 하부에 배치되며 로직 회로를 포함하는 로직 구조체; 및 상기 연결 영역에서 상기 스택 구조를 관통하며 상기 로직 회로와 연결되는 컨택 플러그;를 더 포함하는 반도체 메모리 장치.

**청구항 37**

제21 항에 있어서, 상기 스택 구조 및 상기 복수의 비아들 상부에 배치되며 비트 라인 컨택들을 통해서 상기 채널들에 연결되는 복수의 비트 라인들; 상기 비트 라인들 상에 배치되며 상기 비트 라인들 및 상기 전극막들의 하나에 연결되는 제1 패드; 상기 스택 구조를 사이에 두고 상기 제1 패드와 이격하여 배치된 외부 패드; 상기 연결 영역에서 상기 스택 구조를 관통하여 상기 제1 패드와 상기 외부 패드를 연결하는 컨택 플러그; 및 로직 회로 및 상기 로직 회로와 연결되고 상기 제1 패드에 본딩되는 제2 패드를 포함하는 로직 구조체;를 더 포함하는 반도체 메모리 장치.

**발명의 설명**

**기술 분야**

본 발명은 반도체 메모리 장치에 관한 것으로, 구체적으로 3차원 구조의 반도체 메모리 장치 및 그 제조 방법에 관한 것이다.

[0001]

**배경 기술**

[0002] 소비자가 요구하는 우수한 성능 및 저렴한 가격을 충족시키기 위해 반도체 메모리 장치의 집적도를 증가시키는 것이 요구되고 있다. 2차원 또는 평면적 반도체 메모리 장치의 경우 그 집적도가 단위 메모리 셀이 점유하는 면적에 의해 주로 결정되기 때문에 미세 패턴 형성 기술의 수준에 크게 영향을 받는다. 하지만, 패턴의 미세화를 위해서는 초고가의 장비들이 필요하므로 2차원 반도체 메모리 장치의 집적도는 증가하고는 있지만 여전히 제한적이다. 이러한 한계를 극복하기 위한 대안으로 3차원적으로 배열된 메모리 셀들을 구비하는 3차원 구조의 반도체 메모리 장치가 제안되었다.

**발명의 내용**

**해결하려는 과제**

[0003] 본 발명의 실시예들은 전기적 특성을 향상시킬 수 있고, 제조 공정 중에 발생하는 불량을 억제할 수 있는 반도체 메모리 장치를 제시할 수 있다.

[0004] 본 발명의 실시예들은 전술한 반도체 메모리 장치의 제조 방법을 제시할 수 있다.

**과제의 해결 수단**

[0005] 본 발명의 일 실시예에 따른 반도체 메모리 장치는, 제1 기판 상에 적층된 복수의 제1 절연막들, 연결 영역에서 상기 제1 절연막들과 번갈아 적층되는 복수의 제2 절연막들 및 상기 연결 영역의 외부에서 상기 제1 절연막들과 번갈아 적층되는 복수의 전극막들을 포함하는 스택 구조; 및 상기 연결영역의 외곽에 배치되어 식각 베리어를 구성하며 상기 스택 구조를 관통하는 복수의 비아들;을 포함할 수 있다. 상기 비아들 각각은 상기 제1 기판의 상면에 직교하는 방향으로 연장되는 필라부; 및 상기 제2 절연막들과 같은 층에서 상기 필라부의 외주로부터 상기 제1 기판의 상면에 수평한 방향으로 연장되는 복수의 확장부들;을 포함할 수 있다.

[0006] 본 발명의 일 실시예에 따른 반도체 메모리 장치는, 스택 구조; 및 상기 스택 구조를 관통하며 연결 영역의 외곽에 배치되는 복수의 비아들;을 포함할 수 있다. 상기 스택 구조는 상기 연결 영역에서 복수의 제1 절연막들과 복수의 제2 절연막들이 교대로 적층된 구조를 갖고, 상기 연결 영역 외부에서 상기 복수의 제1 절연막들과 복수의 전극막들이 교대로 적층된 구조를 가질 수 있다. 상기 비아들 각각은 상기 스택 구조를 관통하는 필라부; 및 상기 제2 절연막들과 같은 층에서 상기 필라부의 측면으로부터 상기 필라부의 연장 방향과 수직인 방향으로 연장되는 복수의 확장부들;을 포함할 수 있다.

[0007] 본 발명의 일 실시예에 따른 반도체 메모리 장치의 제조 방법은, 제1 기판 상에 복수의 제1 절연막들과 복수의 제2 절연막들을 교대로 적층하는 단계; 상기 교대로 적층된 제1, 제2 절연막들에 상기 제1 기판의 상면에 수직인 방향으로 연장되는 복수의 수직 홀들을 형성하는 단계; 상기 수직 홀들의 측벽에 인접한 상기 제2 절연막을 제거하여 복수의 리세스들을 형성하는 단계; 상기 수직 홀들 및 상기 리세스들에 식각 베리어를 형성하여 연결 영역을 정의하는 단계; 상기 연결 영역 내부의 상기 제2 절연막들을 남기고 상기 연결 영역 외부의 상기 제2 절연막들을 제거하는 단계; 및 상기 제2 절연막들이 제거된 공간에 전극막들을 형성하는 단계;를 포함할 수 있다.

**발명의 효과**

[0008] 본 발명의 실시예들에 의하면, 메모리 셀 어레이와 이를 관통하는 컨택 간 불필요한 커플링을 억제할 수 있으므로 반도체 메모리 장치의 전기적 특성을 향상시킬 수 있는 효과가 있다

[0009] 본 발명의 실시예들에 의하면, 메모리 셀 어레이를 관통하는 홀들 사이의 간격을 좁게 만들지 않아도 식각 베리어의 형성이 가능하므로 홀 식각 공정의 마진을 확보할 수 있고, 홀 식각 공정 중에 패턴 무너짐 등의 불량이 발생하는 것을 억제할 수 있는 효과가 있다.

**도면의 간단한 설명**

[0010] 도 1은 본 발명의 일 실시예에 따른 반도체 메모리 장치의 블록도이다.

도 2는 본 발명의 일 실시예에 따른 반도체 메모리 장치를 나타낸 평면도이다.

도 3은 도 2의 비아의 일부분을 도시한 사시도이다.

- 도 4는 도 2의 A-A'라인에 따른 단면도이다.
- 도 5는 도 2의 B-B'라인에 따른 단면도이다.
- 도 6은 본 발명의 일 실시예에 따른 반도체 메모리 장치를 나타낸 평면도이다.
- 도 7은 도 6의 C-C'라인에 따른 단면도이다.
- 도 8 내지 도 11은 본 발명의 일 실시예들에 따른 반도체 메모리 장치를 나타낸 평면도들이다.
- 도 12 내지 도 13은 본 발명의 일 실시예들에 따른 반도체 메모리 장치를 나타낸 단면도들이다.
- 도 14a 내지 도 19a는 본 발명의 일 실시예에 따른 반도체 메모리 장치를 제조 순서에 따라서 도시한 단면도들이다.
- 도 14b 내지 도 19b는 도 14a 내지 도 19a의 D-D'라인에 따른 단면도들이다.
- 도 14c 내지 도 19c는 도 14a 내지 도 19a의 E-E'라인에 따른 단면도들이다.
- 도 20은 본 발명과 관련된 반도체 메모리 장치를 도시한 단면도이다.
- 도 21a는 본 발명과 관련된 반도체 메모리 장치를 도시한 평면도이다.
- 도 21b는 도 21a의 F-F' 라인에 따른 단면도이다.
- 도 22는 본 발명의 실시예에 따른 반도체 메모리 장치를 포함한 메모리 시스템을 개략적으로 도시한 도면이다.
- 도 23은 본 발명의 실시예에 따른 반도체 메모리 장치를 포함한 컴퓨팅 시스템을 개략적으로 도시한 블록도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0011] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해 질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0012] 또한, 본 발명의 실시예들을 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함할 수 있다.
- [0013] 또한, 본 발명의 실시예들에서의 구성 요소들을 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석되어야 할 것이다.
- [0014] 또한, 본 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성 요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성 요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다. 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0015] 또한, 본 발명의 실시예들에서의 구성 요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성 요소를 다른 구성 요소와 구별하기 위하여 사용하는 것일 뿐이다. 따라서, 이하에서 언급되는 제1 구성 요소는 본 발명의 기술적 사상 내에서 제2 구성 요소일 수도 있다.
- [0016] 또한, 본 발명의 실시예들에서의 특징들(구성들)이 부분적으로 또는 전체적으로 서로 결합 또는 조합 또는 분리



가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예는 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.

- [0017] 이하에서는, 본 발명의 실시예들을 첨부된 도면을 참조하여 상세히 설명한다.
- [0018] 도 1은 본 발명의 일 실시예에 따른 반도체 메모리 장치의 블록도이다.
- [0019] 도 1을 참조하면, 본 발명의 일 실시예에 따른 반도체 메모리 장치(100)는 메모리 셀 어레이(110) 및 로직 회로(120)를 포함할 수 있다. 로직 회로(120)는 로우 디코더(X-DEC, 121), 페이지 버퍼 회로(122) 및 주변 회로(PERI Circuit, 123)를 포함할 수 있다.
- [0020] 메모리 셀 어레이(110)는 복수의 메모리 블록들(BLK)을 포함할 수 있다. 메모리 블록들(BLK) 각각은 도시하지 않았지만 복수의 셀 스트링들(cell strings)을 포함할 수 있다. 셀 스트링은 직렬 연결되는 적어도 하나의 드레인 선택 트랜지스터, 복수의 메모리 셀들 및 적어도 하나의 소스 선택 트랜지스터를 포함할 수 있다. 메모리 셀은 휘발성 메모리 셀일 수도 있고, 비휘발성 메모리 셀일 수도 있다. 이하에서는, 반도체 메모리 장치(100)가 낸드 플래시 장치인 것으로 설명되나, 본 발명의 기술적 사상은 이에 한정되지 않는 것으로 이해되어야 할 것이다.
- [0021] 메모리 셀 어레이(110)는 로우 라인들(RL)을 통해서 로우 디코더(121)에 연결될 수 있다. 로우 라인들(RL)은 적어도 하나의 드레인 선택 라인(Drain Select Line), 복수의 워드 라인들(Word Line) 및 적어도 하나의 소스 선택 라인(Source Select Line)을 포함할 수 있다. 메모리 셀 어레이(110)는 비트 라인들(BL)을 통해서 페이지 버퍼 회로(122)에 연결될 수 있다.
- [0022] 로우 디코더(121)는 주변 회로(123)로부터 제공되는 로우 어드레스(X\_A)에 응답하여 메모리 셀 어레이(110)에 포함된 메모리 블록들(BLK) 중 어느 하나를 선택할 수 있다. 로우 디코더(121)는 주변 회로(123)로부터 제공되는 동작 전압(X\_V)을 메모리 셀 어레이(110)에 포함된 메모리 블록들(BLK) 중 선택된 메모리 블록에 연결된 로우 라인들(RL)에 전달할 수 있다.
- [0023] 페이지 버퍼 회로(122)는 비트 라인들(BL)에 각각 연결되는 복수의 페이지 버퍼들(PB)을 포함할 수 있다. 페이지 버퍼 회로(122)는 주변 회로(123)로부터 페이지 버퍼 제어 신호(PB\_C)를 수신할 수 있고, 데이터 신호(DAT A)를 주변 회로(123)와 송수신할 수 있다. 페이지 버퍼 회로(122)는 페이지 버퍼 제어 신호(PB\_C)에 응답하여 메모리 셀 어레이(110)에 배열된 비트 라인들을 제어할 수 있다. 예를 들면, 페이지 버퍼 회로(122)는 페이지 버퍼 제어 신호(PB\_C)에 응답하여 메모리 셀 어레이(110)의 비트 라인(BL)의 신호를 감지함으로써 메모리 셀 어레이(110)의 메모리 셀에 저장된 데이터를 검출할 수 있고, 검출된 데이터에 따라 데이터 신호(DATA)를 주변 회로(123)로 전송할 수 있다. 페이지 버퍼 회로(122)는 페이지 버퍼 제어 신호(PB\_C)에 응답하여 주변 회로(123)로부터 수신된 데이터 신호(DATA)에 기초하여 비트 라인(BL)에 신호를 인가할 수 있고, 이에 따라 메모리 셀 어레이(110)의 메모리 셀에 데이터를 기입할 수 있다. 페이지 버퍼 회로(122)는 로우 디코더(121)에 의해 활성화된 워드 라인에 연결된 메모리 셀에 데이터를 기입하거나 그로부터 데이터를 독출할 수 있다.
- [0024] 주변 회로(123)는 반도체 메모리 장치(100)의 외부로부터 커맨드 신호(CMD), 어드레스 신호(ADD) 및 제어 신호(CTRL)를 수신할 수 있고, 반도체 메모리 장치(100)의 외부의 장치, 예컨대 메모리 컨트롤러와 데이터(DATA)를 송수신할 수 있다. 주변 회로(123)는 커맨드 신호(CMD), 어드레스 신호(ADD), 제어 신호(CTRL)에 기초하여 메모리 셀 어레이(110)에 데이터를 기입하거나 메모리 셀 어레이(110)로부터 데이터를 독출하기 위한 신호들, 예컨대 로우 어드레스(X\_A), 페이지 버퍼 제어 신호(PB\_C) 등을 출력할 수 있다. 주변 회로(123)는 동작 전압(X\_V)을 포함하여 반도체 메모리 장치(100)에서 요구되는 다양한 전압들을 생성할 수 있다.
- [0025] 이하, 첨부된 도면들에서 기관의 상부면에 평행하면서 서로 교차되는 두 방향을 각각 제1 방향(FD) 및 제2 방향(SD)으로 정의하고, 기관의 상부면으로부터 수직하게 돌출되는 방향을 수직 방향(VD)으로 정의할 것이다. 예를 들어, 제1 방향(FD)은 워드 라인들의 신장 방향에 해당할 수 있고, 제2 방향(SD)은 비트 라인들의 신장 방향에 해당할 수 있다. 제1 방향(FD)과 제2 방향(SD)은 실질적으로 서로 수직하게 교차할 수 있다. 수직 방향(VD)은 제1 방향(FD) 및 제2 방향(SD)과 수직한 방향에 해당할 수 있다. 도면에서 화살표로 표시된 방향과 이의 반대 방향은 동일한 방향을 나타낸다.
- [0026] 도 2는 본 발명의 일 실시예에 따른 반도체 메모리 장치를 나타낸 평면도이고, 도 3은 도 2의 비아의 일부분을 도시한 사시도이고, 도 4는 도 2의 A-A'라인에 따른 단면도이고, 도 5는 도 2의 B-B'라인에 따른 단면도이다.
- [0027] 도 2를 참조하면, 반도체 메모리 장치(100)는 셀 영역(CAR) 및 연결 영역(CNR)을 포함할 수 있다. 셀 영역(CA

R)은 제1 방향(FD)을 따라서 배치되는 제1 셀 영역(CAR1) 및 제2 셀 영역(CAR2)을 포함할 수 있다. 연결 영역(CNR)은 제1 셀 영역(CAR1)과 제2 셀 영역(CAR2) 사이에 배치될 수 있다.

- [0028] 제2 방향(SD)을 따라서 복수의 메모리 블록들(BLK)이 배열될 수 있다. 메모리 블록들(BLK) 각각은 제1, 제2 셀 영역(CAR1, CAR2) 및 연결 영역(CNR)에 걸쳐 배치될 수 있다. 메모리 블록(BLK)은 제1 기관(미도시) 상에 배치된 스택 구조(10)를 포함할 수 있다. 스택 구조(10)는 제1, 제2 셀 영역(CAR1, CAR2) 및 연결 영역(CNR)에 걸쳐 배치될 수 있다.
- [0029] 제1, 제2 셀 영역(CAR1, CAR2)에 수직 방향(VD)으로 스택 구조(10)를 관통하는 복수의 채널 구조체들(CH)이 마련될 수 있다. 채널 구조체들(CH)은 제1 방향(FD) 및 제2 방향(SD)을 따라서 배열될 수 있다.
- [0030] 메모리 블록들(BLK)의 스택 구조들(10)은 슬릿(SLT)에 의해 분리될 수 있다. 슬릿(SLT)은 인접 메모리 블록들(BLK) 사이의 간격 또는 거리로 정의될 수 있으며, 제1 방향(FD) 및 수직 방향(VD)에 의해 정의되는 평면과 실질적으로 평행할 수 있다. 메모리 블록들(BLK)은 슬릿(SLT)의 신장 "넙뎨\* 제1 방향(FD)으로 신장될 수 있다. 비록, 본 실시예에서는 슬릿(SLT)이 스택 구조(10) 및 채널 구조체들(CH)을 메모리 블록 단위로 분할하는 경우를 나타내나, 이에 한정되는 것은 아니다. 슬릿(SLT)은 스택 구조(10) 및 채널 구조체들(CH)을 메모리 블록보다 작은 단위, 예를 들어 메모리 핑거(memory finger) 단위로 분할할 수도 있다. 도시하지 않았지만, 슬릿(SLT)에 공통 소스 라인(common source line)이 배치될 수 있다.
- [0031] 연결 영역(CNR)의 외곽에 스택 구조(10)를 관통하는 복수의 비아들(VIA)이 마련될 수 있다. 복수의 비아들(VIA)은 식각 베리어(20)를 구성할 수 있다. 연결 영역(CNR)은 식각 베리어(20)를 구성하는 비아들(VIA)에 의해 정의될 수 있다. 비아들(VIA)은 연결 영역(CNR)의 모든 외곽에 배치될 수 있다. 이러한 경우, 연결 영역(CNR)은 비아들(VIA)로 둘러싸일 수 있다.
- [0032] 도 3을 참조하면, 비아(VIA)는 필라부(PP) 및 복수의 확장부들(EP)을 포함할 수 있다. 필라부(PP)는 수직 방향(VD)으로 연장될 수 있다. 확장부(EP)는 필라부(PP)의 외주로부터 제1 방향(FD) 및 제2 방향(SD)에 의해 정의된 평면에 수평한 방향으로 연장될 수 있다. 확장부들(EP)은 필라부(PP)의 길이 방향을 따라서 서로 이격하여 배치될 수 있다.
- [0033] 도 2를 다시 참조하면, 이웃하는 비아들(VIA)의 필라부들(PP)은 제1 간격(d1)만큼 서로 이격될 수 있다. 이웃하는 비아들(VIA)의 확장부들(EP)은 서로 접할 수 있다. 연결 영역(CNT)에 스택 구조(10)를 관통하는 콘택 플러그(40)이 마련될 수 있다.
- [0034] 도 4 및 도 5를 참조하면, 제1 기관(1) 상에 스택 구조(10)가 배치될 수 있다. 연결 영역(CNR)에서 스택 구조(10)는 제1 절연막들(12)과 제2 절연막들(14)이 교대로 적층된 구조를 가질 수 있다. 제1 절연막들(12)과 제2 절연막들(14)은 서로 다른 물질로 형성될 수 있다. 예를 들어, 제1 절연막들(12)은 층간절연용 절연 물질로 형성될 수 있고, 제2 절연막들(14)은 희생막으로서 이용되며 제1 절연막들(12)에 대해 식각 선택비를 갖는 절연 물질로 형성될 수 있다. 예컨대, 제1 절연막들(12)은 실리콘 산화물로 형성될 수 있고, 제2 절연막들(14)은 실리콘 질화물로 형성될 수 있다.
- [0035] 연결 영역(CNR) 외부에서 스택 구조(10)는 제1 절연막들(12)과 전극막들(16)이 교대로 적층된 구조를 가질 수 있다. 전극막들(16)은 도전 물질을 포함할 수 있으며, 예를 들어 도핑된 반도체(ex, 도핑된 실리콘 등), 금속(ex, 텅스텐, 구리, 알루미늄 등), 도전성 금속질화물(ex, 질화티타늄, 질화탄탈륨 등) 또는 전이금속(ex, 티타늄, 탄탈륨 등) 등에서 선택된 적어도 하나를 포함할 수 있다.
- [0036] 전극막들(16)은 도 1을 참조로 하여 설명된 로우 라인들(RL)을 구성할 수 있다. 전극막들(16) 중 최하부로부터 적어도 하나의 층은 소스 선택 라인을 구성할 수 있고, 최상부로부터 적어도 하나의 층은 드레인 선택 라인을 구성할 수 있다. 소스 선택 라인과 드레인 선택 라인 사이의 전극막들(16)은 워드 라인들을 구성할 수 있다.
- [0037] 채널 구조체(CH)는 셀 영역(CAR)에서 수직 방향(VD)으로 스택 구조(10)를 관통할 수 있다. 채널 구조체(CH)의 하단은 제1 기관(1)에 연결될 수 있다. 채널 구조체(CH)는 채널층(30) 및 게이트 절연층(32)을 포함할 수 있다. 채널층(30)은 폴리실리콘 혹은 단결정 실리콘을 포함할 수 있으며, 일부 영역에 붕소(B)와 같은 P형 불순물을 포함할 수도 있다. 채널층(30)은 그 중심 영역까지 완전히 채워진 필라 혹은 속이 찬 원기둥 현상을 가질 수 있다. 도시하지 않았지만, 채널층은 중심 영역이 오픈된 튜브 형상을 가질 수 있다. 이러한 경우, 채널층의 오픈된 중심 영역에는 매립 절연막이 구성될 수 있다. 게이트 절연층(32)은 채널층(30)의 외벽을 감싸는 스트로우(straw) 또는 실린더 쉘(cylinder shell) 형상을 가질 수 있다. 게이트 절연층(32)은 도시하지 않았지만 채널층(30)의 외측벽으로부터 순차적으로 적층된 터널 절연막, 전하 저장막 및 블록킹막을 포함할 수 있다. 일부 실시

예에서, 게이트 절연층(32)은 산화막-질화막-산화막이 순차적으로 적층된 ONO(Oxide-Nitride-Oxide) 적층 구조를 가질 수 있다. 전극들(16)이 채널 구조체들(CH)을 감싸는 부분들에는 소스 선택 트랜지스터들, 메모리 셀들, 드레인 선택 트랜지스터들이 형성될 수 있다.

- [0038] 비아(VIA)의 필라부(PP)는 수직 방향(VD)으로 스택 구조(10)를 관통할 수 있으며, 필라부(PP)의 하단은 제1 기판(1)에 연결될 수 있다. 비아(VIA)의 확장부들(EP)은 제2 절연막들(14)과 같은 층에 배치될 수 있다.
- [0039] 비아들(VIA)은 제2 절연막들(14)에 대해 식각 선택비를 갖는 물질로 형성될 수 있다. 비아들(VIA)은 절연 물질을 포함할 수 있으며, 예를 들어 실리콘 산화물을 포함할 수 있다. 비아들(VIA)은 도전 물질을 포함할 수 있으며, 예를 들어 금속, 금속 산화물 또는 반도체 등에서 선택된 적어도 하나를 포함할 수 있다. 필라부(PP)와 확장부(EP)는 같은 물질로 구성될 수 있다. 필라부(PP)는 그 중심 영역까지 단일 물질로 채워진 원기둥 현상을 가질 수 있다.
- [0040] 도 17a 내지 도 18c를 참조로 후술되는 바와 같이, 교대로 적층된 제1 절연막들(12)과 제2 절연막들(14)에 슬릿(SLT)을 형성한 후에 슬릿(SLT)을 통해서 제2 절연막들(14)을 제거할 수 있는 식각 물질을 주입하여 셀 영역(CAR)의 제2 절연막들(14)이 제거될 수 있다. 비아들(VIA)은 제2 절연막들(24)을 제거하기 위한 식각 공정에서 식각 물질이 연결 영역(CNR)으로 침투하는 것을 방지하는 역할을 할 수 있다.
- [0041] 컨택 플러그(40)는 연결 영역(CNT)에서 제1 절연막들(12) 및 제2 절연막들(14)을 수직 방향(VD)으로 관통할 수 있다. 컨택 플러그(40)는 도전 물질, 예를 들어 텅스텐(W), 구리(Cu) 등으로 구성될 수 있다. 본 실시예에서는, 컨택 플러그(40)가 제1 절연막들(12) 및 제2 절연막들(14)만을 관통하는 경우를 나타내나, 이에 한정되는 것은 아니다.
- [0042] 도 6은 본 발명의 일 실시예에 따른 반도체 메모리 장치를 도시한 평면도이고, 도 7은 도 6의 C-C'라인에 따른 단면도이다.
- [0043] 도 6 및 도 7을 참조하면, 필라부(PP)는 제1 층(51) 및 제2 층(52)을 포함할 수 있다. 제1 층(51)은 확장부들(EP)과 접하는 필라부(PP)의 측벽을 구성할 수 있다. 제1 층(51)은 중심 영역이 오픈된 튜브(tube), 스트로우(straw) 또는 실린더 셸(cylinder shell) 형상을 가질 수 있다. 제1 층(51)은 확장부들(EP)과 동일한 물질로 구성될 수 있다. 제2 층(52)은 제1 층(51)의 오픈된 중심 영역에 배치될 수 있다. 제2 층(52)은 제1 층(51)과 다른 물질로 구성될 수 있다. 제1 층(51)은 절연 물질, 예를 들어 실리콘 산화물로 구성될 수 있고, 제2 층(52)은 도전 물질, 예를 들어 텅스텐(W), 구리(Cu) 등으로 구성될 수 있다. 역으로, 제1 층(51)은 도전 물질, 예를 들어 텅스텐(W), 구리(Cu) 등으로 구성될 수 있고, 제2 층(52)은 절연 물질, 예를 들어 실리콘 산화물로 구성될 수 있다.
- [0044] 도 8은 본 발명의 일 실시예에 따른 반도체 메모리 장치를 도시한 평면도이다.
- [0045] 도 8을 참조하면, 식각 베리어(20)는 인접한 슬릿들(SLT) 사이에 배치되는 한 쌍의 비아 행들(RV)을 포함할 수 있다. 비아 행들(RV)은 슬릿들(SLT)의 배열 방향인 제2 방향(SD)을 따라서 배열될 수 있다. 비아 행들(RV) 각각은 슬릿들(SLT)의 신장 방향인 제1 방향(FD)을 따라서 배열되는 복수의 비아들(VIA)을 포함할 수 있다. 식각 베리어(20)를 구성하는 비아들(VIA)이 슬릿(SLT)과 마주하는 연결 영역(SNR)의 외곽에 배치될 수 있다. 식각 베리어(20)는 제1 방향(FD)의 양단이 개방된 구조를 가질 수 있다.
- [0046] 제1 방향(FD)에서 연결 영역(CNR)의 양단부는 비아 행들(RV)의 양단부보다 내측에 배치될 수 있다. 연결 영역(CNR)의 제1 방향(FD) 길이는 제1 길이(L1)를 가질 수 있다. 비아 행들(RV)의 제1 방향(FD) 길이는 제2 길이(L2)를 가질 수 있으며, 이는 제1 길이(L1)보다 클 수 있다. 제1 길이(L1)와 제2 길이(L2)의 차이는, 도 18a 내지 도 18c를 참조로 하여 후술되는 셀 영역(CAR)의 제2 절연막들(14)을 제거하기 위한 식각 공정에서 식각 베리어(20)의 개방된 양단부를 통해서 식각 물질이 침투하는 길이로 이해될 수 있다.
- [0047] 도 9 및 도 11은 본 발명의 일 실시예들에 따른 반도체 메모리 장치를 도시한 평면도들이다.
- [0048] 도 9를 참조하면, 컨택 플러그(40)는 비아(VIA)와 같은 공정 단계에서 생성될 수 있고, 같은 물질로 구성될 수 있다. 비아(VIA)와 컨택 플러그(40)는 도전 물질, 예를 들어 텅스텐(W), 구리(Cu) 등으로 구성될 수 있다.
- [0049] 도 10을 참조하면, 비아(VIA)의 필라부(PP)는 제1 층(51) 및 제2 층(52)을 포함할 수 있다. 제1 층(51)은 확장부들(EP)과 접하는 필라부(PP)의 측벽을 구성할 수 있다. 제1 층(51)은 중심 영역이 오픈된 튜브, 스트로우 또는 실린더 셸 형상을 가질 수 있다. 제1 층(51)은 절연 물질, 예를 들어 실리콘 산화물로 구성될 수 있고, 제2 층(52)은 도전 물질, 예를 들어 텅스텐(W), 구리(Cu) 등으로 구성될 수 있다. 컨택 플러그(40)는 제2 층(52)과

같은 공정 단계에서 생성될 수 있고, 같은 물질로 구성될 수 있다. 콘택 플러그(40)의 외벽에 절연 측벽(42) 마련될 수 있다. 절연 측벽(42)은 콘택 플러그(40)의 외벽을 감싸는 스트로우(straw) 또는 실린더 셸(cylinder shell) 형상을 가질 수 있다. 절연 측벽(42)은 제1 층(51)과 같은 공정 단계에서 생성될 수 있고, 같은 물질로 구성될 수 있다. 절연 측벽(42)의 외벽에 수직 방향(VD)을 따라서 복수의 확장부들(44)이 마련될 수 있다. 확장부들(44)은 수직 방향(VD)을 따라서 서로 이격하여 배치될 수 있다. 확장부들(44)은 확장부들(EP)과 같은 공정 단계에서 생성될 수 있고, 같은 물질로 구성될 수 있다.

[0050] 도 11을 참조하면, 인접한 비아들(VIA)의 필라부들(PP)은 제1 간격(d1)만큼 서로 이격될 수 있다. 인접한 비아들(VIA)의 확장부들(EP)은 제1 간격(d1)보다 작은 제2 간격(d2)만큼 서로 이격될 수 있다. 제2 간격(d2)은 도 18a 내지 도 18c를 참조로 후술되는 셀 영역의 제2 절연막들(14)을 제거하기 위한 식각 공정에서 사용되는 식각 물질의 침투가 억제되거나 불가능하도록 작은 사이즈를 가질 수 있다.

[0051] 도 12는 본 발명의 일 실시예에 따른 반도체 메모리 장치를 도시한 단면도이다.

[0052] 도 12를 참조하면, 반도체 메모리 장치는 PUC(Peri Under Cell) 구조를 가질 수 있다. 로직 구조체(P)가 메모리 구조체(C)의 하부에 배치될 수 있다. 로직 구조체(P)는 제2 기판(2) 및 제2 기판(2) 상에 배치된 로직 회로(120)를 포함할 수 있다. 제2 기판(2)은 단결정 실리콘막, SOI(Silicon On Insulator), 실리콘 게르마늄(SiGe)막 상에 형성된 실리콘막, 절연막 상에 형성된 단결정 실리콘막 및 절연막 상에 형성된 폴리실리콘막을 포함하는 그룹에서 선택되는 적어도 하나를 포함할 수 있다. 로직 회로(120)는 도 1의 로우 디코더(121), 페이지 퍼버 회로(122) 및 주변 회로(123)를 포함할 수 있다.

[0053] 제2 기판(12) 상에 층간절연막(60)이 마련되어 로직 회로(120)를 덮을 수 있다. 층간절연막(60) 내부에 배선(70B)이 배치될 수 있다. 배선(70B)은 콘택들(72A, 72B) 및 배선(70A)을 통해서 로직 회로(120)에 연결될 수 있다

[0054] 층간절연막(60) 상에 메모리 구조체(C)가 배치될 수 있다. 메모리 구조체(C)는 도 2 내지 도 11을 참조로 하여 설명된 스택 구조(10), 비아들(VIA) 및 채널 구조체들(CH)을 포함할 수 있다. 콘택 플러그(40)는 연결 영역(CNR)에서 교대로 적층된 제1, 제2 절연막(12, 14), 제1 기판(1) 및 층간절연막(60)을 관통하여 배선(70B)에 연결될 수 있다.

[0055] 스택 구조(10) 상에 층간절연막(62)이 마련되어 스택 구조(10), 비아들(VIA), 채널 구조체들(CH) 및 콘택들(40)을 덮을 수 있다. 셀 영역(CAR)에서 층간절연막(62) 상에 비트 라인들(BL)이 마련될 수 있다. 비트 라인들(BL)은 제2 방향(SD)으로 신장되고, 제1 방향(FD)을 따라서 배열될 수 있다. 비트 라인들(BL) 하부에 층간절연막(62)을 관통하는 비트 라인 콘택들(BLC)이 마련되어 비트 라인들(BL)과 채널 구조체들(CH) 사이를 연결할 수 있다. 층간절연막(62) 상에 배선(80)이 마련될 수 있다. 배선(80) 하부에 층간절연막(62)을 관통하는 콘택(82A)이 마련되어 배선(80)과 콘택 플러그(40) 사이를 연결할 수 있다. 콘택 플러그(40)는 스택 구조(10) 상부의 배선(80)과 스택 구조(10) 하부의 배선(70B) 간을 연결하는 전기적 경로를 제공할 수 있다.

[0056] 도 13은 본 발명의 일 실시예에 따른 반도체 메모리 장치를 도시한 단면도이다.

[0057] 도 13을 참조하면, 반도체 메모리 장치는 POC(Peri Over Cell) 구조를 가질 수 있다. 로직 구조체(P)가 메모리 구조체(C)의 상부에 배치될 수 있다. 메모리 구조체(C)와 로직 구조체(P)는 개별적으로 제작된 후에 서로 본딩될 수 있다. 메모리 구조체(C)는 제1 기판(1) 상에 제작될 수 있다. 로직 구조체(P)는 제2 기판(2) 상에 제작될 수 있다. 제1 기판(1)과 제2 기판(2)은 서로 동일한 물질로 구성될 수 있다. 제1 기판(1)과 제2 기판(2)은 단결정 실리콘막, SOI(Silicon On Insulator), 실리콘 게르마늄(SiGe)막 상에 형성된 실리콘막, 절연막 상에 형성된 단결정 실리콘막 및 절연막 상에 형성된 폴리실리콘막을 포함하는 그룹에서 선택되는 적어도 하나를 포함할 수 있다.

[0058] 제1 기판(1)의 하부면에 외부 패드들(EPAD)이 배치될 수 있다. 콘택 플러그(40)는 연결 영역(CNR)에서 교대로 적층된 제1, 제2 절연막들(12, 14) 및 제1 기판(1)을 관통하여 외부 패드(EPAD)에 연결될 수 있다.

[0059] 층간절연막(62) 상에 배선(80)이 마련될 수 있다. 배선(80) 하부에 층간절연막(62)을 관통하는 콘택(82A)이 마련되어 배선(80)과 콘택 플러그(40) 사이를 연결할 수 있다. 층간절연막(62) 상에 층간절연막(64)이 마련되어 비트 라인들(BL) 및 배선(80)을 덮을 수 있다. 층간절연막(64)의 상부면은 로직 구조체(P)와 본딩되는 메모리 구조체(C)의 일측면을 구성할 수 있다. 층간절연막(64)의 상부면에 콘택들(82B)을 통해서 비트 라인들(BL) 및 배선들(80A)에 각각 연결되는 제1 패드들(PAD1)이 마련될 수 있다.

- [0060] 메모리 구조체(C)와 본딩되는 로직 구조체(P)의 일측면에 배선들(70A, 70B) 및 컨택들(72A, 72B, 72C)을 통해서 로직 회로(120)에 연결되는 제2 패드들(PAD2)이 마련될 수 있다.
- [0061] 메모리 구조체(C)의 일측면과 로직 구조체(P)의 일측면이 서로 본딩되어 메모리 구조체(C)의 제1 패드들(PAD1)과 로직 구조체(P)의 제2 패드들(PAD2)이 서로 연결될 수 있다. 이에 따라, 메모리 구조체(C)의 메모리 셀들과 로직 구조체(P)의 로직 회로(120) 사이를 연결하는 전기적인 경로가 제공될 수 있다.
- [0062] 이하, 본 발명의 실시예에 따른 반도체 메모리 장치의 제조 방법을 설명한다.
- [0063] 도 14a 내지 도 19a는 본 발명의 일 실시예에 따른 반도체 메모리 장치를 제조 순서에 따라서 도시한 단면도들이고, 도 14b 내지 도 19b는 도 14a 내지 도 19a의 D-D'라인에 따른 단면도들이고, 도 14c 내지 도 19c는 도 14a 내지 도 19a의 E-E'라인에 따른 단면도들이다.
- [0064] 도 14a 내지 도 14c를 참조하면, 셀 영역(CAR)이 정의된 제1 기판(1) 상에 제1 절연막들(12) 및 제2 절연막들(14)이 교대로 적층될 수 있다. 셀 영역(CAR)은 제1 방향(FD)을 따라서 서로 이격하여 배치되는 제1 셀 영역(CAR1) 및 제2 셀 영역(CAR2)을 포함할 수 있다.
- [0065] 제1 절연막들(12)과 제2 절연막들(14)은 서로 다른 물질로 형성될 수 있다. 예를 들어, 제1 절연막들(12)은 층간절연용 절연 물질로 형성될 수 있고, 제2 절연막들(14)은 희생막으로서 이용되며 제1 절연막들(12)에 대한 식각 선택비를 갖는 절연물질로 형성될 수 있다. 예컨대, 제1 절연막들(12)은 실리콘 산화막으로 형성될 수 있고, 제2 절연막들(14)은 실리콘 질화막으로 형성될 수 있다.
- [0066] 그 다음, 교대로 적층된 제1, 제2 절연막들(12, 14) 상에 서로 제1 간격(d1)을 갖고 이격되는 복수의 개구홀들(OP)을 갖는 마스크 패턴(PR1)이 형성될 수 있다. 그 다음, 마스크 패턴(PR1)을 식각 마스크로 이용한 식각 공정으로 교대로 적층된 제1, 제2 절연막들(12, 14)를 식각하여 연결 영역(CNR)을 정의하는 복수의 수직 홀들(VH)이 형성될 수 있다. 연결 영역(CNR)은 제1 셀 영역(CAR1)과 제2 셀 영역(CAR2) 사이에 배치될 수 있다. 마스크 패턴(PR1)은 포토레지스트로 형성될 수 있으며, 수직 홀들(VH)을 형성한 이후에 제거될 수 있다.
- [0067] 도 15a 내지 도 15c를 참조하면, 수직 홀(VH)의 측벽에 인접한 제2 절연막들(14)이 식각되어 리세스들(R)이 형성될 수 있다. 리세스들(R) 형성 공정은 제2 절연막들(14)을 제거할 수 있는 식각 물질(예를 들어, 식각액)을 수직 홀(VH)에 주입하는 방식으로 수행될 수 있다. 리세스들(R)은 수직 홀(VH)의 측벽으로부터 제1 방향(FD) 및 제2 방향(SD)에 의해 정의된 평면과 평행한 방향으로 확장될 수 있다. 하나의 수직 홀(VH) 및 이로부터 확장되는 복수의 리세스들(R)들은 단위 홀(H)을 구성할 수 있다. 연결 영역(CNR)의 외곽에 복수의 단위 홀들(H)이 마련되어 식각 베리어의 형성을 위한 공간을 구성할 수 있다.
- [0068] 본 실시예에서는, 이웃하는 단위 홀들(H)의 리세스들(R)이 같은 층에 위치하는 것끼리 서로 연결되도록 식각 공정이 수행되는 경우를 나타내나, 이에 한정되는 것은 아니다. 예시적으로, 이웃하는 단위 홀들(H)의 리세스들(R)이 같은 층에 위치하는 것끼리 서로 연결되지 않도록 식각 공정이 수행될 수 있다. 이러한 경우 인접한 단위 홀들(H)의 리세스들(R) 사이에 제2 절연막(14)이 잔류될 수 있다.
- [0069] 본 실시예에서는, 단위 홀들(H)이 연결 영역(CNR)의 모든 외곽에 배치되는 경우를 나타내나, 이에 한정되는 것은 아니다. 예시적으로, 제2 방향(SD)으로 마주하는 연결 영역(CNR)의 양단부에만 단위 홀들(H)이 배치될 수 있고, 제1 방향(FD)으로 마주하는 연결 영역(CNR)의 양단부에는 단위 홀들(H)이 배치되지 않을 수 있다.
- [0070] 도 16a 내지 도 16c를 참조하면, 단위 홀들(H)에 제2 절연막들(14)에 대해 식각 선택비를 갖는 물질이 충전되어 비아들(VIA)이 형성될 수 있다. 비아들(VIA)은 절연 물질을 포함할 수 있으며, 예를 들어 실리콘 산화물을 포함할 수 있다. 비아들(VIA)은 도전 물질을 포함할 수 있으며, 예를 들어 금속, 금속 산화물 또는 반도체 등에서 선택된 적어도 하나를 포함할 수 있다.
- [0071] 비아(VIA)는 필라부(PP) 및 필라부(PP)의 측벽으로부터 확장되는 복수의 확장부들(EP)을 포함할 수 있다. 필라부(PP)는 수직 홀(VH)을 충전하는 부분으로, 수직 방향(VD)으로 신장될 수 있다. 확장부(EP)는 리세스(R)을 충전하는 부분으로, 필라부(PP)의 측벽으로부터 제1 방향(FD) 및 제2 방향(SD)에 의해 정의된 평면과 평행한 방향으로 확장될 수 있다.
- [0072] 본 실시예에서는, 필라부(PP)가 확장부(EP)와 동일한 물질로 구성되고, 필라부(PP)가 그 중심 영역까지 단일 물질로 채워진 경우를 나타내나, 이에 한정되는 것은 아니다. 도 6 및 도 7에 예시된 바와 같이, 필라부(PP)는 중심 영역이 오픈된 튜브, 스트로우 또는 실린더 쉘 형상을 갖는 제1 층 및 제1 층의 오픈된 중심 영역에 배치된 제2 층으로 구성될 수도 있다. 제1 층은 확장부들(EP)을 구성하는 물질과 동일한 물질일 수 있고, 제2 층은 제1

층과 다른 물질로 구성될 수 있다. 제1 층은 절연 물질, 예를 들어 실리콘 산화물로 구성될 수 있고, 제2 층은 도전 물질, 예를 들어 텅스텐(W), 구리(Cu) 등으로 구성될 수 있다.

- [0073] 도 17a 내지 도 17c를 참조하면, 셀 영역(CAR)에 교대로 적층된 제1, 제2 절연막들(12, 14)을 관통하는 복수의 채널 구조체들(CH)이 형성될 수 있다. 채널 구조체들(CH)은 교대로 적층된 제1, 제2 절연막들(12, 14)을 관통하는 복수의 채널홀들을 형성하고, 채널홀들에 게이트 절연층(32) 및 채널층(30)을 순차로 형성하는 방식으로 형성될 수 있다.
- [0074] 그 다음, 교대로 적층된 제1, 제2 절연막들(12, 14)을 분할하는 복수의 슬릿들(SLT)이 형성될 수 있다. 슬릿들(SLT)은 제1 방향(FD)으로 신장되며 제2 방향(SD)을 따라서 배열될 수 있다.
- [0075] 도 18a 내지 도 18c를 참조하면, 셀 영역(CAR)의 제2 절연막들(14)을 제거하기 위한 식각 공정이 수행될 수 있다. 식각 공정이 수행되는 동안에 제2 절연막들(14)을 제거할 수 있는 식각 물질이 슬릿들(SLT)을 통해서 주입될 수 있다. 식각 베리어(20)는 식각 물질의 유입을 차단할 수 있다. 이에 따라, 식각 베리어(20)에 의해 둘러싸인 연결 영역(CNR) 내부의 제2 절연막들(14)을 남긴 채로 셀 영역(CAR)을 포함한 연결 영역(CNR) 외부의 제2 절연막들(14)이 제거될 수 있다.
- [0076] 도 19a 내지 도 19c를 참조하면, 제2 절연막들(14)이 제거된 공간에 도전 물질을 채워 넣어 전극막들(16)이 형성될 수 있다. 전극막들(16)로 사용되는 도전 물질은 예를 들어 도핑된 반도체(ex, 도핑된 실리콘 등), 금속(ex, 텅스텐, 구리, 알루미늄 등), 도전성 금속질화물(ex, 질화티타늄, 질화탄탈륨 등) 또는 전이금속(ex, 티타늄, 탄탈륨 등) 등에서 선택된 적어도 하나를 포함할 수 있다. 그 다음, 연결 영역(CNR)의 제1, 제2 절연막들(12, 14)을 수직적으로 관통하는 콘택 플러그(40)가 형성될 수 있다.
- [0077] 비록, 본 실시예는 콘택 플러그(40)를 비아들(VIA)과 별도의 공정으로 형성하는 경우를 나타내나, 비아들(VIA) 형성시에 콘택 플러그(40)를 함께 형성할 수도 있다.
- [0078] 이하, 도 20, 도 21a 및 도 21b를 참조하여 본 발명의 효과를 설명한다.
- [0079] 도 20은 본 발명과 관련된 반도체 메모리 장치의 일부분을 도시한 단면도이다.
- [0080] 도 20을 참조하면, 교대로 적층된 제1 절연막들(12)과 제2 절연막들(미도시)에 수직 홀들을 형성하고, 수직 홀들의 측벽에 절연 스페이서(IS)를 형성한 후에 수직 홀들 내부에 도전 물질을 채워 넣어 콘택 플러그(40)를 형성할 수 있다. 이후, 제2 절연막들(미도시)이 도전 물질로 치환되어 전극막들(16)이 형성될 수 있다. 이 경우, 전극막들(16)과 콘택 플러그(40)가 얇은 두께의 절연 스페이서(IS)를 사이에 두고 서로 이웃하므로 전극막들(16)과 콘택 플러그(40) 간 커플링이 과도하게 커지게 되어 반도체 메모리 장치의 전기적 특성이 저하될 수 있다.
- [0081] 도 21a는 본 발명과 관련된 반도체 메모리 장치의 일부분을 도시한 평면도이고, 도 21b는 도 21a의 F-F' 라인에 따른 단면도이다.
- [0082] 도 21a 및 도 21b를 참조하면, 연결 영역(CNR) 외곽에 교대로 적층된 제1 절연막들(12)과 제2 절연막들(14)을 관통하는 복수의 수직 홀들을 형성하고, 수직 홀들 내부에 제2 절연막들(14)에 대하여 식각 선택성을 갖는 물질을 충전하여 비아들(VIA)을 형성할 수 있다. 비아들(VIA)은 도 18a 내지 도 18c를 참조로 하여 설명된 제2 절연막(14) 제거 공정에서 식각 베리어(20)의 역할을 할 수 있다.
- [0083] 따라서, 도 18a 내지 도 18c를 참조로 하여 설명된 제2 절연막(14) 제거 공정 전에 연결 영역(CNR)의 제2 절연막들(14)이 소실되는 것을 막을 수 있고, 도 19a 내지 도 19c를 참조로 하여 설명된 전극막(16) 형성 공정에서 연결 영역(CNR)에 전극막들(16)이 생성되는 것을 막을 수 있다. 콘택 플러그(40)는 연결 영역(CNR)에서 교대로 적층된 제1 절연막들(12)과 제2 절연막들(14)을 관통할 수 있다. 이 경우, 전극막들(16)과 콘택 플러그(40) 간 간격을 충분히 확보할 수 있으므로 전극막들(16)과 콘택 플러그(40) 간 불필요한 커플링을 억제할 수 있다.
- [0084] 그런데, 비아들(VIA) 사이의 간격(d3)이 넓으면, 도 18a 내지 도 18c를 참조로 하여 설명된 제2 절연막(14) 제거 공정에서 비아들(VIA) 사이의 간격을 통해서 식각 물질이 유입되어 연결 영역(CNR)의 제2 절연막(14)이 유실될 수 있다. 따라서, 비아들(VIA) 간 간격(d3)을 좁게 형성할 필요가 있다.
- [0085] 그런데, 비아들(VIA) 간 간격(d3)이 좁은 경우, 수직 홀 형성 공정에 사용되는 장비의 한계 성능, 예를 들어 노광 장비의 한계 해상도에 영향을 받아 인접한 수직 홀들이 서로 붙어 버릴 수 있고, 이러한 경우 수직 홀들을 형성한 후에 잔류하는 패턴의 구조적 안정성이 떨어지게 되어 패턴이 기울어지거나 붕괴되는 문제가 발생할 수

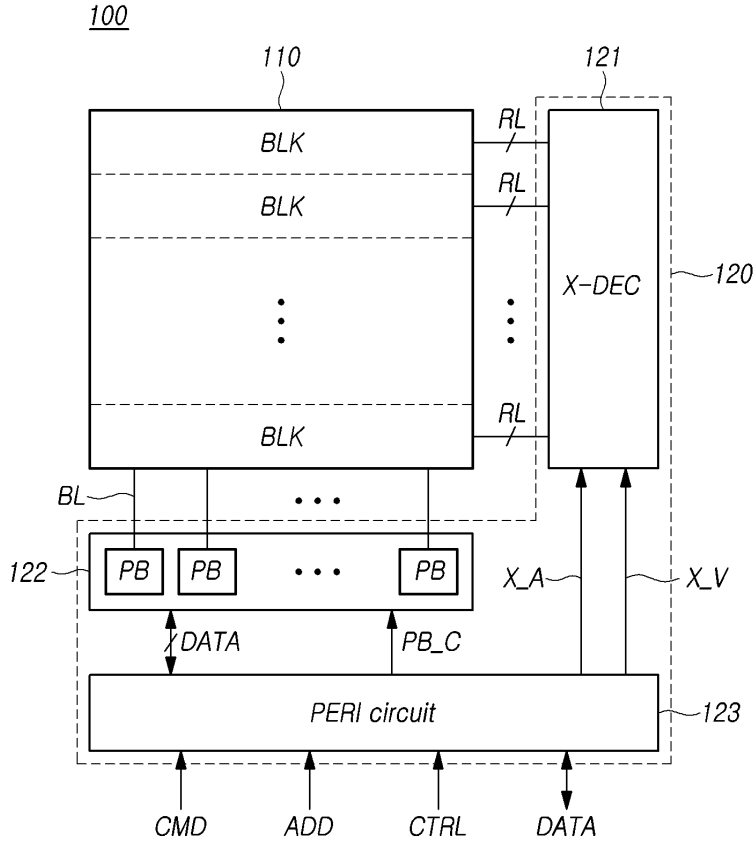
있다.

- [0086] 본 발명의 실시예들에 따르면, 비아들(VIA) 형성 공간을 제공하는 수직 홀들(VH)이 도 14a 내지 도 14c를 참조로 하여 설명된 수직 홀(VH) 형성 공정과, 도 15a 내지 도 15c를 참조로 하여 설명된 리세스(R) 형성 공정으로 구분되어 형성된다. 이러한 공정에 따르면, 수직 홀(VH) 간 간격을 과도하게 좁히지 않더라도 비아들(VIA)이 식각 베리어(20)의 역할을 할 수 있다. 따라서, 수직 홀들(VH)을 형성한 후에 잔류하는 패턴의 구조적 안정성을 높일 수 있고, 패턴이 기울어지거나 붕괴되는 불량을 억제할 수 있다.
- [0087] 요컨대, 본 실시예들에 따르면 전극막들(16)과 컨택 플러그(40) 간 커플링이 과도하게 커지는 것을 방지하여 전기적 특성을 향상시킬 수 있고, 동시에 제조 공정 중에 발생하는 패턴 불량을 억제할 수 있다.
- [0088] 도 22는 본 발명의 실시예에 따른 반도체 메모리 장치를 포함한 메모리 시스템을 개략적으로 도시한 블록도이다.
- [0089] 도 22를 참조하면, 본 발명의 실시예에 따른 메모리 시스템(600)은 비휘발성 메모리 장치(610) 및 메모리 컨트롤러(620)를 포함할 수 있다.
- [0090] 비휘발성 메모리 장치(610)는 앞서 설명한 반도체 메모리 장치로 구성되고, 앞서 설명한 방법으로 동작될 수 있다. 메모리 컨트롤러(620)는 비휘발성 메모리 장치(610)를 제어하도록 구성될 것이다. 비휘발성 메모리 장치(610)와 메모리 컨트롤러(620)의 결합에 의해 메모리 카드 또는 반도체 디스크 장치(Solid State Disk: SSD)로 제공될 수 있을 것이다. SRAM(621)은 프로세싱 유닛(622)의 동작 메모리로써 사용된다. 호스트 인터페이스(623)는 메모리 시스템(600)과 접속되는 호스트의 데이터 교환 프로토콜을 구비한다.
- [0091] 에러 정정 블록(624)은 비휘발성 메모리 장치(610)로부터 독출된 데이터에 포함되는 에러를 검출 및 정정한다.
- [0092] 메모리 인터페이스(625)는 본 발명의 비휘발성 메모리 장치(610)와 인터페이싱한다. 프로세싱 유닛(622)은 메모리 컨트롤러(620)의 데이터 교환을 위한 제반 제어 동작을 수행한다.
- [0093] 비록 도면에는 도시되지 않았지만, 본 발명에 따른 메모리 시스템(600)은 호스트(Host)와의 인터페이싱을 위한 코드 데이터를 저장하는 ROM(미도시됨) 등이 더 제공될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다. 비휘발성 메모리 장치(620)는 복수의 플래시 메모리 칩들로 구성되는 멀티-칩 패키지로 제공될 수도 있다.
- [0094] 이상의 본 발명의 메모리 시스템(600)은 에러의 발생 확률이 낮은 고신뢰성의 저장 매체로 제공될 수 있다. 특히, 최근 활발히 연구되고 있는 반도체 디스크 장치(Solid State Disk: 이하 SSD)와 같은 메모리 시스템에서 본 발명의 비휘발성 메모리 장치가 구비될 수 있다. 이 경우, 메모리 컨트롤러(620)는 USB, MMC, PCI-E, SATA, PATA, SCSI, ESDI, 그리고 IDE 등과 같은 다양한 인터페이스 프로토콜들 중 하나를 통해 외부(예를 들면, 호스트)와 통신하도록 구성될 것이다.
- [0095] 도 23은 본 발명의 실시예에 따른 반도체 메모리 장치를 포함한 컴퓨팅 시스템을 개략적으로 보여주는 블록도이다.
- [0096] 도 23을 참조하면, 본 발명에 따른 컴퓨팅 시스템(700)은 시스템 버스(760)에 전기적으로 연결된 메모리 시스템(710), 마이크로프로세서(720), 램(730), 사용자 인터페이스(740), 베이스밴드 칩셋(Baseband chipset)과 같은 모뎀(750)을 포함할 수 있다. 본 발명에 따른 컴퓨팅 시스템(700)이 모바일 장치인 경우, 컴퓨팅 시스템(700)의 동작 전압을 공급하기 위한 배터리(미도시됨)가 추가적으로 제공될 것이다. 비록 도면에는 도시되지 않았지만, 본 발명에 따른 컴퓨팅 시스템(700)에는 응용 칩셋(Application chipset), 카메라 이미지 프로세서(Camera Image Processor: CIS), 모바일 디램, 등이 더 제공될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다. 메모리 시스템(710)은, 예를 들면, 데이터를 저장하는 데 비휘발성 메모리를 사용하는 SSD(Solid State Drive/Disk)를 구성할 수 있다. 또는, 메모리 시스템(710)은, 퓨전 플래시 메모리(예를 들면, 원넨드 플래시 메모리)로 제공될 수 있다.
- [0097] 이상에서 설명한 본 발명의 실시예는 장치 및 방법을 통해서만 구현이 되는 것은 아니며, 본 발명의 실시예 구성에 대응하는 기능을 실현하는 프로그램 또는 그 프로그램이 기록된 기록 매체를 통해 구현될 수도 있으며, 이러한 구현은 앞서 설명한 실시예의 기재로부터 본 발명이 속하는 기술분야의 전문가라면 쉽게 구현할 수 있을 것이다.
- [0098] 앞서 설명한 본 발명의 상세한 설명에서는 본 발명의 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된

당업자 또는 해당 기술분야에 통상의 지식을 갖는 자라면 후술 될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

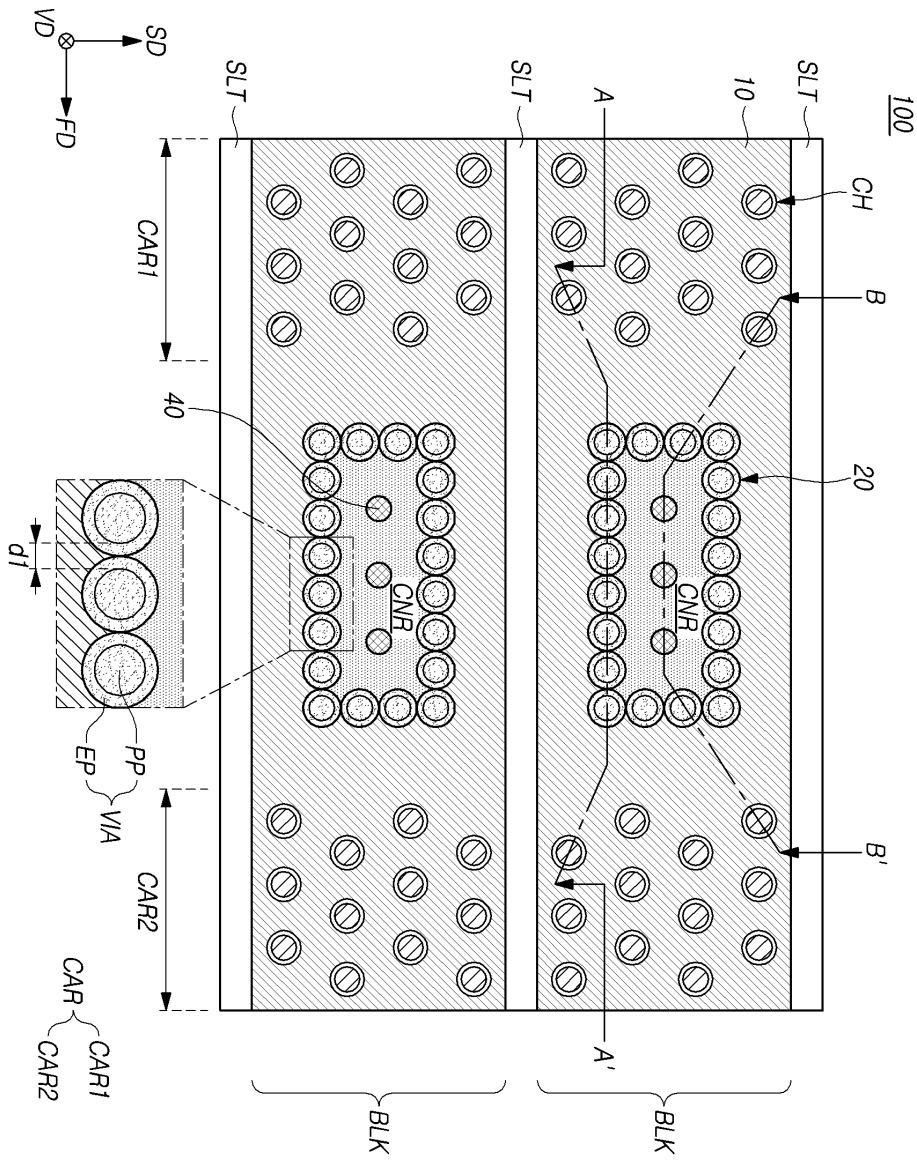
도면

도면1



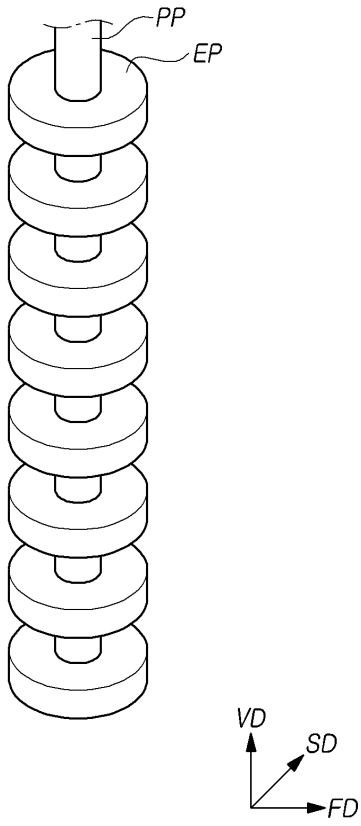


도면2

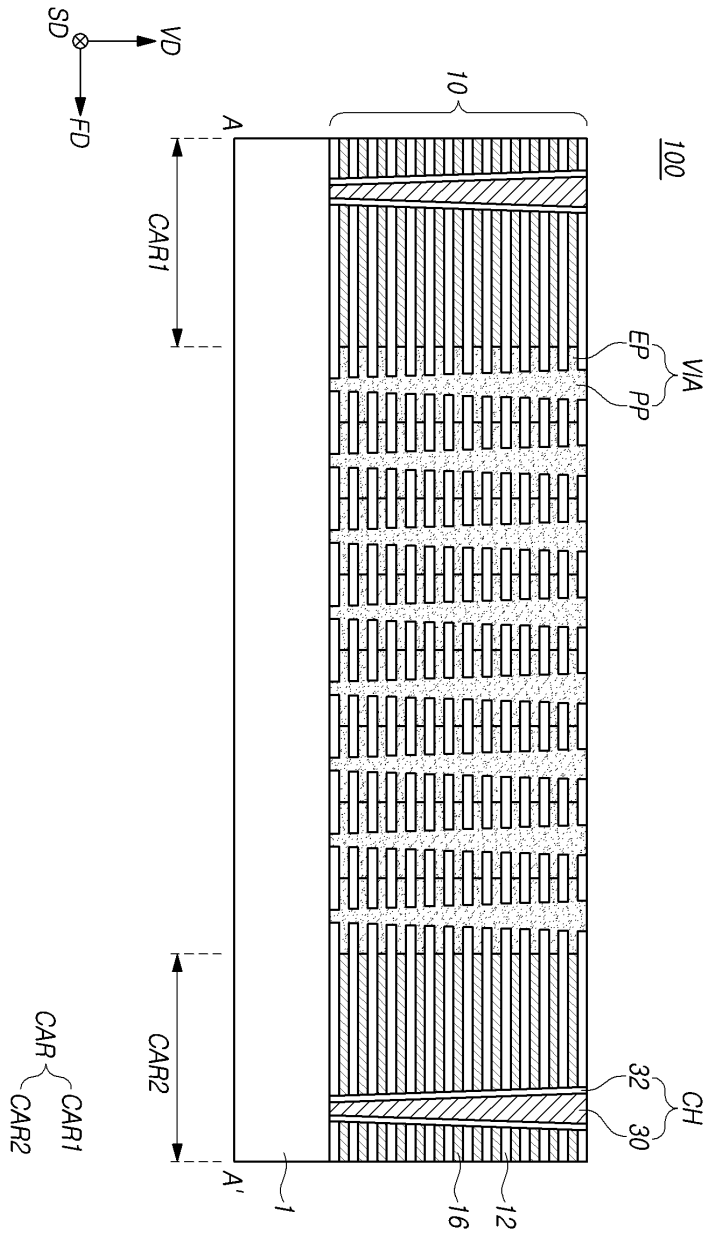


도면3

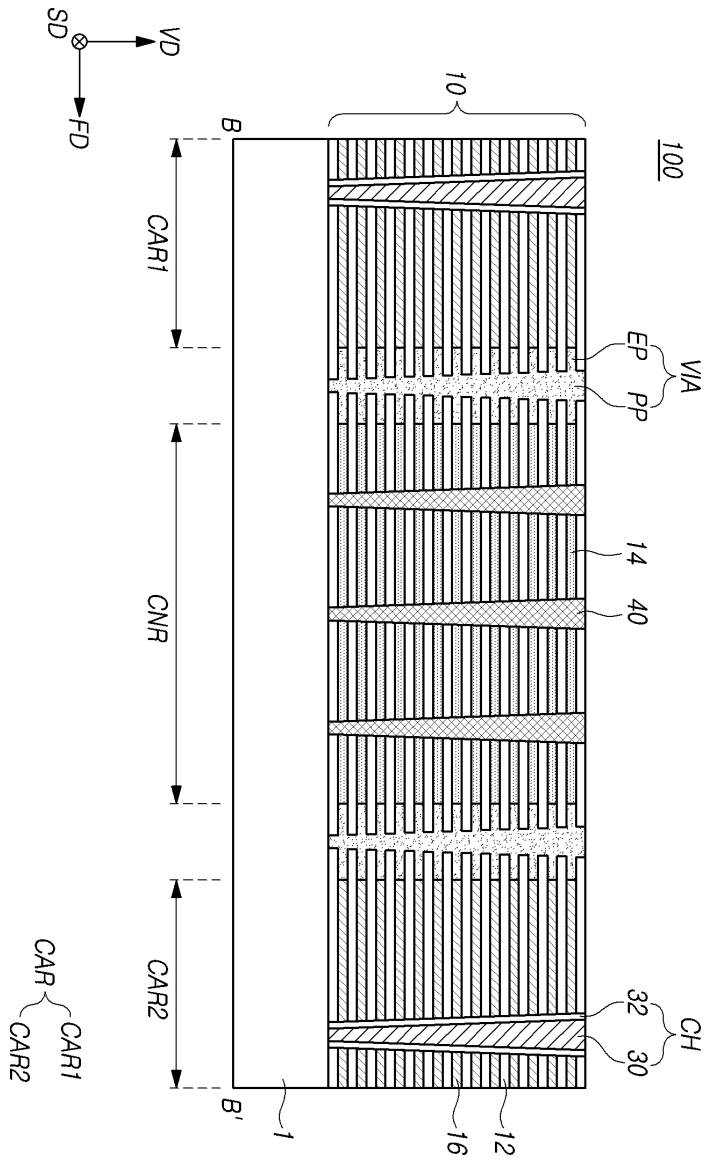
VIA



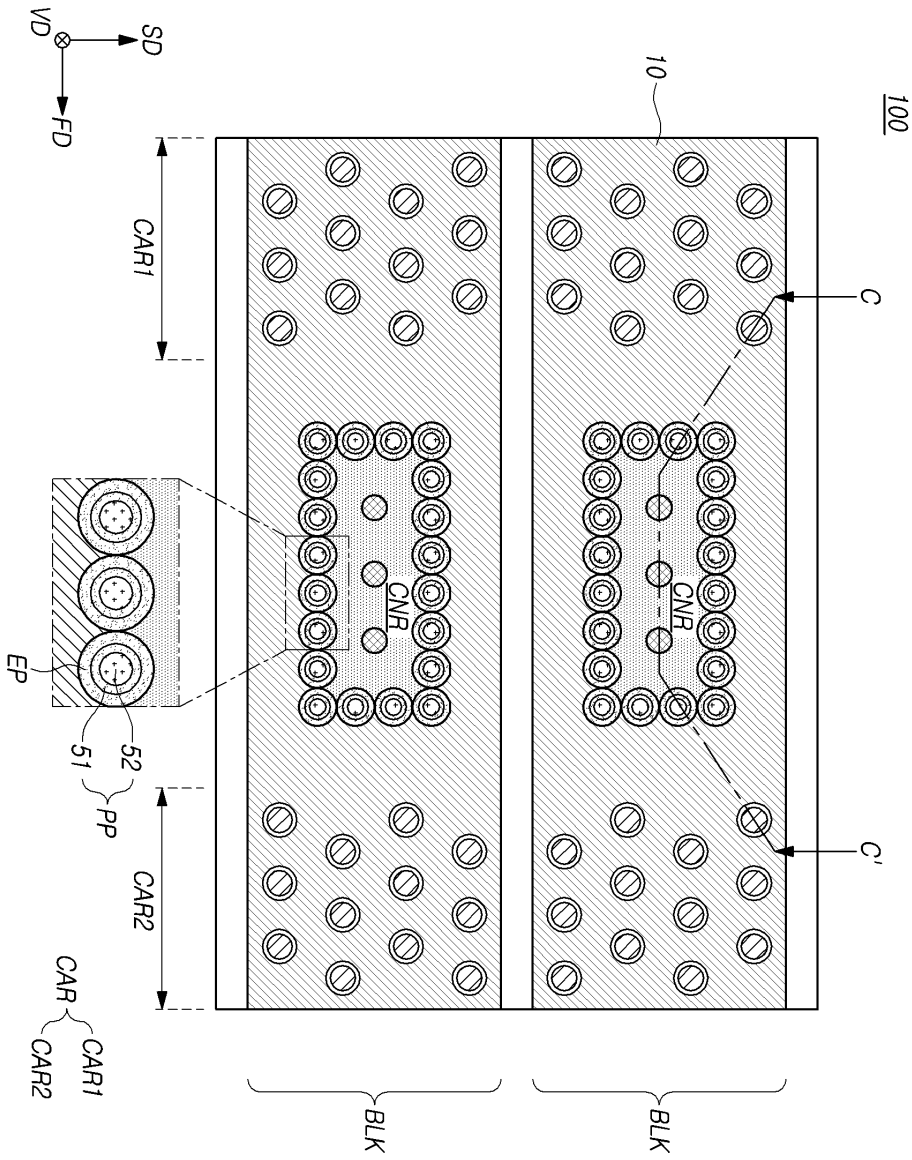
도면4



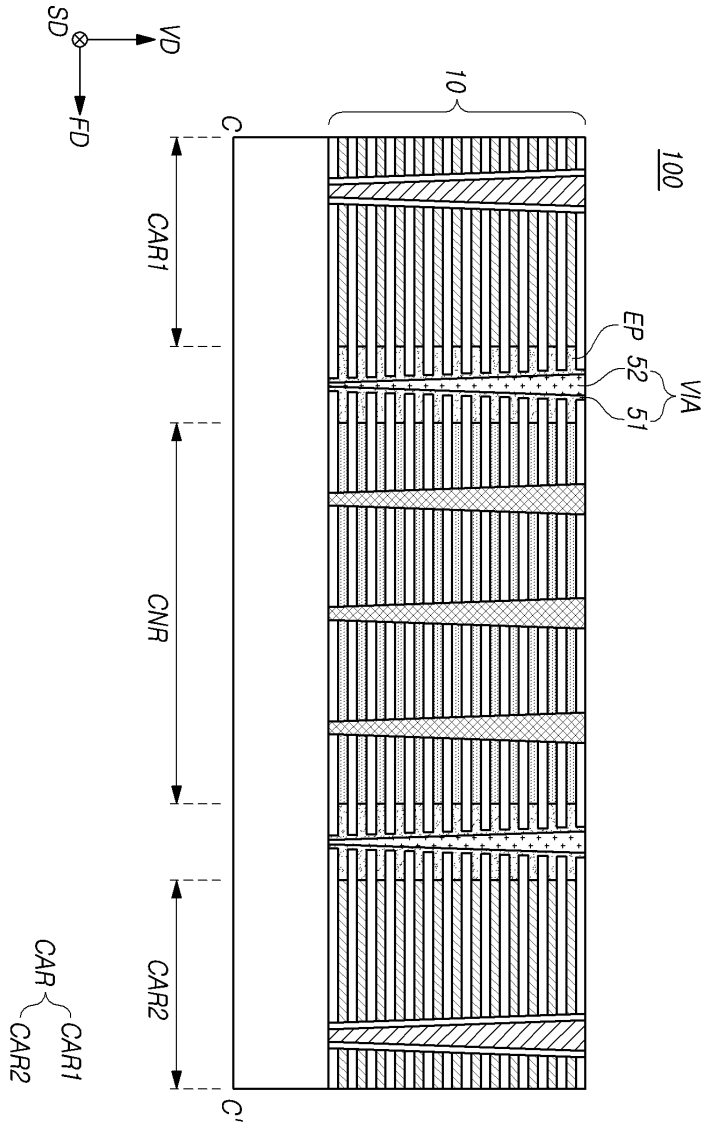
도면5



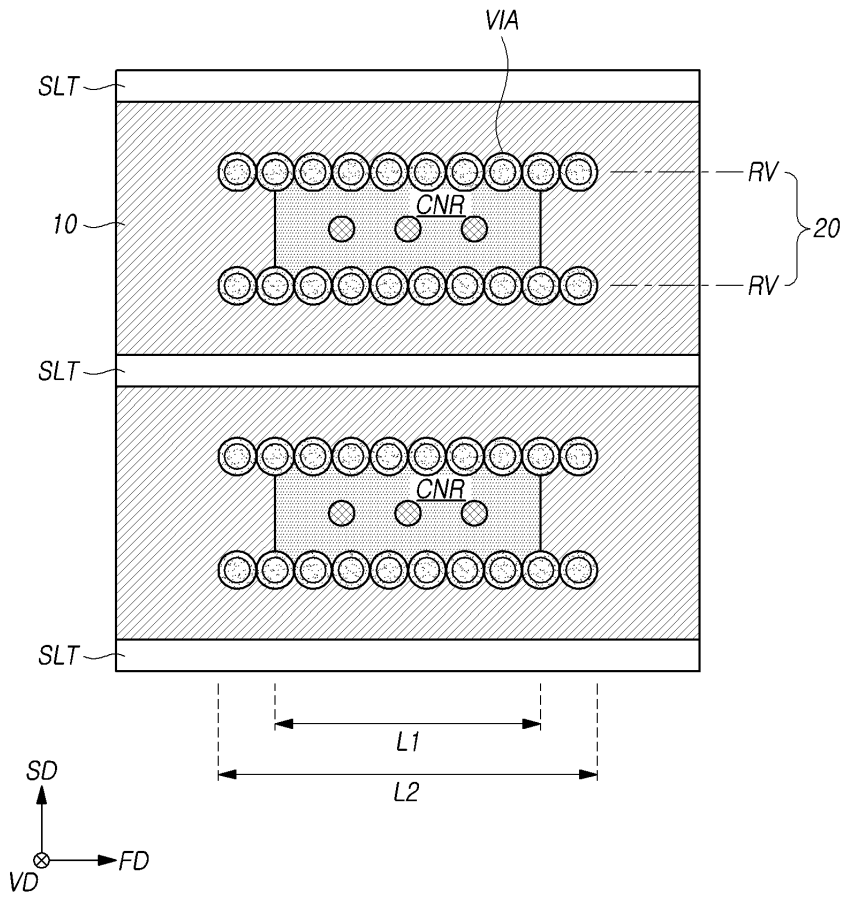
도면6



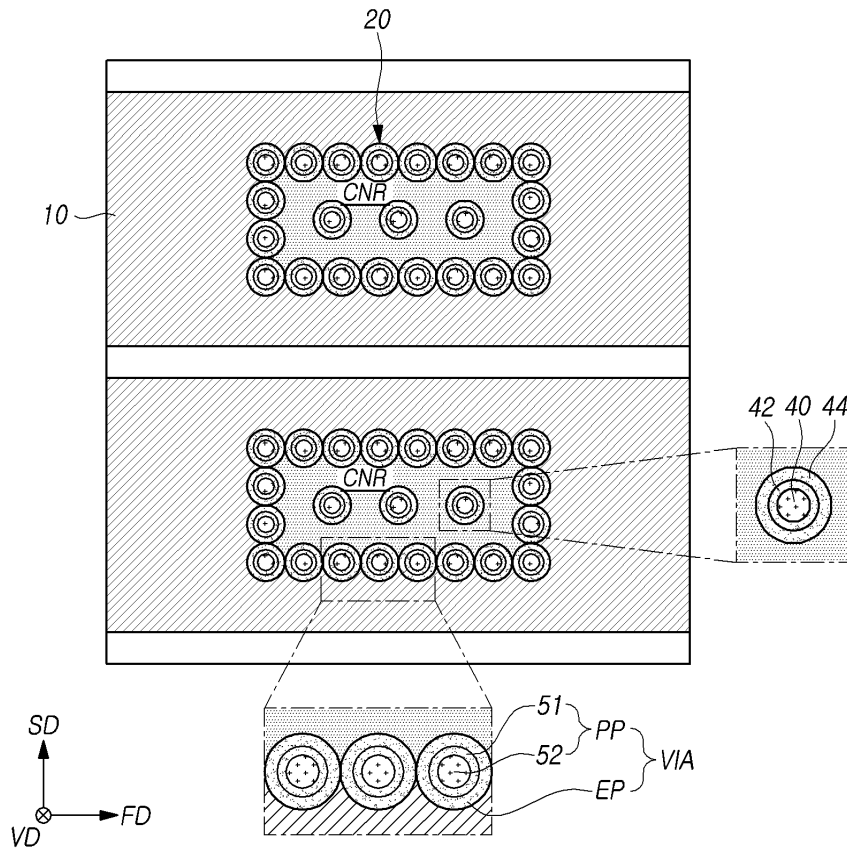
도면7



도면8

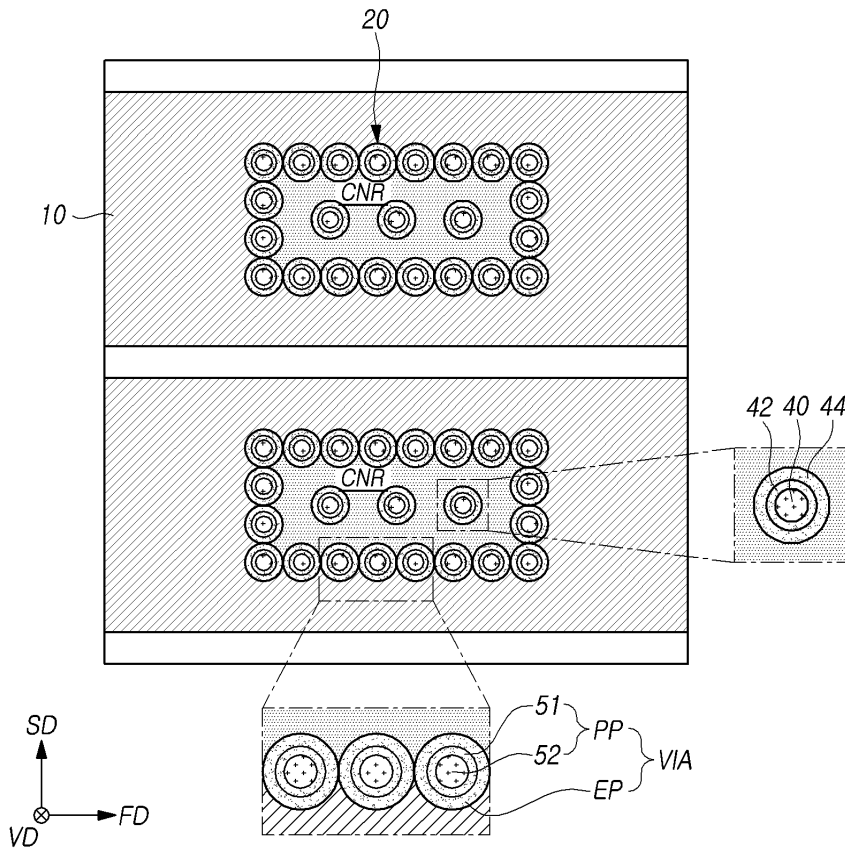


도면9

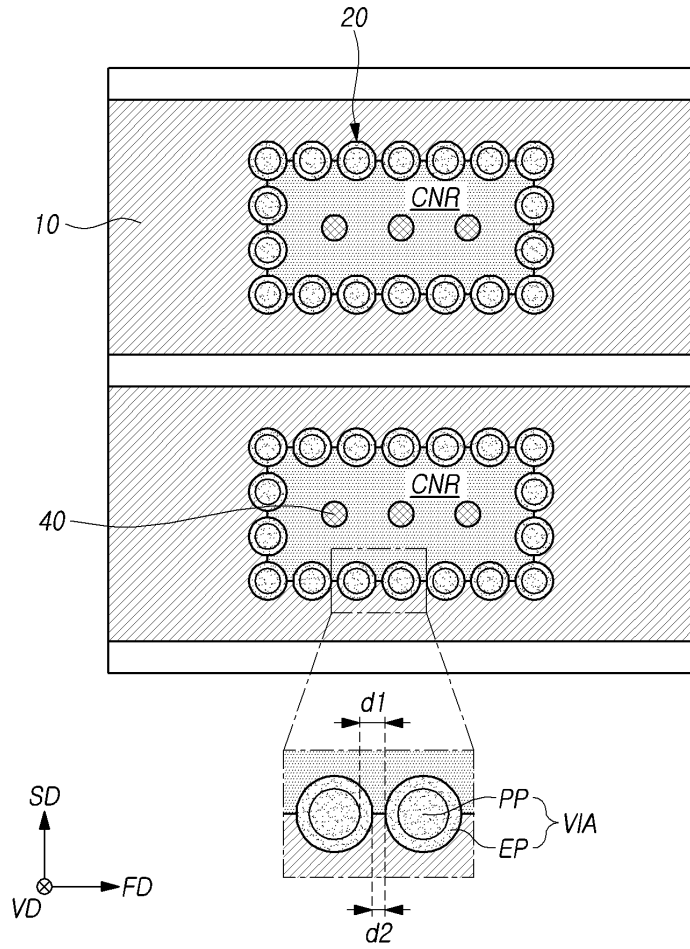




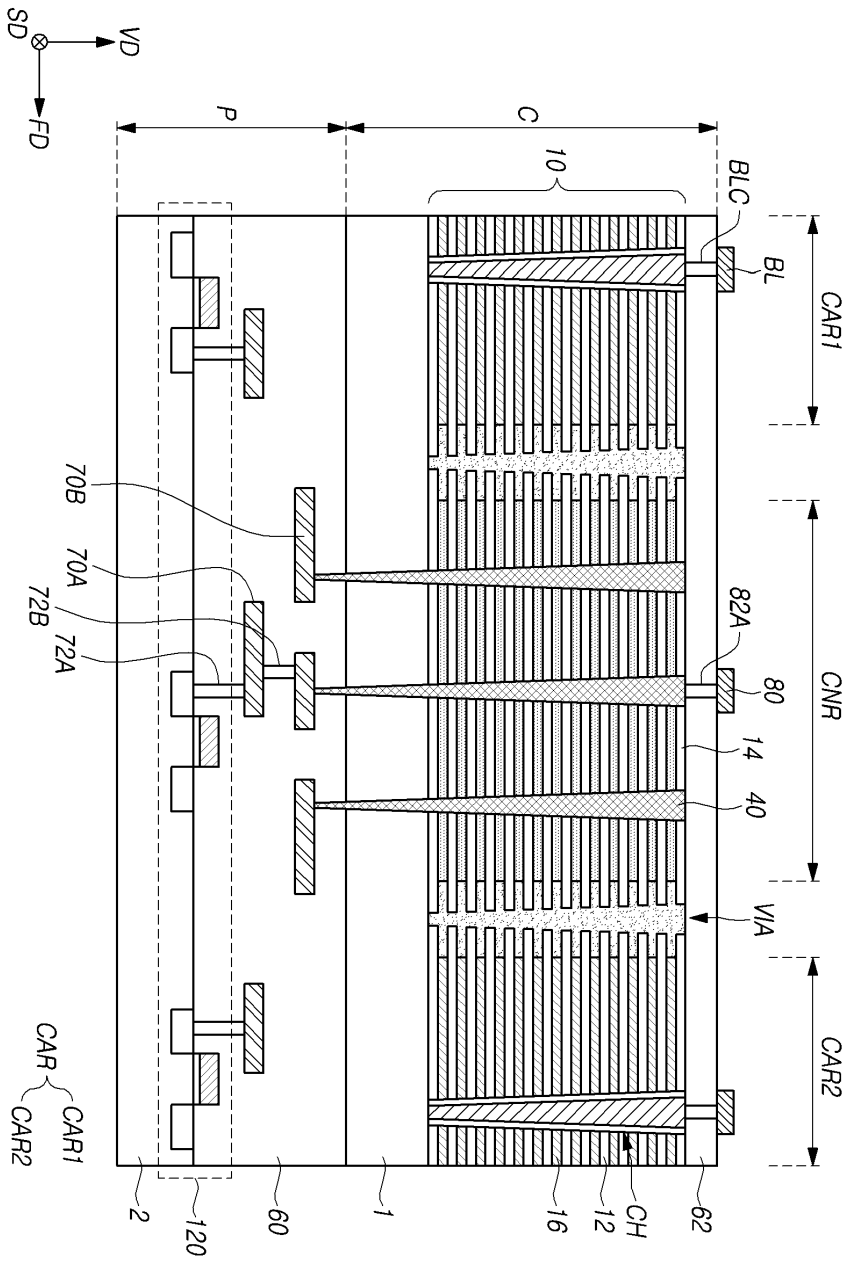
도면10



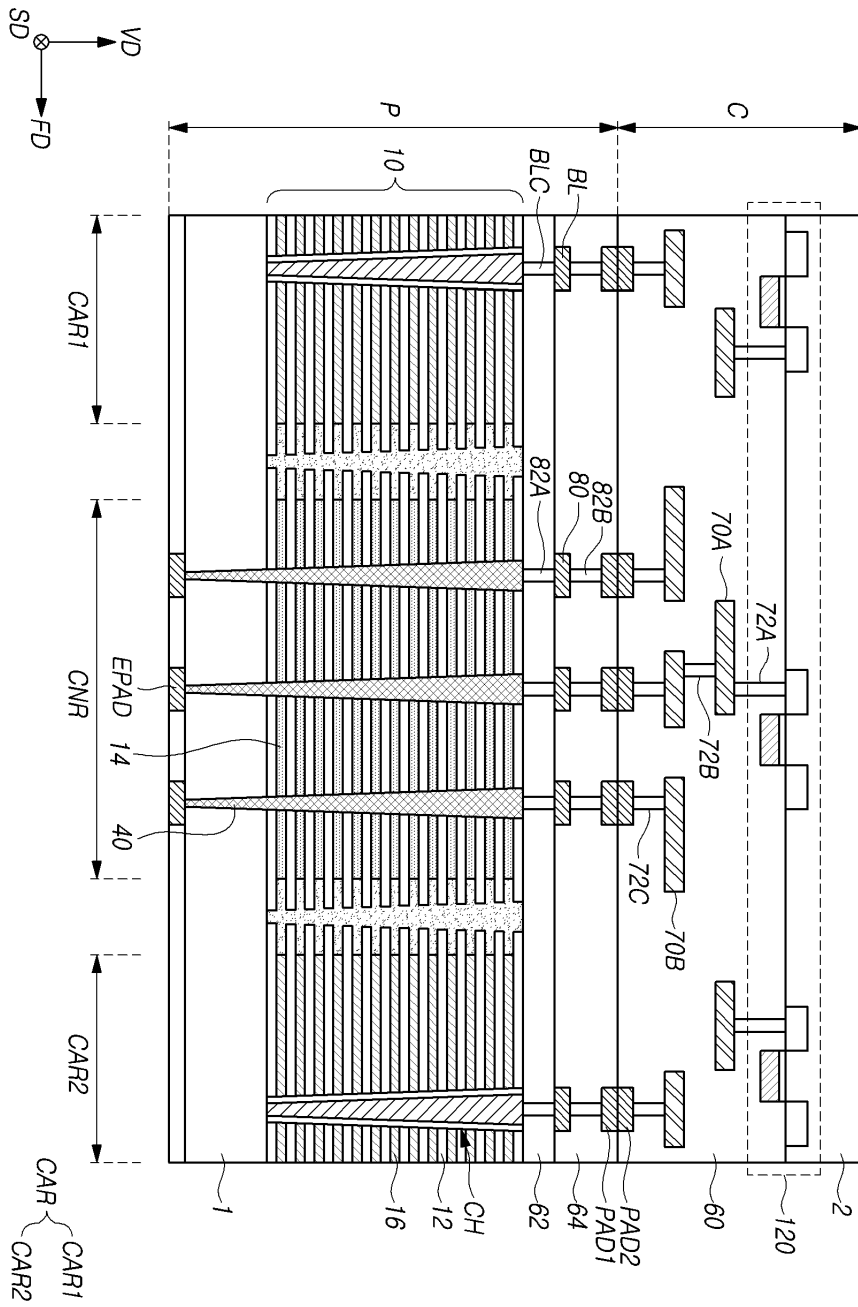
도면11



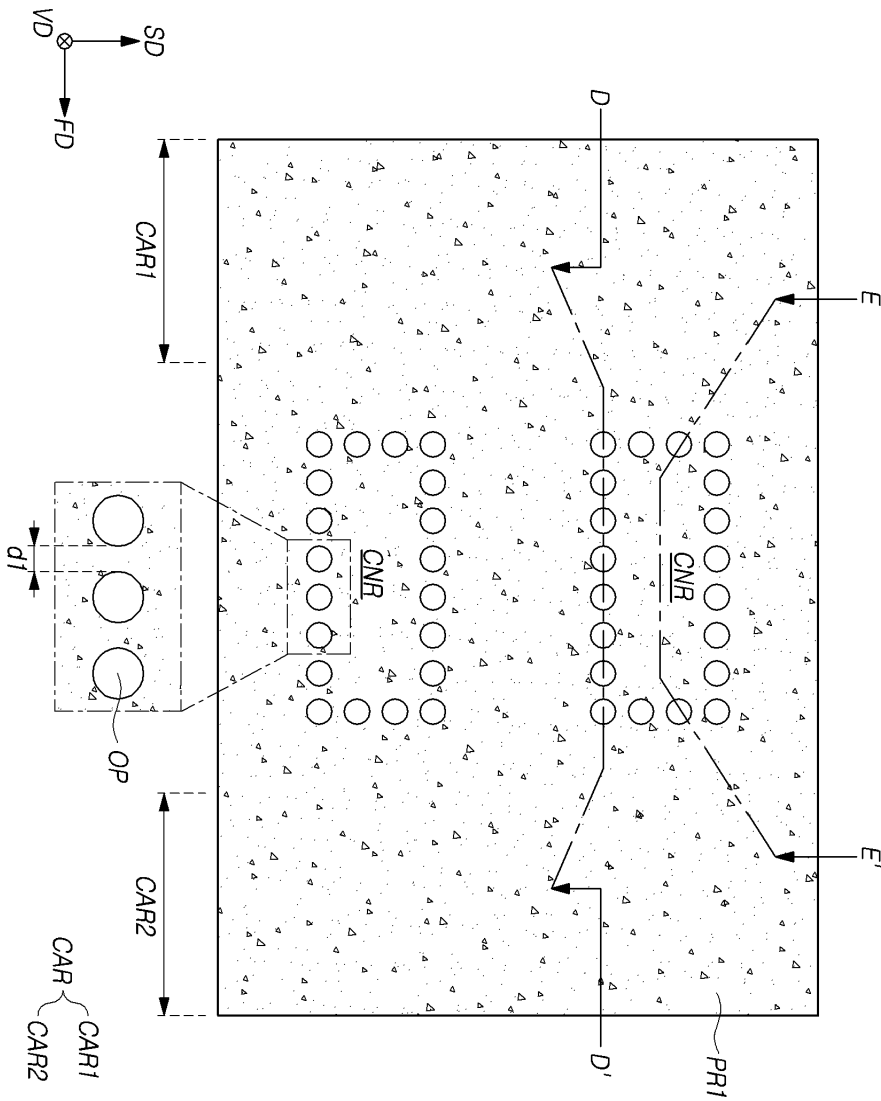
도면12



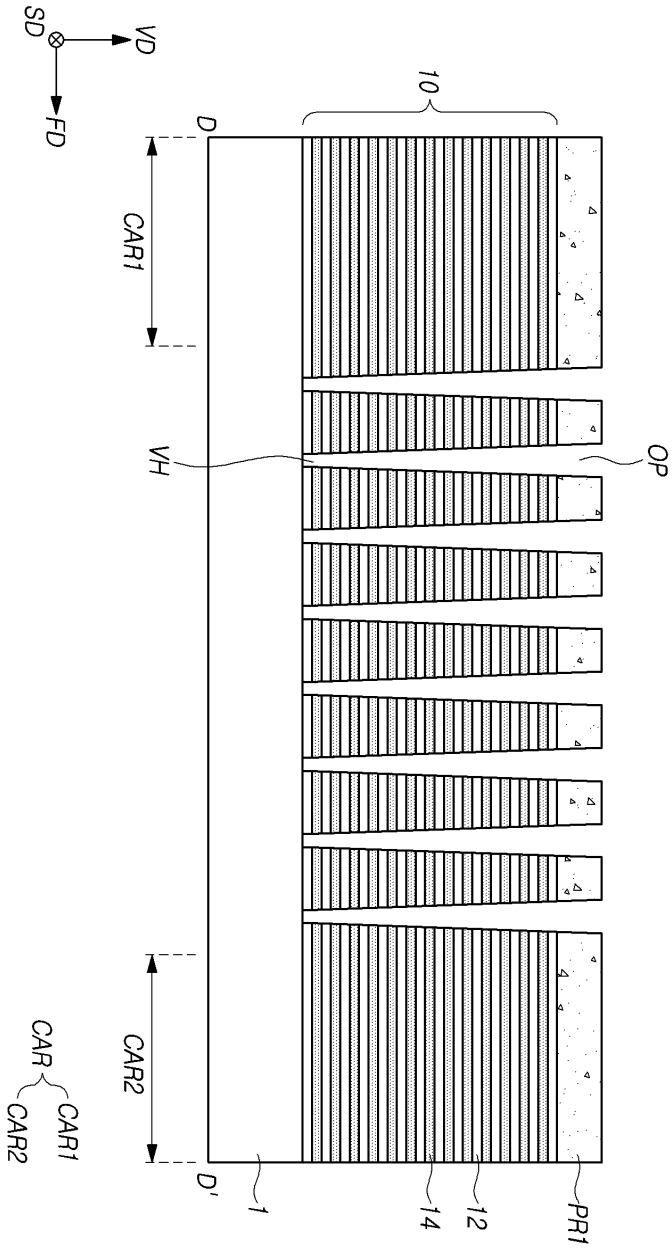
도면13



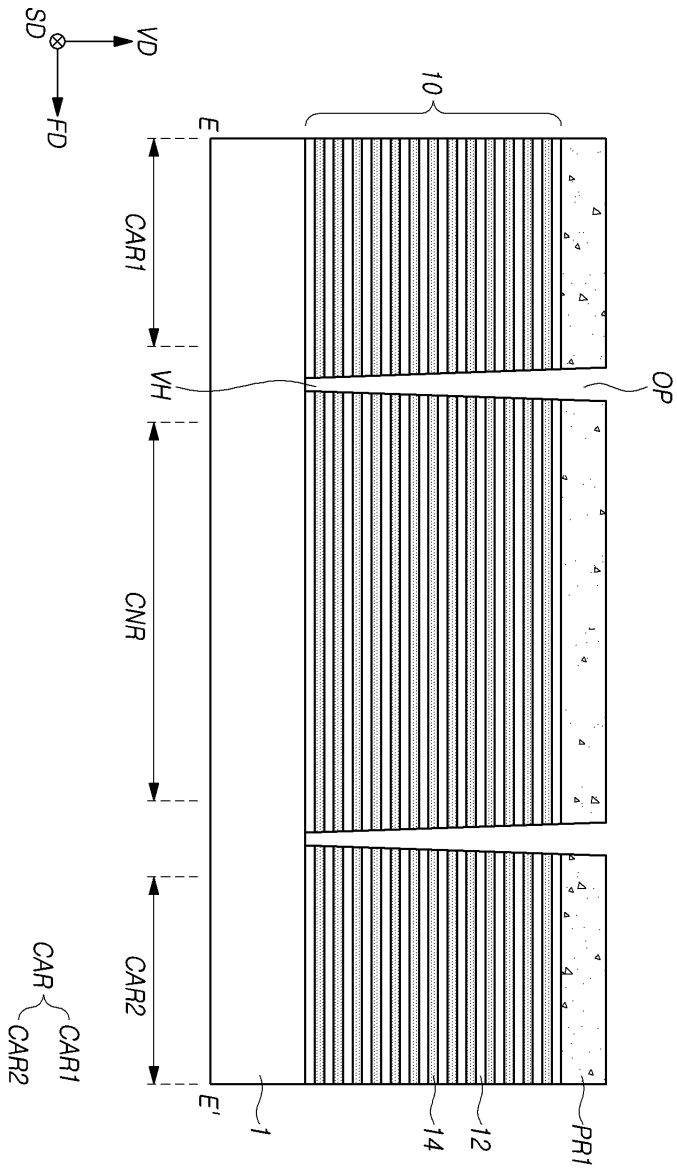
도면14a



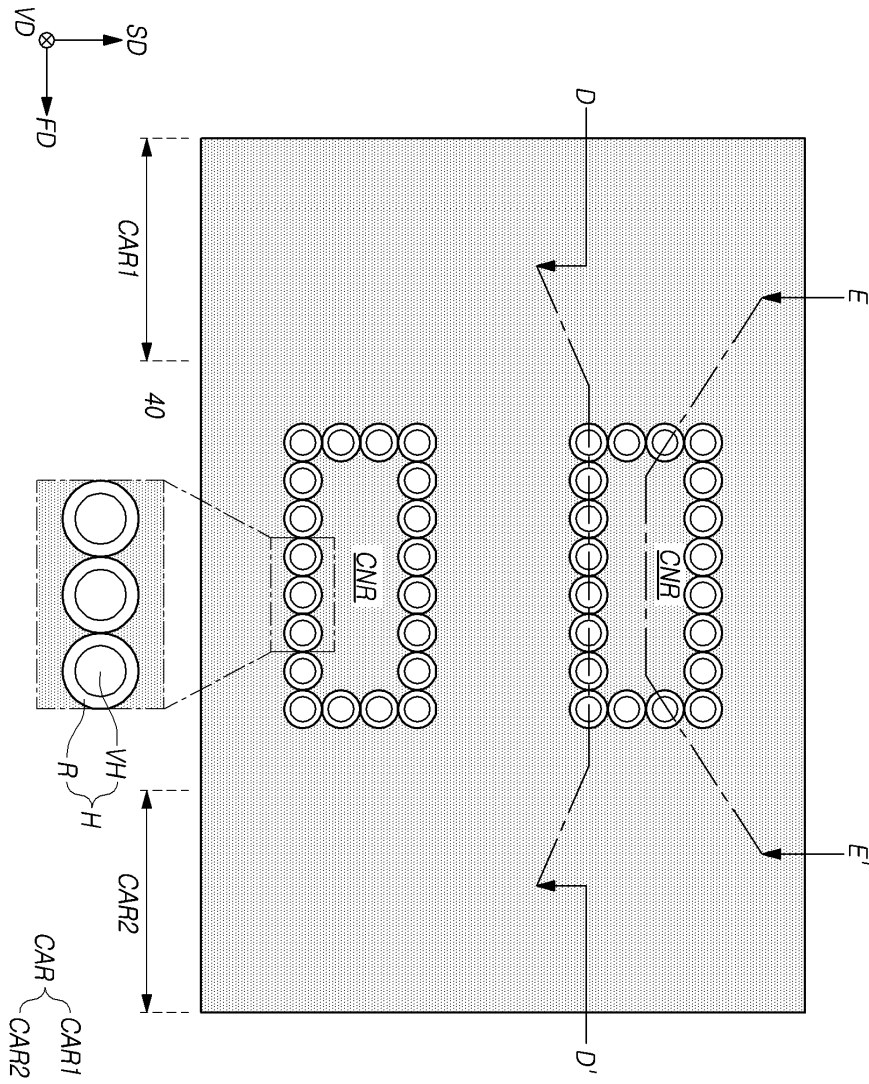
도면14b



도면14c

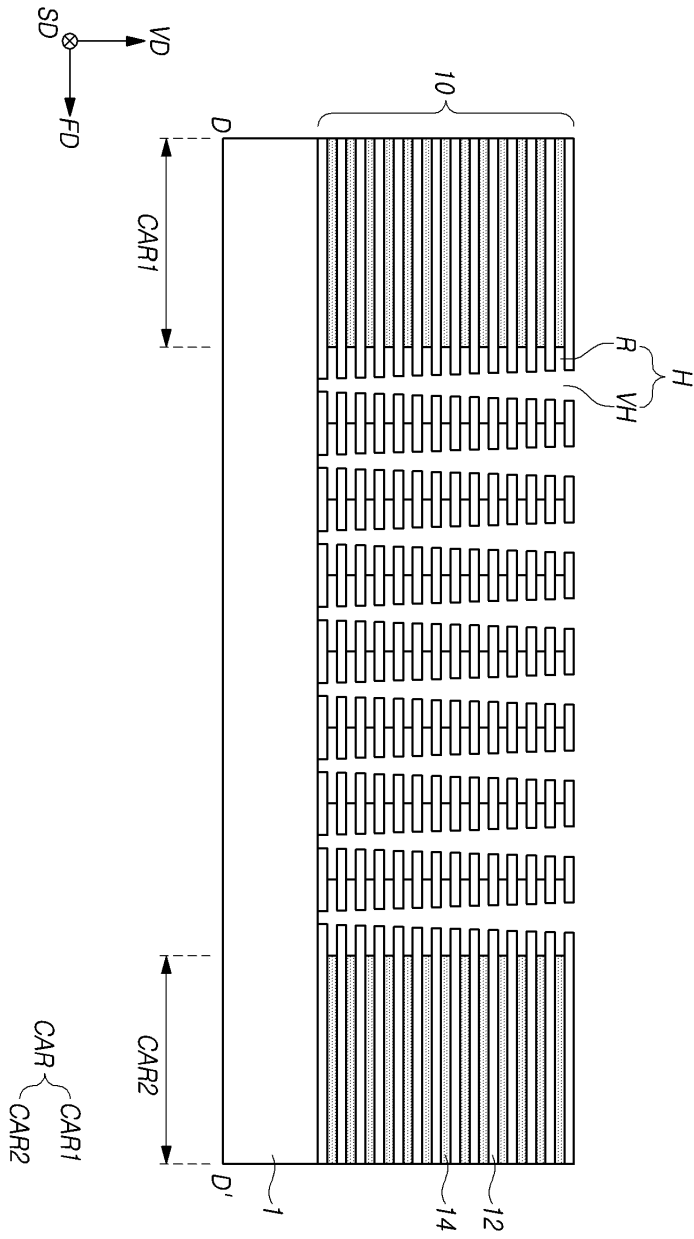


도면15a

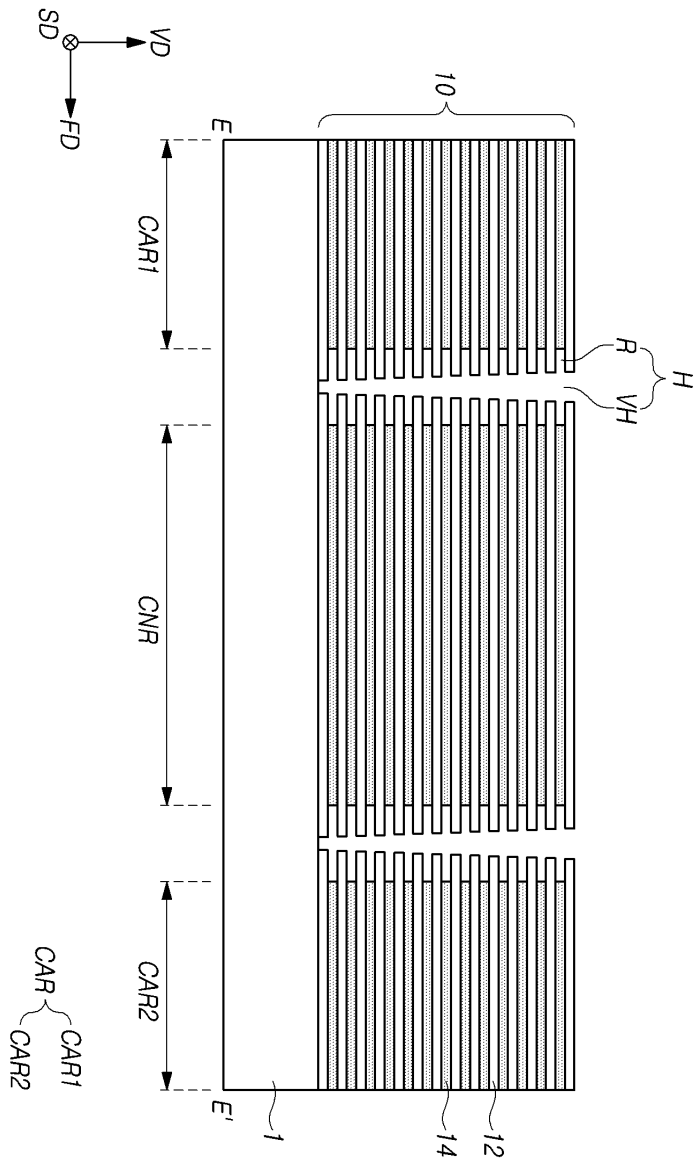




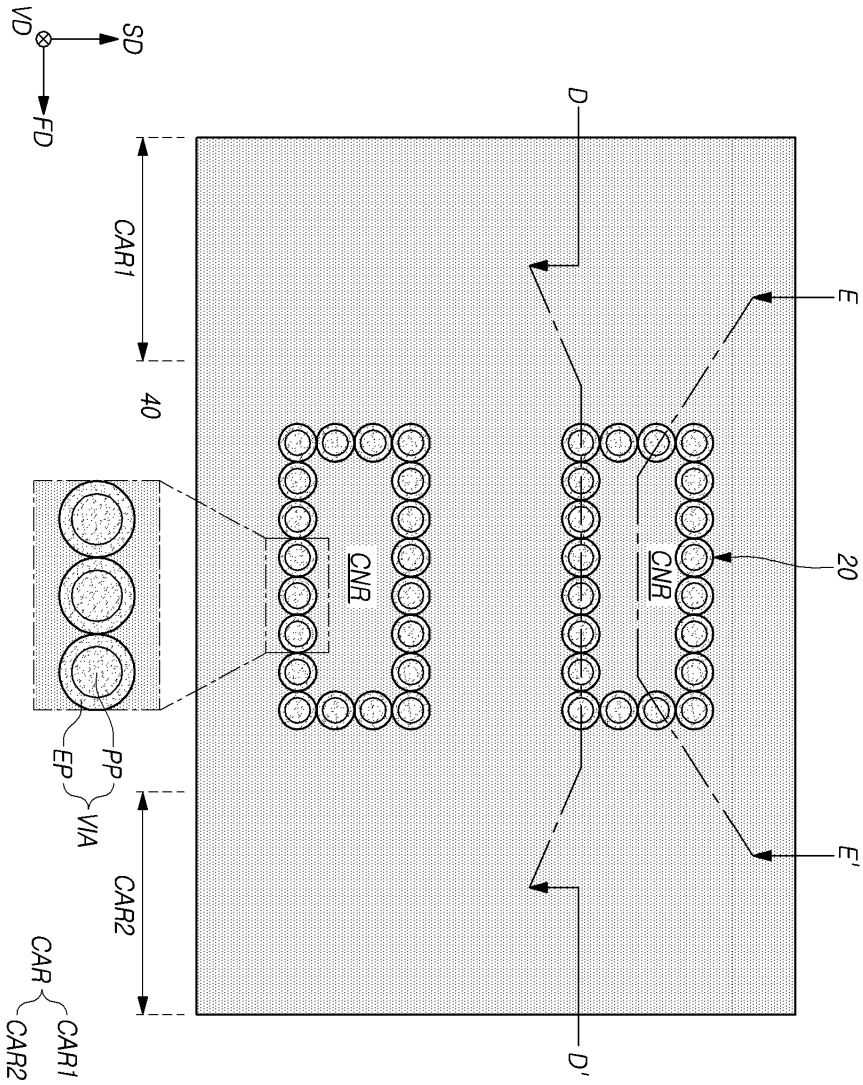
도면15b



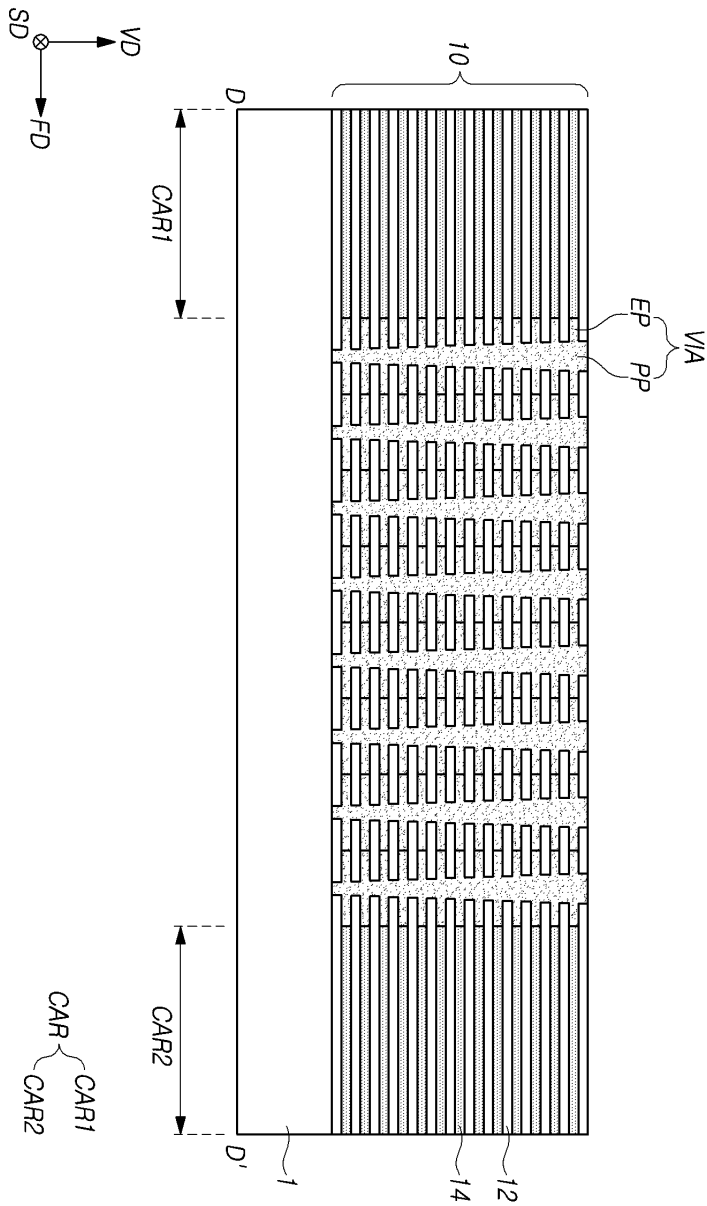
도면15c



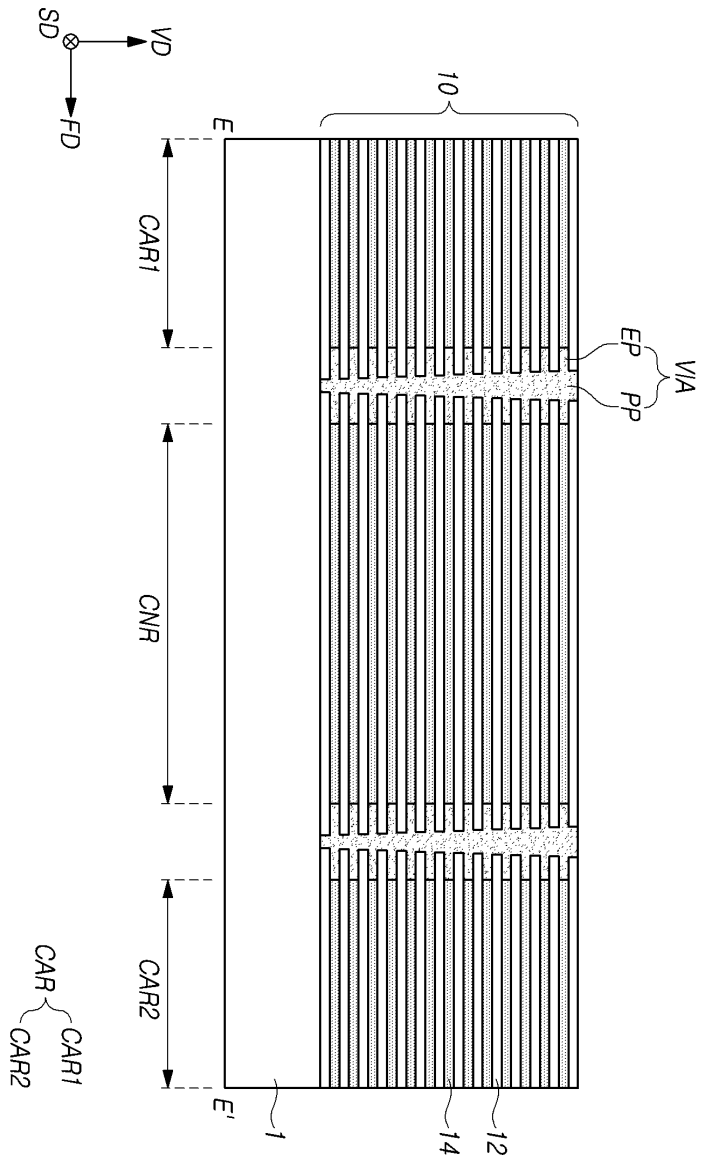
도면16a



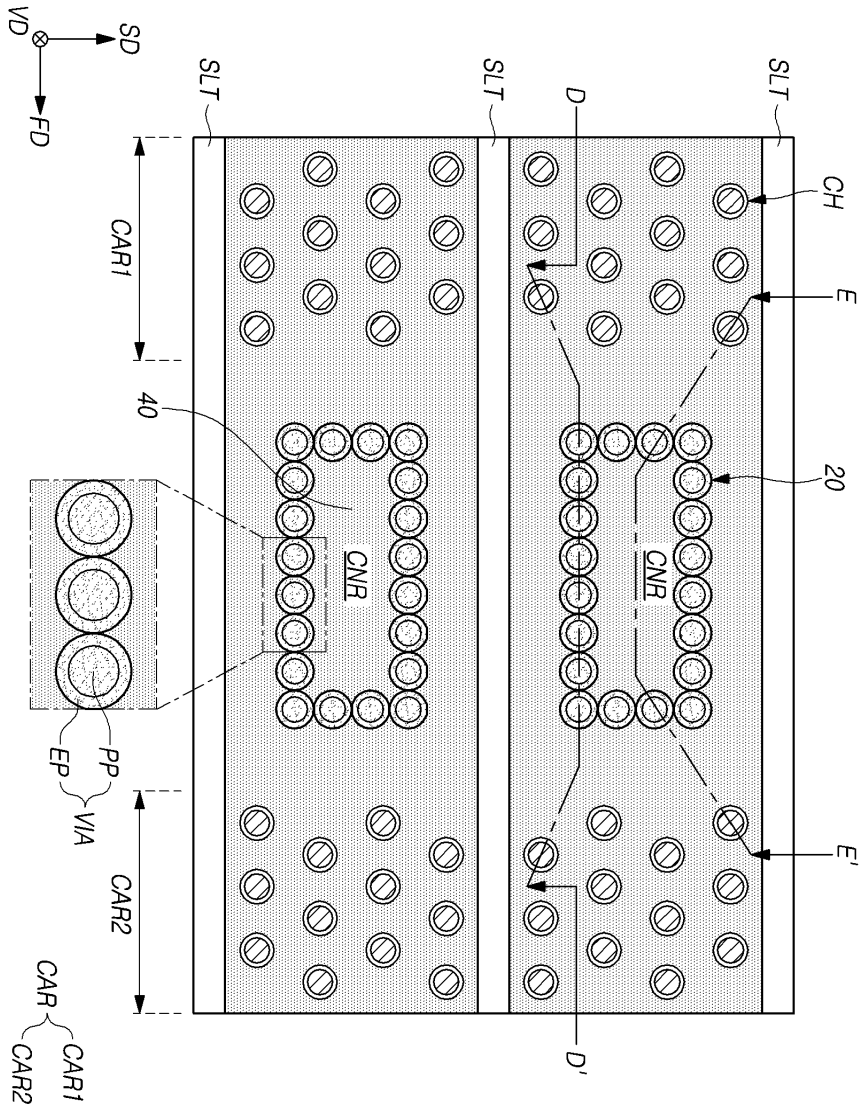
도면16b



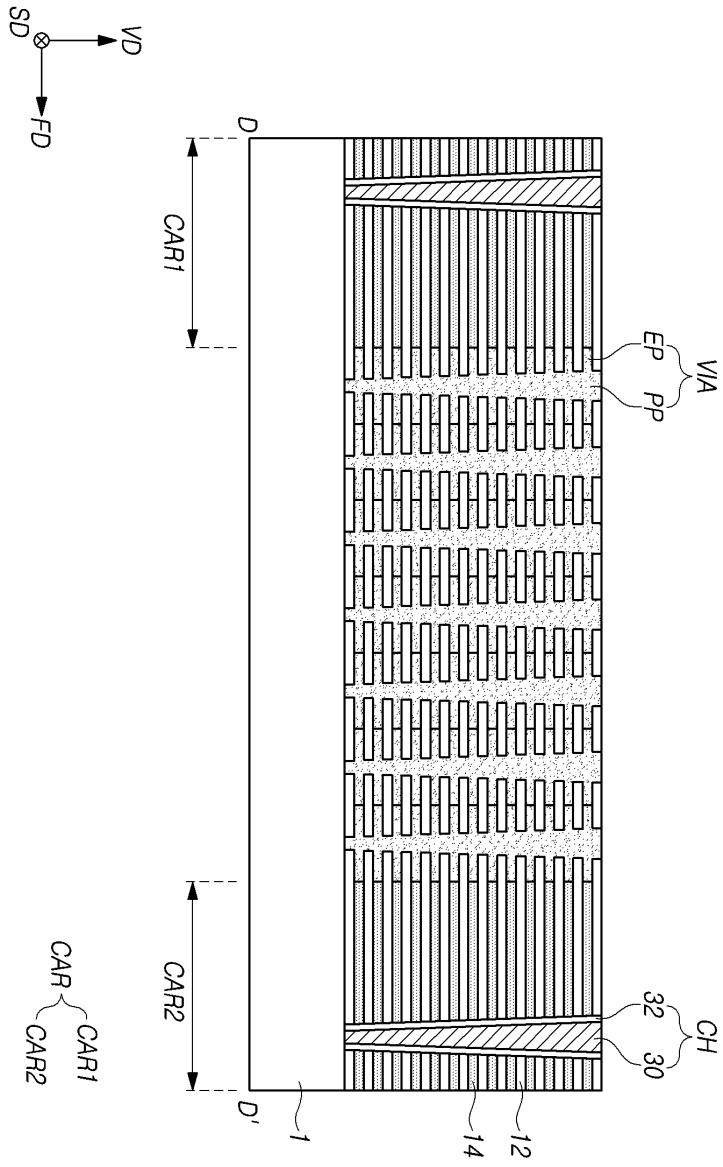
도면16c



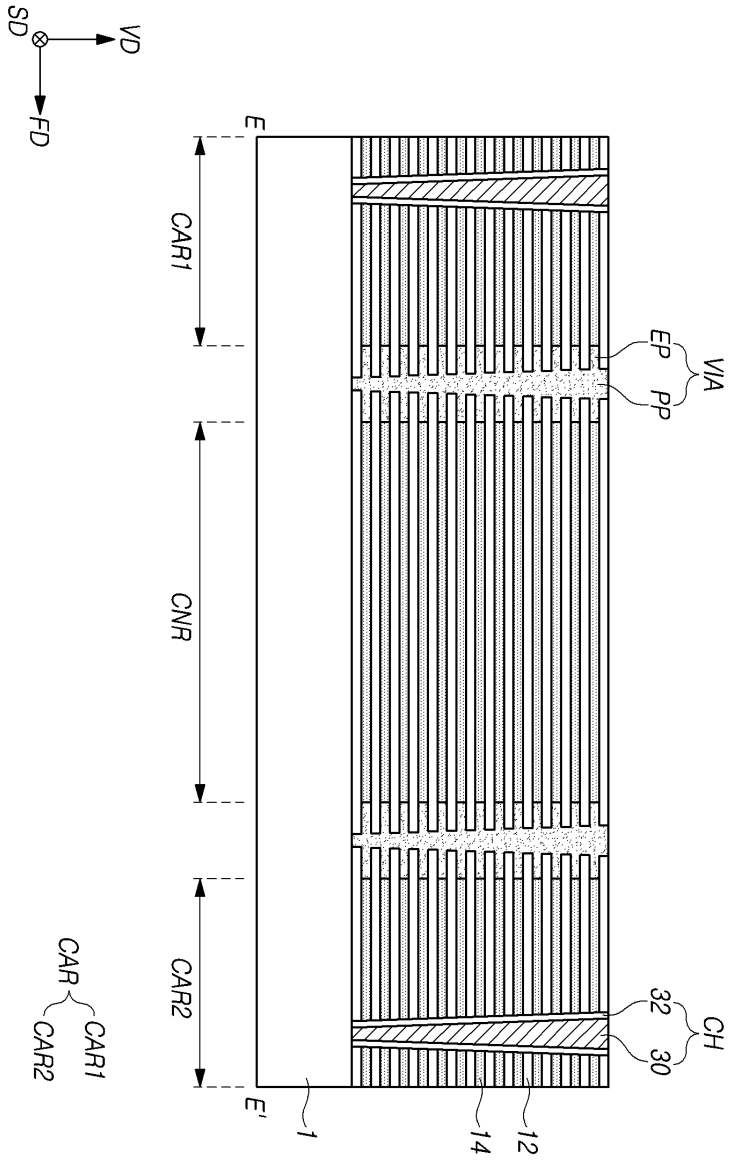
도면17a



도면17b

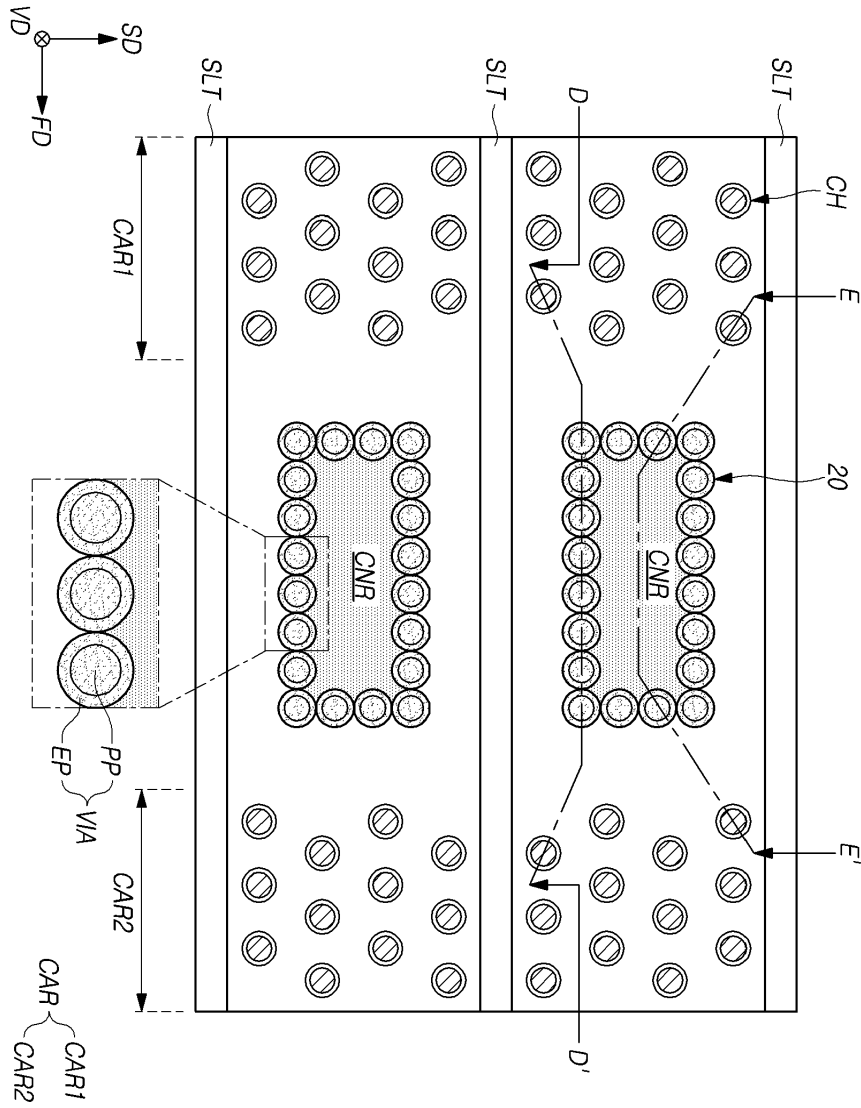


도면17c

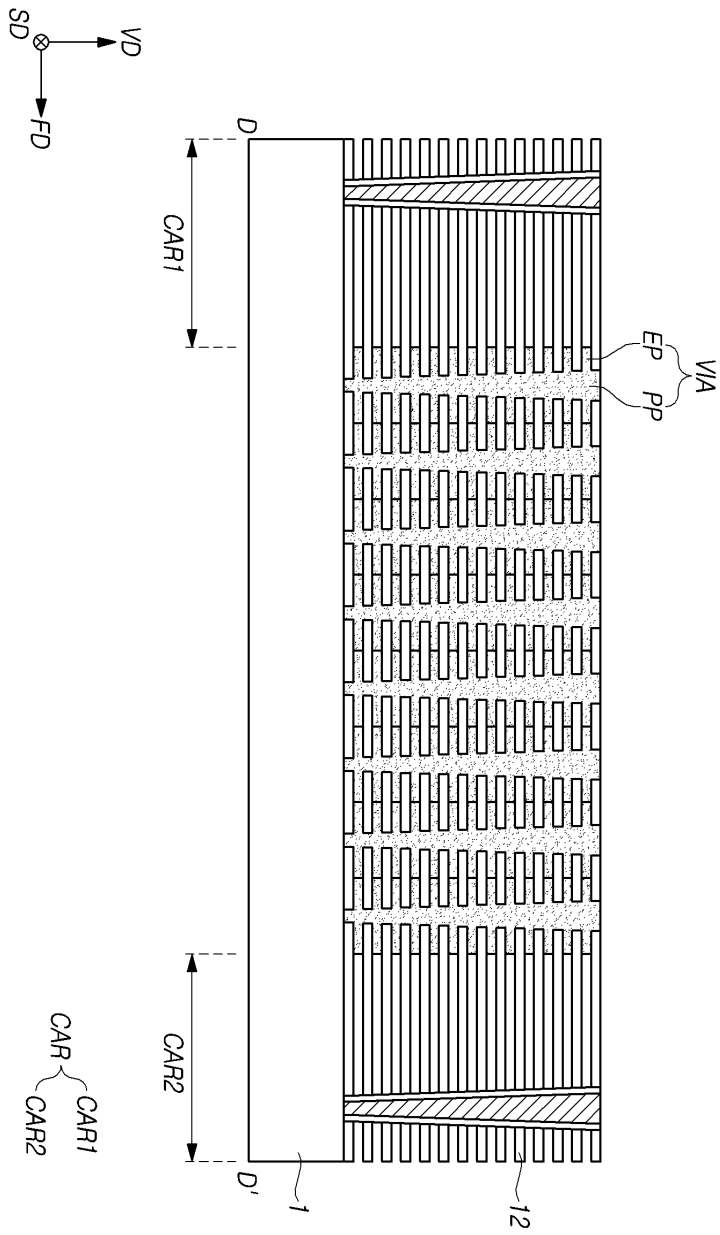




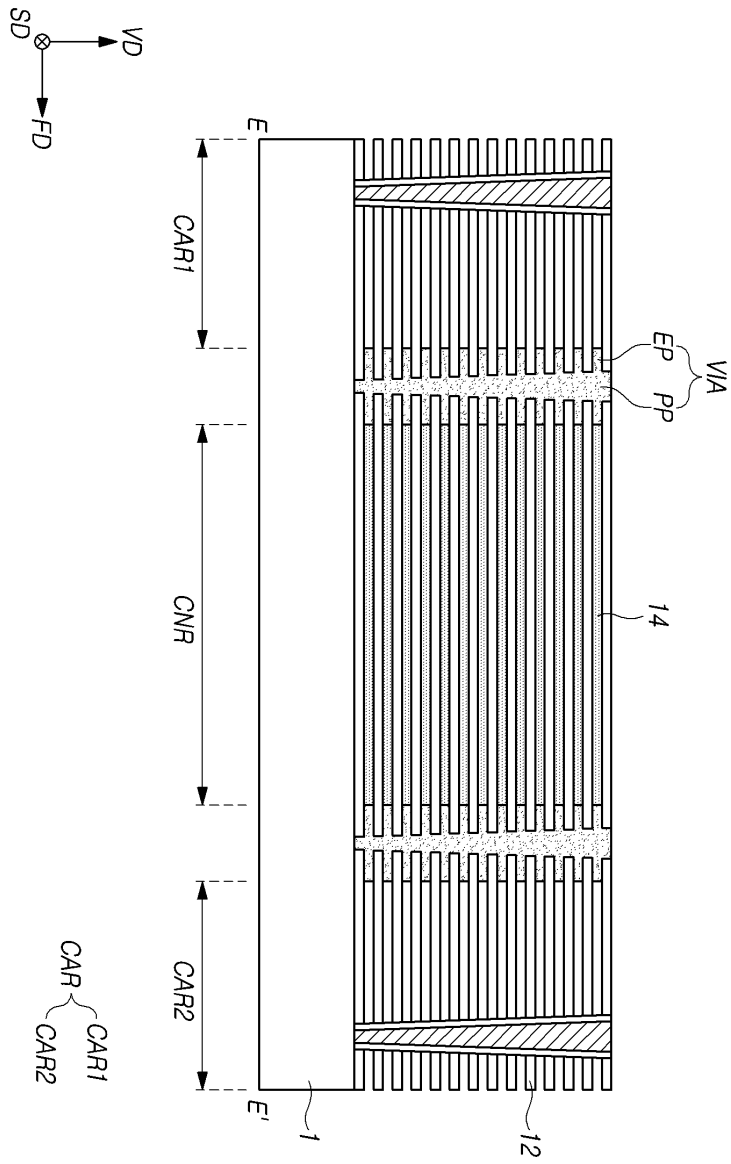
도면18a



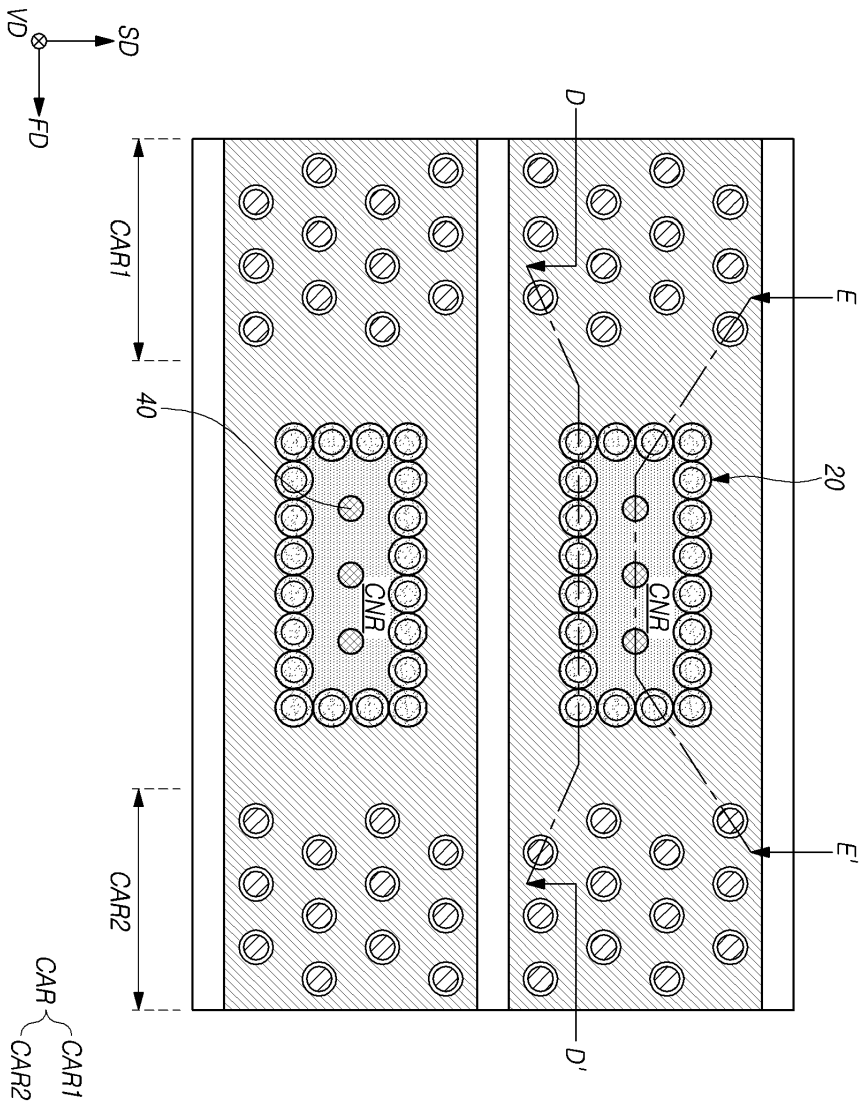
도면18b



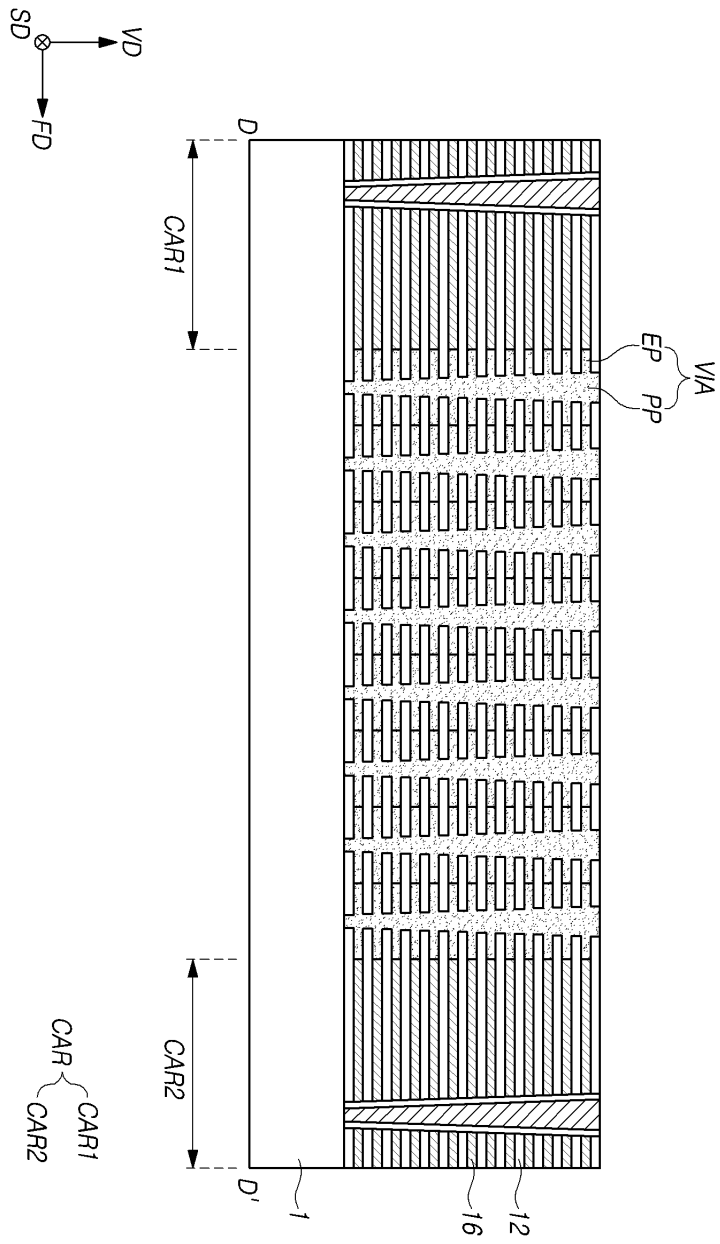
도면18c



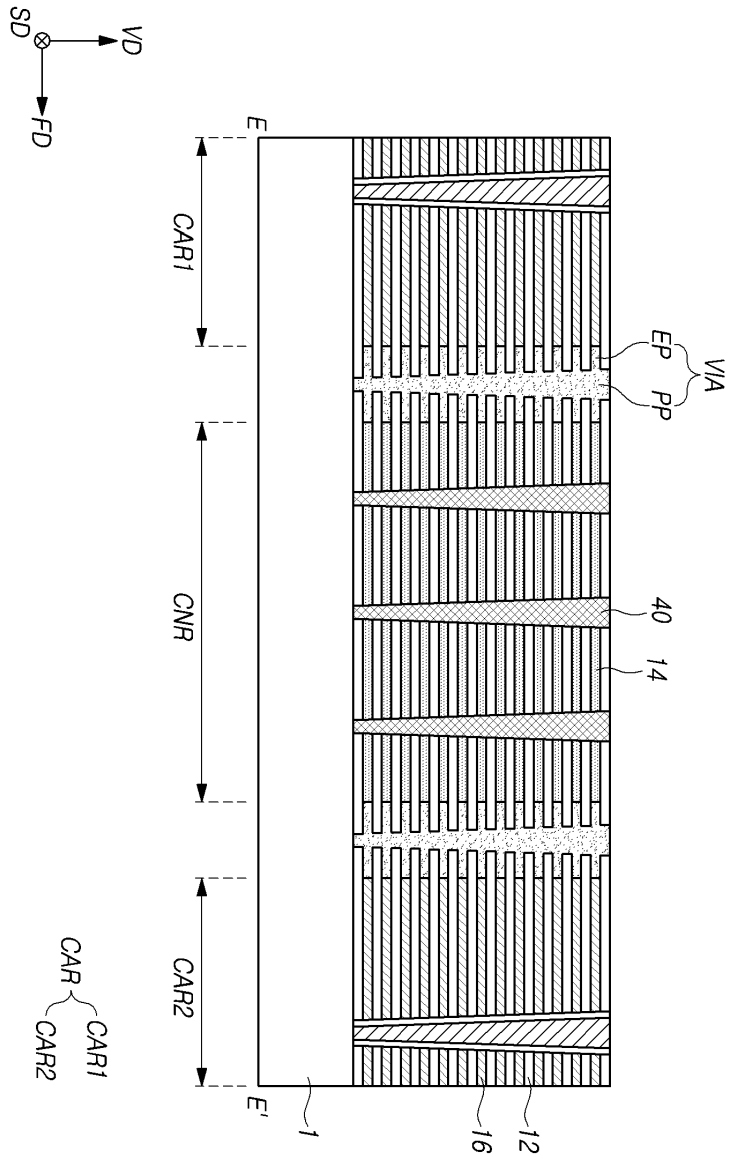
도면19a



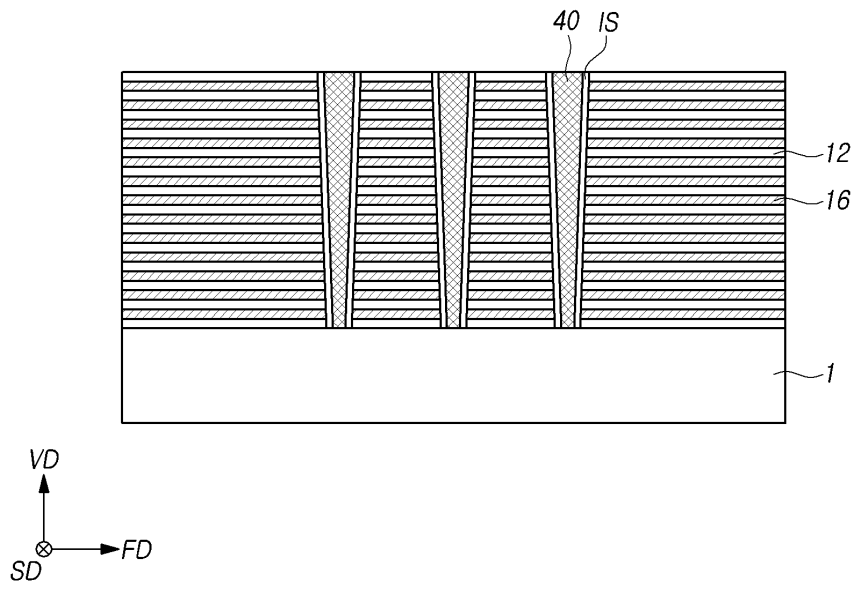
도면19b



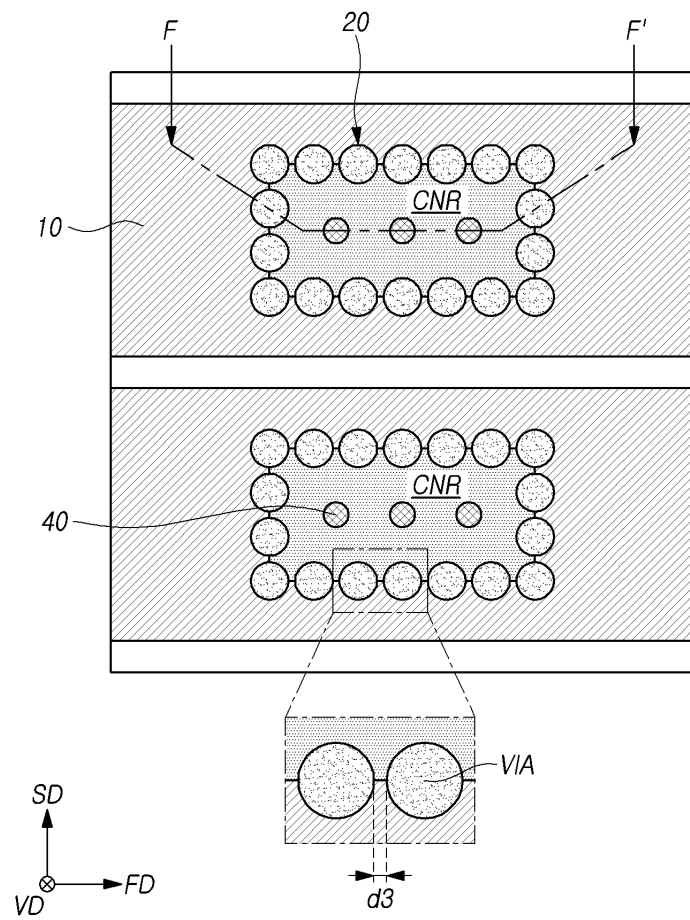
도면19c



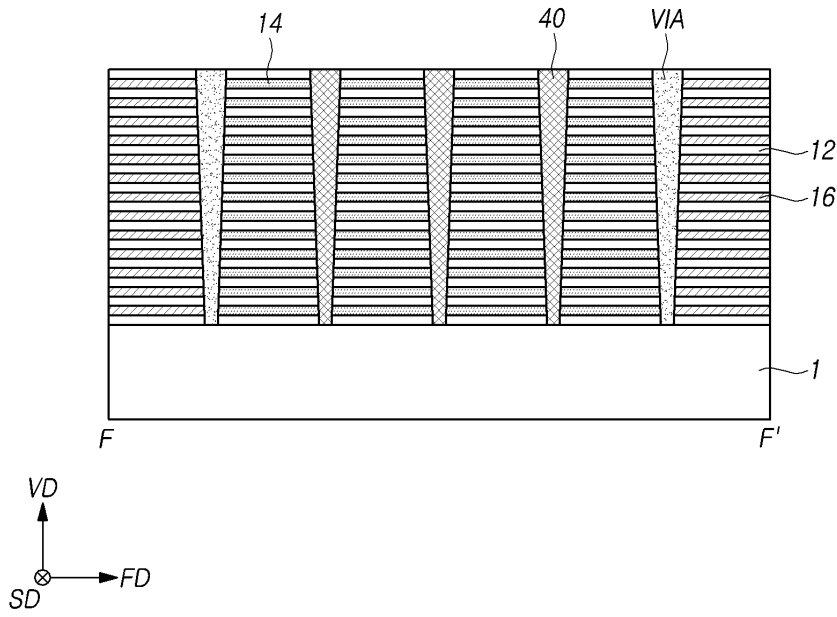
도면20



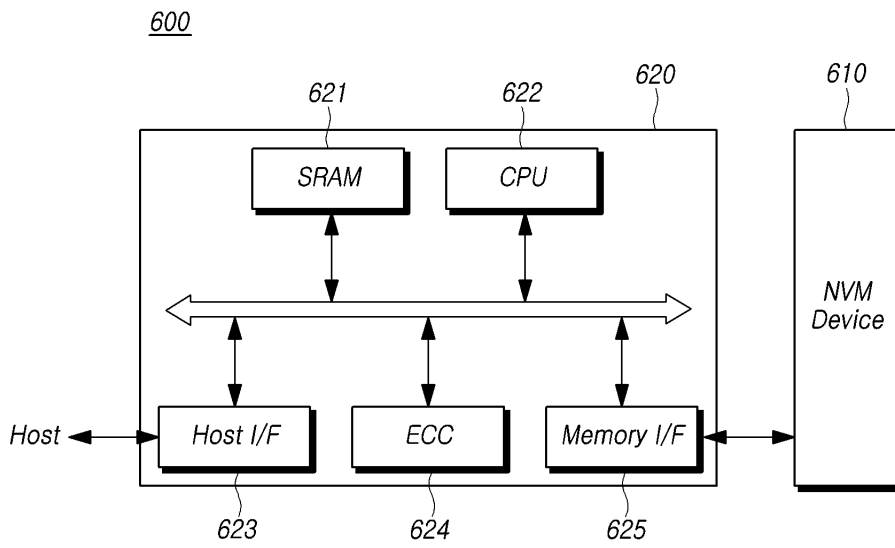
도면21a



도면21b



도면22





도면23

