

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利申请公布说明书

[21] 申请号 200910178517.9

*H01R 13/02 (2006.01)*  
*H01R 13/652 (2006.01)*  
*H01R 13/40 (2006.01)*  
*H01R 12/16 (2006.01)*

[43] 公开日 2010年2月17日

[11] 公开号 CN 101651266A

[22] 申请日 2009.9.27

[21] 申请号 200910178517.9

[71] 申请人 威盛电子股份有限公司

地址 中国台湾台北县

[72] 发明人 李胜源

[74] 专利代理机构 北京市柳沈律师事务所

代理人 彭久云

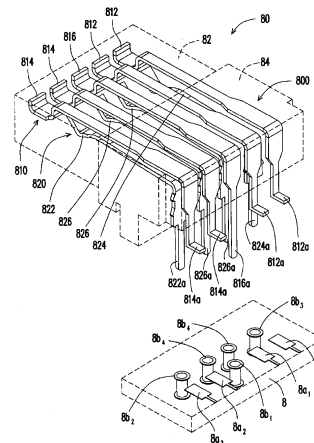
权利要求书 3 页 说明书 5 页 附图 5 页

[54] 发明名称

接脚配置、电连接器及电子组装件

[57] 摘要

本发明公开一种接脚配置，适用于一电连接器。接脚配置包括一接脚列，其包括一对第一差动信号接脚、一对第二差动信号接脚及一位于这两对差动信号接脚之间的接地接脚。这些第一及第二差动信号接脚分别具有一表面安置段，其适于焊接至一电路板的一表面接垫。接地接脚具有一导孔穿置段，其适于焊接至电路板的一贯通导孔。本发明还涉及一种电子组装件。



1. 一种接脚配置，适用于电连接器，该接脚配置包括：第一接脚列，该第一接脚列包括：

一对第一差动信号接脚；

一对第二差动信号接脚；以及

第一接地接脚，位于该两对差动信号接脚之间，

其中该对第一差动信号接脚及该对第二差动信号接脚分别具有表面安置段，其适于焊接至一电路板的表面接垫，而该第一接地接脚具有一导孔穿置段，其适于焊接至该电路板的一贯通导孔。

2. 如权利要求 1 所述的接脚配置，其中该对第一差动信号接脚为通用串行总线 3.0 架构 (Universal Serial Bus 3.0; USB 3.0 架构) 中的一对传送 (Transmitting) 差动信号接脚  $T_x^+$  及  $T_x^-$ ，而该对第二差动信号接脚为 USB 3.0 架构中的一对接收 (Receiving) 差动信号接脚  $R_x^+$  及  $R_x^-$ 。

3. 如权利要求 1 所述的接脚配置，还包括：第二接脚列，其与该第一接脚列并排，该第二接脚列包括：

第二接地接脚；

电源接脚；以及

一对第三差动信号接脚，位于该第二接地接脚及该电源接脚之间，

其中该第二接地接脚、该电源接脚及该对第三差动信号接脚分别具有另一导孔穿置段，其适于焊接至该电路板的另一贯通导孔。

4. 如权利要求 3 所述的接脚配置，其中该对第三差动信号接脚为 USB 3.0 架构中支援 USB 1.0 架构或 USB 2.0 架构的一对传送/接收差动信号接脚  $D^+$  及  $D^-$ 。

5. 如权利要求 3 所述的接脚配置，其中该对第一差动信号接脚为 USB 3.0 架构中的一对传送差动信号接脚  $T_x^+$  及  $T_x^-$ ，而该电源接脚靠近该对传送差动信号接脚  $T_x^+$  及  $T_x^-$  并排配置。

6. 如权利要求 3 所述的接脚配置，其中该对第二差动信号接脚为 USB 3.0 架构中的一对接收差动信号接脚  $R_x^+$  及  $R_x^-$ ，且该第二接地接脚靠近该对接收差动信号接脚  $R_x^+$  及  $R_x^-$  并排配置。

7. 一种电连接器，包括：

金属壳体;

绝缘座体, 连接该金属壳体; 以及

接脚配置, 设于该绝缘座体上, 该接脚配置包括:

第一接脚列, 包括:

对第一差动信号接脚;

对第二差动信号接脚; 以及

第一接地接脚, 位于该两对差动信号接脚之间,

其中该些第一差动信号接脚及该些第二差动信号接脚分别具有表面安置段, 其适于焊接至一电路板的表面接垫, 而该第一接地接脚具有一导孔穿置段, 其适于焊接至该电路板的一贯通导孔。

8. 如权利要求 7 所述的电连接器, 其中该接脚配置还包括:

第二接脚列, 与该第一接脚列并排, 该第二接脚列包括:

第二接地接脚;

电源接脚; 以及

一对第三差动信号接脚, 位于该第二接地接脚及该电源接脚之间,

其中该第二接地接脚、该电源接脚及该对第三差动信号接脚分别具有另一导孔穿置段, 其适于焊接至该电路板的另一贯通导孔。

9. 一种电子组装件, 包括:

电路板, 具有多个表面接垫及多个贯通导孔; 以及

电连接器, 包括:

金属壳体;

绝缘座体, 连接该金属壳体; 以及

接脚配置, 设于该绝缘座体上, 该接脚配置包括:

第一接脚列, 包括:

一对第一差动信号接脚;

一对第二差动信号接脚; 以及

第一接地接脚, 位于该两对差动信号接脚之间,

其中该些第一差动信号接脚及该些第二差动信号接脚分别具有表面安置段, 其焊接至该表面接垫, 而该第一接地接脚具有一导孔穿置段, 其焊接至该贯通导孔。

10. 如权利要求 9 所述的电子组装件, 其中该接脚配置还包括:

第二接脚列，与该第一接脚列并排，该第二接脚列包括：

第二接地接脚；

电源接脚；以及

一对第三差动信号接脚，位于该第二接地接脚及该电源接脚之间，

其中该第二接地接脚、该电源接脚及该对第三差动信号接脚分别具有另一导孔穿置段，其适于焊接至该电路板的另一贯通导孔。

## 接脚配置、电连接器及电子组装件

### 技术领域

本发明涉及一种电连接器，且特别是涉及一种电连接器的接脚配置及其电连接器与电子组装件。

### 背景技术

通用串行总线 3.0 (Universal Serial Bus 3.0; USB 3.0) 是一种从 USB 2.0 所发展出来的信号传输规格，其传输速率可达到 5G bps，而传统 USB 2.0 的传输速率则仅有 480M bps。目前 USB 3.0 电连接器已确定可相容于 USB 2.0 电连接器，意即 USB 3.0 采用了与 USB 2.0 相同的电连接器结构，并增加了数根用来提供 USB 3.0 功能的接脚。因此，在基于 USB 2.0 的电连接器结构下，需要提出 USB 3.0 电连接器结构，以符合要求。

### 发明内容

为解决上述问题，本发明提出一种接脚配置，适用于一电连接器。接脚配置包括一接脚列，其包括一对第一差动信号接脚、一对第二差动信号接脚及一位于这两对差动信号接脚之间的接地接脚。这些第一差动信号接脚及这些第二差动信号接脚分别具有一表面安置段，其适于焊接至一电路板的一表面接垫。接地接脚具有一导孔穿置段，其适于焊接至电路板的一贯通导孔。

本发明还提出一种电连接器，其包括一金属壳体、一连接该金属壳体的绝缘座体及一设于该绝缘座体上的接脚配置。接脚配置包括一接脚列，其包括一对第一差动信号接脚、一对第二差动信号接脚及一位于这两对差动信号接脚之间的接地接脚。这些第一差动信号接脚及这些第二差动信号接脚分别具有一表面安置段，其适于焊接至一电路板的一表面接垫。接地接脚具有一导孔穿置段，其适于焊接至电路板的一贯通导孔。

本发明还提出一种电子组装件，其包括一电路板及一电连接器。电路板具有多个表面接垫及多个贯通导孔。电连接器包括一金属壳体、一连接该金属壳体的绝缘座体及一设于该绝缘座体上的接脚配置。接脚配置包括一接脚

列，其包括一对第一差动信号接脚、一对第二差动信号接脚及一位于这两对差动信号接脚之间的接地接脚。这些第一差动信号接脚及这些第二差动信号接脚分别具有一表面安置段，其焊接至表面接垫。接地接脚具有一导孔穿置段，其焊接至贯通导孔。

基于上述，本发明将电连接器的某些对关键的差动信号引脚，以表面安置的方式焊接至电路板的表面接垫，故可避免影响关键信号的传输，并维持高速信号通道的品质。

为使本发明的上述特征和优点能更明显易懂，下文特举实施例，并配合所附附图作详细说明如下。

#### 附图说明

图 1 及图 2 分别绘示本发明一实施例的一种 USB 3.0 电连接器组装至电路板的前后；

图 3 及图 4 分别绘示本发明另一实施例的一种 USB 3.0 电连接器组装至电路板的前后；

图 5 绘示图 2 及图 4 的安装至电路板的电连接器其 USB 3.0 差动模式的效能比较。

#### 主要元件符号说明

7: 电路板	7b: 贯通导孔
8: 电路板	8a <sub>1</sub> : 表面接垫
8a <sub>2</sub> : 表面接垫	8b <sub>1</sub> : 贯通导孔
8b <sub>2</sub> : 贯通导孔	8b <sub>3</sub> : 贯通导孔
8b <sub>4</sub> : 贯通导孔	70: 电连接器
72: 金属壳体	74: 绝缘座体
80: 电连接器	82: 金属壳体
84: 绝缘座体	700: 接脚配置
710: 接脚列	720: 接脚列
712: 差动信号接脚	714: 差动信号接脚
716: 接地接脚	720: 接脚列
722: 接地接脚	724: 电源接脚
726: 差动信号接脚	800: 接脚配置

810: 接脚列	820: 接脚列
812: 差动信号接脚	812a: 表面安置段
814: 差动信号接脚	814a: 表面安置段
816: 接地接脚	816a: 导孔穿置段
820: 接脚列	822: 接地接脚
822a: 导孔穿置段	824: 电源接脚
824a: 导孔穿置段	826: 差动信号接脚
826a: 导孔穿置段	

### 具体实施方式

图 1 及图 2 分别绘示本发明一实施例的一种 USB 3.0 电连接器组装至电路板的前后。本实施例的一种电连接器 70 适于焊接至一电路板 7，并与电路板 7 构成了一电子组装体（electric assembly）。

电连接器 70 包括一金属壳体 72、一连接金属壳体 72 的绝缘座体 74 及一设于绝缘座体 74 上的接脚配置 700，而接脚配置 700 包括一接脚列 710 及另一与接脚列 710 相并排的接脚列 720。

接脚列 710 包括一对差动信号接脚 712、另一对差动信号接脚 714 及一位于这两对差动信号接脚 712 及 714 之间的接地接脚 716。在本实施例中，这对差动信号接脚 712 为 USB 3.0 架构中的一对传送差动信号接脚  $T_x^+$  及  $T_x^-$ ，而另一对差动信号接脚 714 为 USB 3.0 架构中的一对接收差动信号接脚  $R_x^+$  及  $R_x^-$ 。

接脚列 720 包括一接地接脚 722、一电源接脚 724 及一对位于接地接脚 722 及电源接脚 724 之间的差动信号接脚 726。在本实施例中，这对差动信号接脚 726 为 USB 3.0 架构中支援 USB 1.0 架构或 USB 2.0 架构的一对传送/接收差动信号接脚  $D^+$  及  $D^-$ 。

在 USB 3.0 架构中，传送差动信号接脚（ $T_x^+$  及  $T_x^-$ ）与接收差动信号接脚（ $R_x^+$  及  $R_x^-$ ）为一全双功传输模式，亦即信号的传送或接收可以直接进行。另外，传送/接收差动信号接脚（ $D^+$  及  $D^-$ ）为一半双功传输模式，亦即信号的传送或接收只能择一进行。意即，当进行数据传送时，就无法进行数据接收，而当进行数据接收时，就无法进行数据传送。

为了确保电连接器 70 能稳固地安装在电路板 7 上，前述所有的接脚都

以导孔穿置的方式焊接至电路板 7 的贯通导孔 7b。此外，为了预防连接于两不同金属层之间的贯通导孔（through via）引起寄生特性（the parasitics）而影响信号传播（signal propagation）的效能，USB 3.0 的高速信号（ $T_x^+$ 及  $T_x^-$  和  $R_x^+$ 及  $R_x^-$ ）通常分布在电路板 7 的表面金属层。

图 3 及图 4 分别绘示本发明另一实施例的一种 USB 3.0 电连接器组装至电路板的前后。请参考图 3 及图 4，本实施例的一种电连接器 80 适于焊接至一电路板 8，并与电路板 8 构成了一电子组装体。

电连接器 80 包括一金属壳体 82、一连接金属壳体 82 内的绝缘座体 84 及一设于绝缘座体 84 上的接脚配置 800，而接脚配置 800 包括一接脚列 810 及另一与接脚列 810 相并排的接脚列 820。

接脚列 810 包括一对差动信号接脚 812、另一对差动信号接脚 814 及一位于这两对差动信号接脚 812 及 814 之间的接地接脚 816。在本实施例中，这对差动信号接脚 812 为 USB 3.0 架构中的一对传送差动信号接脚  $T_x^+$  及  $T_x^-$ ，而另一对差动信号接脚 814 为 USB 3.0 架构中的一对接收差动信号接脚  $R_x^+$  及  $R_x^-$ 。

这对差动信号接脚 812 分别具有一表面安置段 812a，其适于焊接至电路板 8 的表面接垫 8a<sub>1</sub>，这对差动信号接脚 814 分别具有一表面安置段 814a，其也适于焊接至电路板 8 的表面接垫 8a<sub>2</sub>。接地接脚 816 具有一导孔穿置段 816a，其适于焊接至电路板 8 的一贯通导孔 8b<sub>1</sub>。

接脚列 820 包括一接地接脚 822、一电源接脚 824（例如：Vcc）及一对位于接地接脚 822 及电源接脚 824 之间的差动信号接脚 826。在本实施例中，这对差动信号接脚 826 为 USB 3.0 架构中支援 USB 1.0 架构或 USB 2.0 架构的一对传送/接收差动信号接脚  $D^+$  及  $D^-$ 。此外，接地接脚 822 靠近另一对差动信号接脚 814（例如：接收差动信号接脚  $R_x^+$  及  $R_x^-$ ）并排配置，而电源接脚 824 靠近另一对差动信号接脚 812（例如：传送差动信号接脚  $T_x^+$  及  $T_x^-$ ）并排配置。

接地接脚 822 具有一导孔穿置段 822a，其适于焊接至电路板 8 的一贯通导孔 8b<sub>2</sub>，电源接脚 824 具有一导孔穿置段 824a，其适于焊接至电路板 8 的一贯通导孔 8b<sub>3</sub>，而这对第三差动信号接脚 826 分别具有一导孔穿置段 826a，其适于焊接至电路板 8 的一贯通导孔 8b<sub>4</sub>。

图 5 绘示图 2 及图 4 的安装至电路板的电连接器其 USB 3.0 差动模式的



效能比较。请参考图 5，由于 USB 3.0 的信号速度达到 5 Gbps，所以对应的时钟脉冲为 2.5 GHz。最好考虑将通道效能提升到三倍频率范围，即 7.5 GHz。

从 USB 3.0 差动模式的响应比较来看，图 4 的以表面安置方式焊接至电路板的差动信号接脚的差动返回耗损 (differential return loss) Sdd11\_smd 具有较大的频宽，而图 2 的以导孔穿置方式焊接至电路板的差动信号接脚的差动返回耗损 Sdd11\_org 具有较小的频宽。

随着返回耗损的显著改善，相比较于图 2 的既有结构的差动介入耗损 (differential insertion loss) Sdd12\_org，图 4 的本实施例的差动介入耗损 Sdd12\_smd 也有所提升，特别是在较高频的范围。此外，改善后的介入耗损 Sdd12\_smd 的响应跳动效应 (response ringing effect) 更小于原有的差动介入耗损 Sdd12\_org。

由上可知，对于信号传播而言，图 4 相比较于图 2 提供了一个较好的信号通道。这个原因可能在于，图 2 的电连接器结构其两对差动信号接脚 712 及 714 (参照图 1) 的位于电路板 7 内及突出于电路板 7 下方的部分会引起较大的寄生电容 (parasitic capacitance)，并在较高频率引起响应，如此会对信号通道的品质造成影响，并衰减所传播的信号。

综上所述，本发明将电连接器的某些对关键的差动信号引脚，以表面安置的方式焊接至电路板的表面接垫，故可避免影响关键信号的传输，并维持高速信号通道的品质。

除此之外，本发明改变了电连接器的某些对关键的差动信号接脚的形状，以使其可焊接至电路板的表面接垫，因此电连接器的其他元件仍可沿用既有的 USB 3.0 电连接器，因而节省了电连接器的开发成本。

虽然结合以上实施例揭露了本发明，然而其并非用以限定本发明，任何所属技术领域熟悉此技术者，在不脱离本发明的精神和范围内，当可作些许的更动与润饰，故本发明的保护范围应以附上的权利要求所界定的为准。

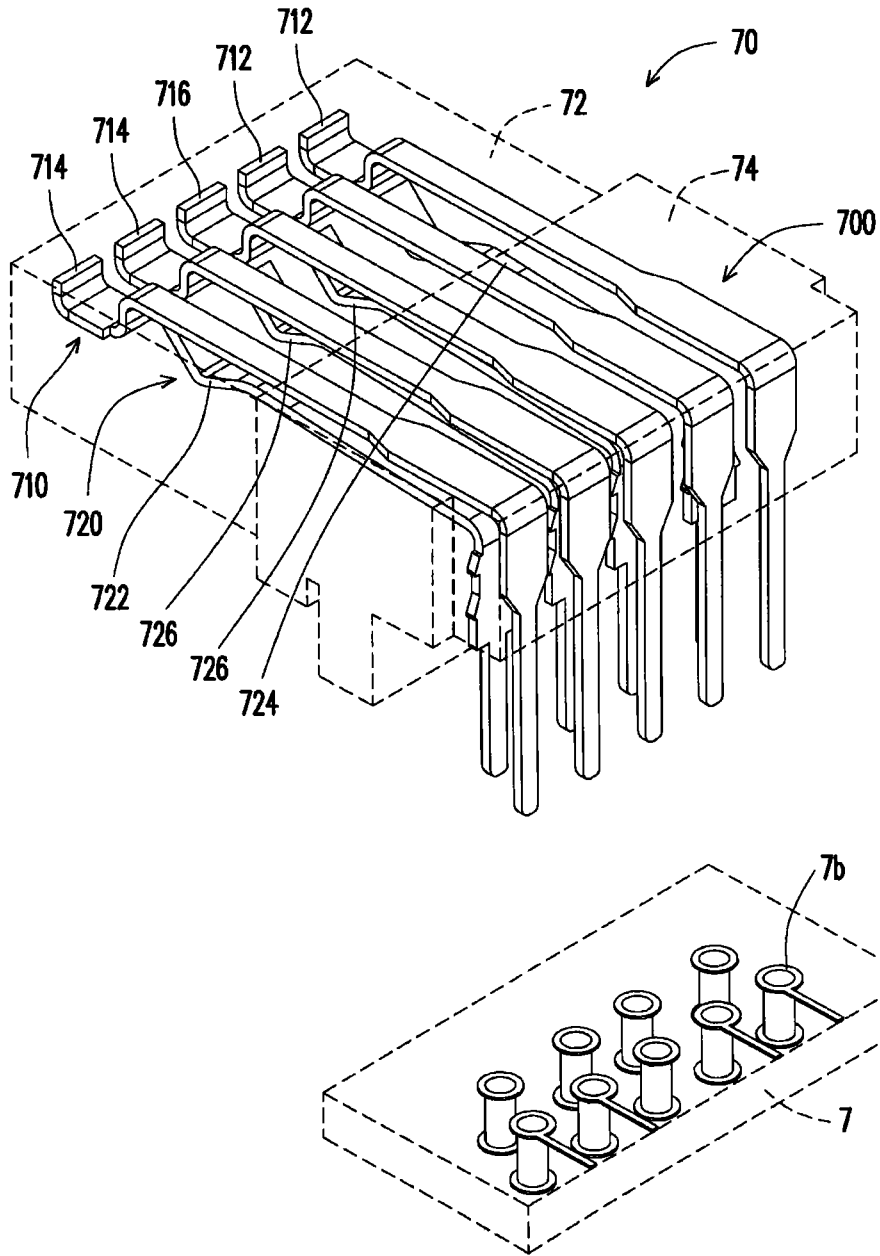


图 1

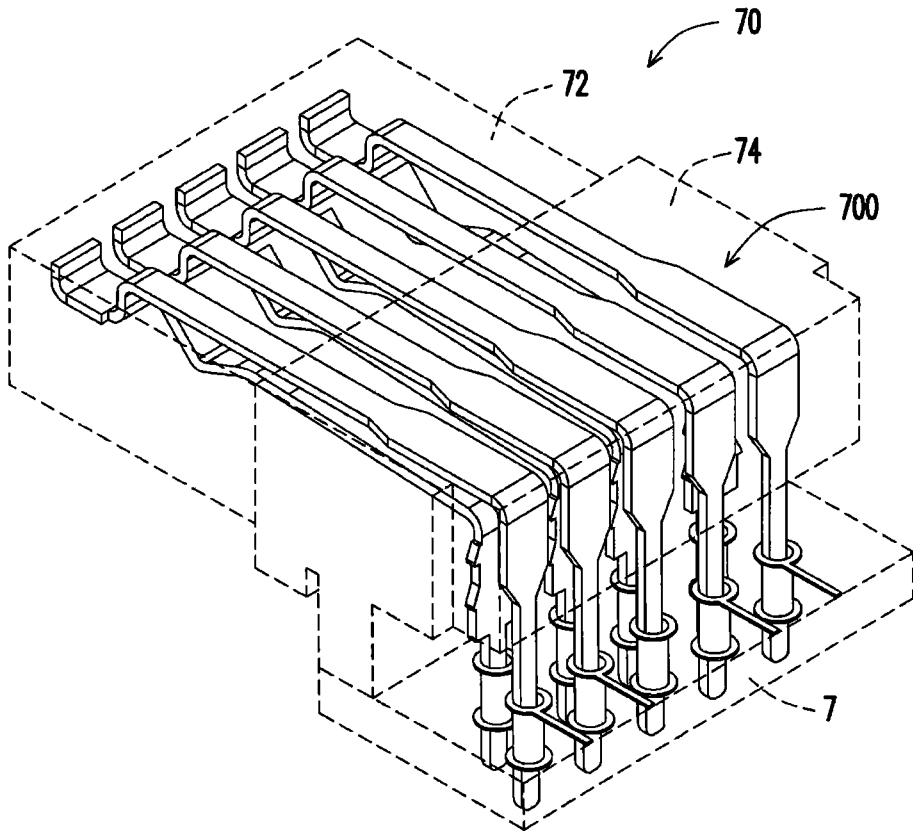


图 2

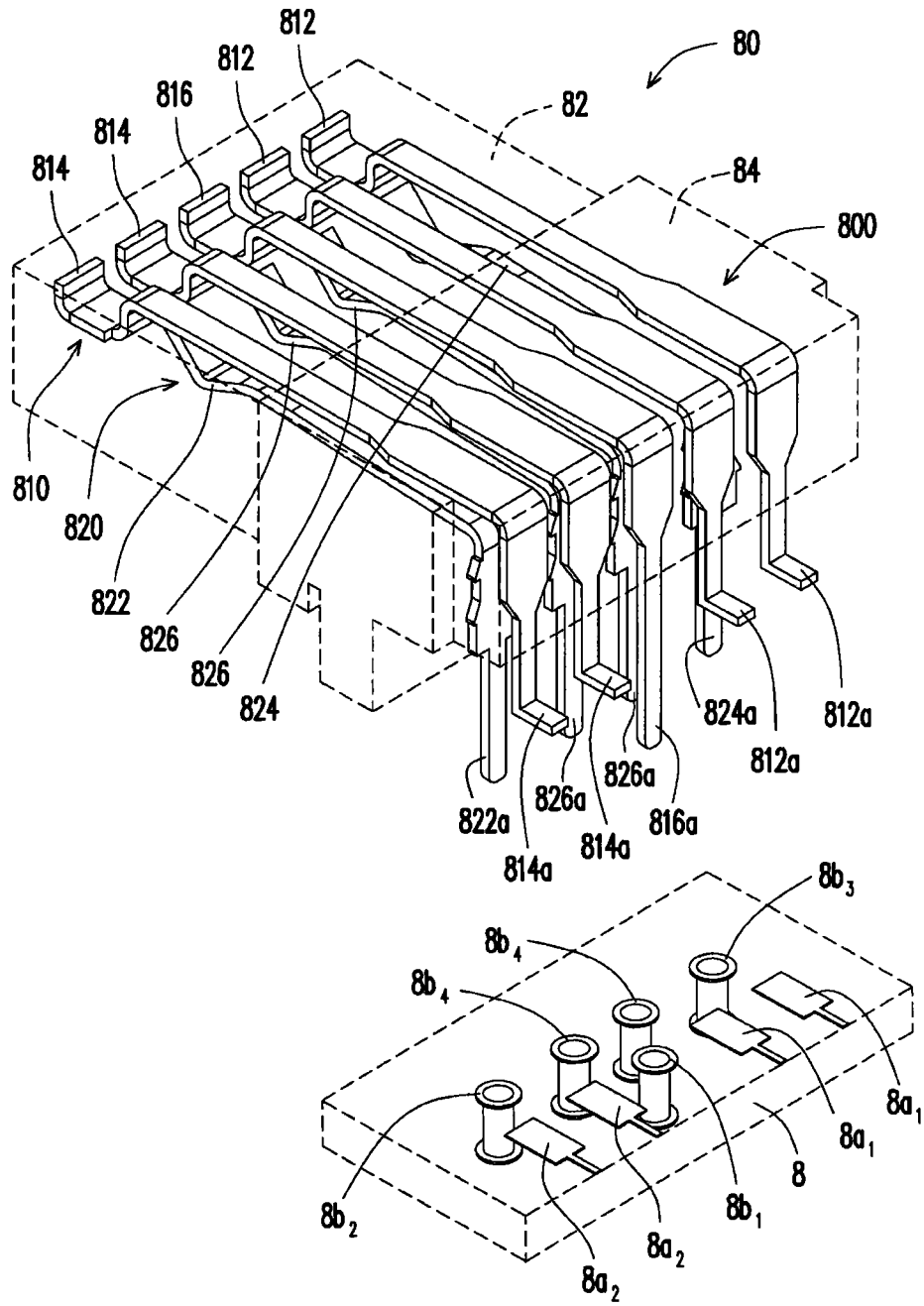


图 3

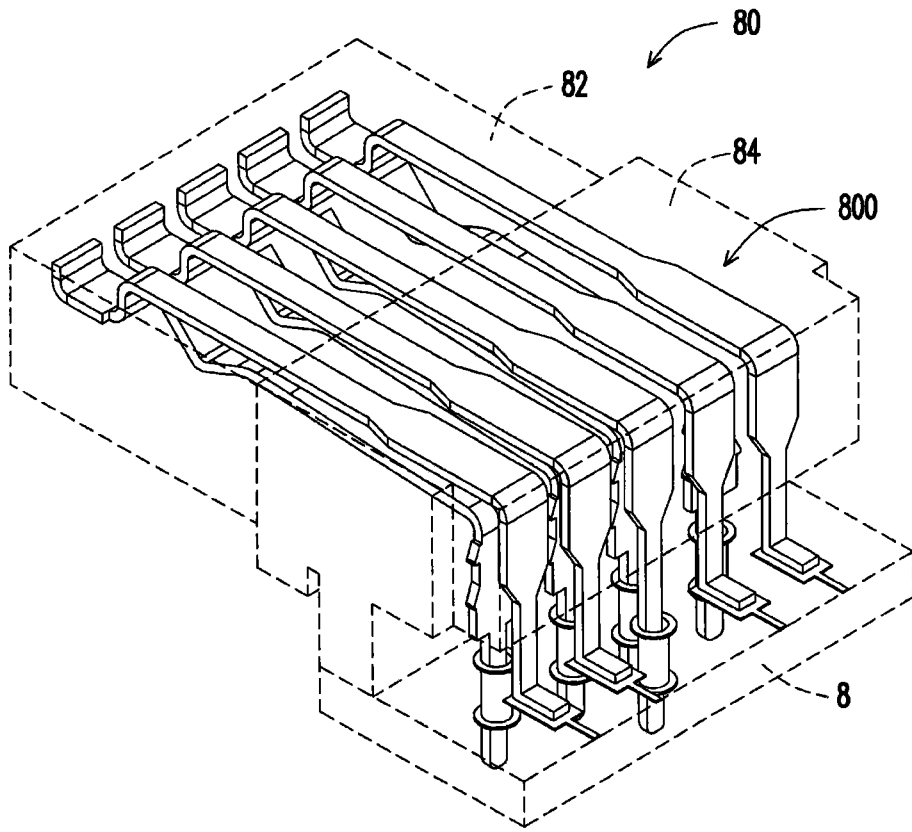


图 4

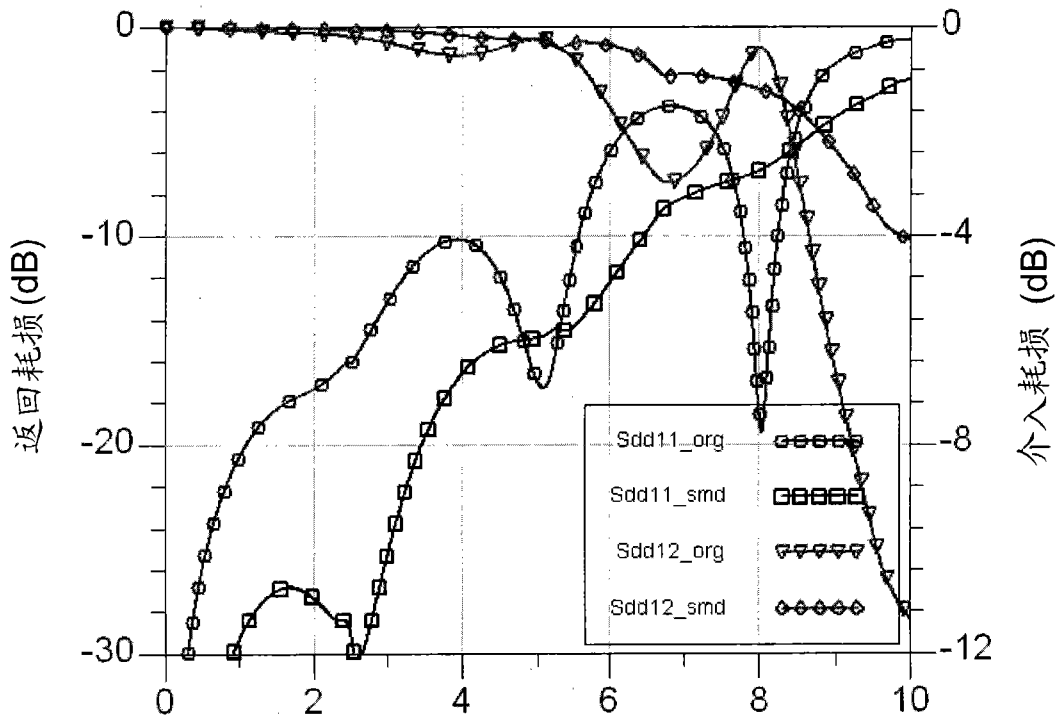


图 5