

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200610144540.2

[51] Int. Cl.

H01L 21/84 (2006.01)
H01L 21/8234 (2006.01)
H01L 21/336 (2006.01)
H01L 27/12 (2006.01)
H01L 27/088 (2006.01)
H01L 29/78 (2006.01)

[43] 公开日 2007 年 5 月 23 日

[11] 公开号 CN 1967812A

[22] 申请日 2006. 11. 10

[21] 申请号 200610144540.2

[30] 优先权

[32] 2005. 11. 15 [33] US [31] 11/164,215

[71] 申请人 国际商业机器公司

地址 美国纽约

[72] 发明人 E·J·诺瓦克 T·卢德维格

M·艾昂 欧阳齐庆

[74] 专利代理机构 北京市中咨律师事务所

代理人 于静 李峥

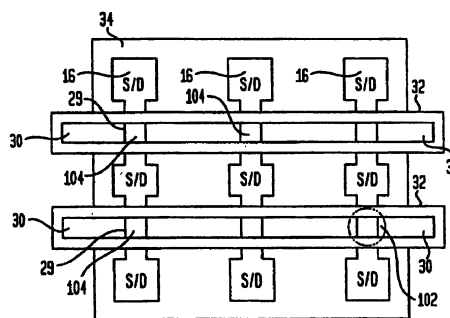
权利要求书 3 页 说明书 10 页 附图 5 页

[54] 发明名称

具有准自对准源极/漏极 FinFET 的半导体器件及其形成方法

[57] 摘要

提供一种形成包括多个鳍片场效应晶体管器件的半导体结构的方法，在该方法中采用交叉掩模提供矩形图形，以与化学氧化物去除 (COR) 工艺一起限定相对薄的鳍片。本发明还包括通过使用选择性含硅材料合并相邻鳍片的步骤。本发明还涉及利用本发明的方法形成得到的半导体结构。



1.一种形成半导体结构的方法，包括以下步骤：

提供包括多个构图的材料叠层以及多个构图的光掩模的结构，所述多个构图的材料叠层包括半导体衬底的表面上的氧化物硬掩模的顶上的氮化物层，所述多个构图的光掩模交叉所述多个构图的材料叠层；

进行化学氧化物去除步骤，所述化学氧化物去除步骤横向蚀刻，至少暴露未被一个所述构图的光掩模保护的每个材料叠层的所述氧化物硬掩模的侧壁；

去除所述多个构图的光掩模，以暴露包括所述氮化物层下方的横向蚀刻的氧化物硬掩模的构图的材料叠层；

进行对所述横向蚀刻的氧化物硬掩模有选择性的各向异性蚀刻工艺，以去除所述氮化物层和未被所述横向蚀刻的氧化物硬掩模保护的所述半导体衬底的任何半导电材料的至少上部，由此形成鳍片；以及

形成交叉所述鳍片的多个栅极区。

2. 根据权利要求 1 的方法，还包括在每个所述鳍片之间形成含 Si 材料，以接合相邻的鳍片。

3. 根据权利要求 2 的方法，其中所述含 Si 材料包括单晶 Si、SiGe 或 SiGeC 中的一种。

4. 根据权利要求 1 的方法，其中所述半导体衬底为 SOI 或体半导体。

5. 根据权利要求 1 的方法，其中所述化学氧化物去除步骤包括利用 HF 和氨的气态或蒸气混合物，其中 HF 与氨的比率约为 1:10 到约 10:1。

6. 根据权利要求 1 的方法，还包括去除暴露先前被所述横向蚀刻的氧化物硬掩模保护的所述半导体衬底的所述半导电材料的上部的所述横向蚀刻的氧化物硬掩模。

7. 根据权利要求 1 的方法，其中每个鳍片具有相对于其中部的较宽端部，并且形成所述栅极区以便交叉所述中部，并且在所述较宽端部内形成源极/漏极区。

8. 根据权利要求 1 的方法, 还包括在每个鳍片的端部中形成源极/漏极区, 每个鳍片的所述端部基本上为正方形。

9. 一种形成半导体结构的方法, 包括以下步骤:

提供多个构图的材料叠层以及多个构图的光掩模, 所述多个构图的材料叠层包括 SOI 衬底的顶部导电层的表面上的氧化物硬掩模的顶上的氮化物层, 所述多个构图的光掩模交叉所述多个构图的材料叠层;

进行化学氧化物去除步骤, 所述化学氧化物去除步骤横向蚀刻, 至少暴露未被一个所述构图的光掩模保护的每个材料叠层的所述氧化物硬掩模的侧壁;

去除所述多个构图的光掩模, 以暴露包括所述氮化物层下方的横向蚀刻的氧化物硬掩模的构图的材料叠层;

进行对所述横向蚀刻的氧化物硬掩模有选择性的各向异性蚀刻工艺, 以去除所述氮化物层和未被所述横向蚀刻的氧化物硬掩模保护的所述 SOI 衬底的至少所述所述顶部导电层, 在所述 SOI 衬底的绝缘埋层上停止;

暴露先前被所述横向蚀刻的氧化物硬掩模保护的所述 SOI 衬底的所述顶部导电层的上部以及所述绝缘埋层的暴露部分, 其中先前被所述横向蚀刻的氧化物硬掩模保护的所述 SOI 衬底的所述暴露的顶部导电层的部分限定鳍片; 以及

形成交叉所述鳍片的多个栅极区。

10. 根据权利要求 9 的方法, 还包括在每个所述鳍片之间形成含 Si 材料, 以接合相邻的鳍片。

11. 根据权利要求 9 的方法, 其中所述化学氧化物去除步骤包括利用 HF 和氨的气态或蒸气混合物, 其中 HF 与氨的比率约为 1:10 到约 10:1。

12. 根据权利要求 9 的方法, 还包括形成位于每个栅极区周围的栅极隔离物。

13. 一种半导体结构, 包括:

位于半导体衬底的表面上的多个鳍片场效应晶体管器件, 每个所述鳍片场效应晶体管器件包括相对于其中部具有较宽端部的高位导电层, 交

又所述中部的栅极区，以及在所述较宽端部内的源极/漏极区；以及
位于接合每个高位半导体层的所述高位导电层之间的含 Si 材料。

14. 根据权利要求 13 的半导体结构，其中所述高位导电层为 SOI 衬底的顶部导电层，所述 SOI 衬底包括构图或未构图的绝缘埋层和未构图的底部导电层。

15. 根据权利要求 14 的半导体结构，其中所述高位半导体层为含 Si 半导体，并且所述绝缘埋层为氧化物。

16. 根据权利要求 13 的半导体结构，其中每个栅极区包括栅极介质和栅电极。

17. 根据权利要求 13 的半导体结构，还包括位于每个栅极区周围的栅极隔离物。

18. 根据权利要求 13 的半导体结构，其中所述高位导电层为体半导体衬底的上表面层。

19. 根据权利要求 13 的半导体结构，其中所述含 Si 材料包括单晶 Si、SiGe 或 SiGeC 中的一种。

20. 根据权利要求 13 的半导体结构，其中所述高位导电层的所述端部基本上为正方形。

具有准自对准源极/漏极 FinFET 的半导体器件及其形成方法

技术领域

本发明涉及半导体器件处理，更具体涉及形成包括至少多个鳍片场效应晶体管 (FinFET) 器件的半导体结构的方法，在该方法中使用单个掩模限定鳍片 (Fin)，该方法避免了 Fin 与源极/漏极区接合处的拐角的变圆 (rounding)。贯穿本申请使用术语“Fin”，以表示至少包括这样的器件沟道的半导体衬底的半导体层的高位 (elevated) 部分，所述器件沟道的宽度小于其高度。本发明还涉及利用本发明方法制造的包括多个 FinFET 器件的半导体结构。

背景技术

由于按比例缩小为更小的尺寸导致器件性能的持续提高，在过去的 30 年左右内，半导体场效应晶体管 (FET) 的尺寸稳定地缩小。平面 FET 器件具有位于半导体沟道上方的导电栅电极，并通过栅极氧化物薄层与沟道电隔离。通过对导电栅极施加电压，控制通过沟道的电流。

对于给定的器件长度，通过器件宽度 (w) 限定用于 FET 的电流驱动量。电流驱动的量与器件宽度成比例，较宽器件比较窄器件承载更多电流。集成电流 (IC) 的不同部件需要 FET 驱动不同量的电流，即，具有不同的器件宽度，这在平面 FET 器件中通过仅仅改变器件栅极的宽度(通过光刻)很容易实现。

随着常规平面 FET 的尺寸达到基本极限，半导体工业正考虑有利于器件性能的持续提高的更加非常规的几何形状。这类器件中的一种就是鳍片 FinFET。

FinFET 是一种双栅 FET，其中器件沟道在半导体“Fin”内，该半导

电“Fin”具有宽度 w 和高度 h ，典型地 $w < h$ 。栅极介质和栅极位于 Fin 周围，以使电荷沿在 Fin 的两侧向下并可选地沿顶面流动。

典型地 FinFET 器件包括 Fin 中的完全耗尽体区，这提供优于常规 FET 的多个优点。这些优点包括，例如，在亚阈值状态的近乎理想的关断，提供较低的关态电流和/或允许较低的阈值电压，没有由体效应引起的漏电流损耗，没有‘浮置’体效应（经常与一些绝缘体上硅（SOI）FET 相关联），较高的电流密度，较低的工作电压，以及阈值电压和关态电流的降低的短沟道劣化。而且，FinFET 比常规 FET 和 SOI FET 更容易按比例缩小为较小的物理尺寸和较低的工作电压。

在现有技术中由于 Fin 与宽源极/漏极区接合处的拐角变圆，很难通过单个掩模限定半导体 Fin 和源极/漏极区。结果，既没有用于使栅极对准有源半导体材料的空间，也没有用于延伸注入 Fin 侧壁的空间。

用于单独构图硅的源极和漏极区以接合 Fin 的掩模提供了用于解决变圆问题的方案，但是对 Fin 增加了用于增加的掩模的额外覆盖，如果各种掩模的对准（registration）不是近乎完美，在源极和漏极接合区与栅电极之间留下的用于延伸注入的空间将很小。

根据上述情况，需要提供一种方法，其可以通过单个掩模来限定 Fin 和源极/漏极区，该方法避免了上述变圆问题以及使用额外覆盖的需要。

发明内容

本发明提供一种使用简单矩形限定鳍片来克服上述问题的方法，该方法通过沉积选择性含硅材料栅极后蚀刻（post gate etch），避免了变圆并仍然接合鳍片。更具体地，本发明提供一种形成包括多个鳍片场效应晶体管器件的半导体结构的方法，在该方法中，采用交叉掩模提供线性图形，以与化学氧化物去除（COR）工艺一起限定相对薄的鳍片。本发明方法还包括通过使用选择性的含硅材料合并相邻的鳍片的步骤。

概括地说，本发明提供一种包括如下步骤的方法：

提供包括多个构图的材料叠层以及多个构图的光掩模的结构，所述多

个构图的材料叠层包括半导体衬底的表面上的氧化物硬掩模的顶上的氮化物层，所述多个构图的光掩模交叉所述多个构图的材料叠层；

进行化学氧化物去除步骤，所述化学氧化物去除步骤横向蚀刻，至少暴露未被一个所述构图的光掩模保护的每个材料叠层的所述氧化物硬掩模的侧壁；

去除所述多个构图的光掩模，以暴露包括所述氮化物层下方的横向蚀刻的氧化物硬掩模的构图的材料叠层；

进行对所述横向蚀刻的氧化物硬掩模有选择性的各向异性蚀刻工艺，以去除所述氮化物层和未被所述横向蚀刻的氧化物硬掩模保护的所述半导体衬底的任何半导电材料的至少上部以形成鳍片；以及

形成交叉所述鳍片的多个栅极区。

可选择地，通过暴露先前被所述横向蚀刻的氧化物硬掩模保护的所述半导体衬底的所述半导电材料的上部，去除所述横向蚀刻的氧化物硬掩模，其中先前被所述横向蚀刻的氧化物硬掩模保护的所述半导体衬底的所述半导电材料的所述暴露上部的部分限定所述鳍片。

然后通过每个鳍片之间形成含 Si 材料，合并由本发明方法制造的每个鳍片。该含 Si 材料防止具有其对应的源极/漏极区的每个鳍片的拐角变圆。源极/漏极区位于先前被所述多个构图的光掩模保护处的每个鳍片的较宽端部内，所述多个构图的光掩模交叉所述多个构图的叠层。每个鳍片的较宽端部基本上为正方形；即，在本发明中发生较宽端部的拐角的很少或没有变圆。

本发明还涉及使用上述处理步骤制造的半导体结构。概括地说，本发明的半导体结构包括：

位于半导体衬底的表面上的多个鳍片场效应晶体管器件，每个所述鳍片场效应晶体管器件包括相对于其中部具有较宽端部的高位半导电层，交叉所述中部的栅极区，以及在所述较宽端部内的源极/漏极区；以及

位于接合每个高位半导电层的所述高位半导电层之间的含 Si 材料。

附图说明

图 1A 是(通过自顶向下视图)图示表示以及图 1B 是(通过截面视图)图示表示, 示出了在包括(从下向上)半导体衬底、氧化物硬掩模和氮化物层的结构上方的多个第一构图的光掩模。

图 2 是(通过自顶向下视图)图示表示, 示出了在如下步骤之后的图 1 的结构: 蚀刻氮化物层和氧化物层的暴露区, 在半导体衬底的上表面上停止, 去除多个第一构图的光掩模, 并形成交叉层叠的氧化物/氮化物层的条布置的多个第二构图的光掩模。

图 3 是(通过自顶向下视图)图示表示, 示出了在进行化学氧化物去除(COR)工艺后的图 2 的结构, 该化学氧化物去除(COR)工艺蚀刻氧化物硬掩模的暴露侧壁直到希望的距离, 氮化物层和第二构图的光致抗蚀剂被钻蚀(undercut)该距离。

图 4 是(通过自顶向下视图)图示表示, 示出了在去除第二构图的光致抗蚀剂掩模后的图 3 的结构; 尽管被氮化物层覆盖, 但仍图示了钻蚀的氧化物层图形。

图 5 是(通过自顶向下视图)图示表示, 示出了在进行了对氧化物层有选择性的各向异性蚀刻, 在半导体衬底内例如在衬底内的绝缘体埋层上停止之后的图 4 的结构。

图 6 是(通过自顶向下视图)图示表示, 示出了在形成包括栅极介质和栅电极的栅极区之后的图 5 的结构。

图 7 是(通过自顶向下视图)图示表示, 示出了在隔离物(spacer)形成之后的图 6 的结构。

图 8 是(通过自顶向下视图)图示表示, 示出了在衬底的暴露侧壁上选择性地形成含 Si 层之后的图 7 的结构。

具体实施方式

现在参考下面的讨论和本申请附图更详细地描述本发明, 本发明提供一种制造至少包括多个 FinFET 的半导体结构的方法以及所得到的半导体

结构, 在所述多个 FinFET 中使用单个掩模限定 Fin。注意本申请的附图为示例目的而提供, 因此没有按比例绘制。

现在参考图 1-8, 其示例了使用绝缘体上硅 (SOI) 衬底的实施例。尽管在下面的讨论中图示和说明了 SOI 衬底, 但本发明也可使用体半导体衬底。当使用体半导体衬底时, 体半导体衬底包括 Si、Ge 合金、SiGe、GaAs、InAs、InP、SiCGe、SiC 以及其它 III/V 或 II/VI 化合物半导体中的一种。优选地, 当采用体半导体时, 该衬底包括含 Si 半导体材料, 其中高度优选 Si。

如上所述, 在此提供的处理说明利用 SOI 衬底。SOI 衬底包括通过绝缘埋层彼此电隔离的底部半导体层和顶部半导体层 (即, 有源半导体层)。顶部和底部半导体层可包括上述体半导体材料中的一种, 优选含 Si 半导体, 高度优选硅。分离两个导电层的掩埋绝缘材料可为结晶或非结晶氧化物或氮化物, 高度优选结晶氧化物。注意, 由于 SOI 衬底允许形成具有较高工作速度的器件, 因此比体衬底优选 SOI 衬底。具体地, 与其体半导体相应部分相比, 使用 SOI 技术形成的器件提供更高的性能、无闭锁、更高的封装密度和低的电压施加。

利用本领域公知的常规处理技术形成用于本发明中的 SOI 衬底。例如, 包括键合步骤的层转移工艺可用于提供 SOI 衬底。可选地, 注入工艺如 SIMOX (注氧隔离) 可用于形成 SOI 衬底。

SOI 衬底的各个层的厚度可根据用于形成其的技术而变化。然而, 典型地, 顶部半导体层具有约 3 到约 100nm 的厚度, 绝缘埋层具有约 10 到约 150nm 的厚度, 而 SOI 衬底的底部半导体层的厚度对本发明无关紧要。

现在参考图 1B, 其是 (通过截面视图) 图示表示, 示出了位于结构 100 上方的多个第一构图的光掩模 22, 该结构 100 包括 (从下到上) SOI 半导体衬底 10、氧化物硬掩模 18 以及氮化物层 20。如上陈述, 该 SOI 衬底 10 包括底部半导体层 12、绝缘埋层 14 以及顶部半导体层 16。图 1A 示出了结构 100 的自顶向下的视图。在本申请中提供的自顶向下的视图中, 仅仅强调构图的区域。

通过首先用常规技术提供 SOI 衬底（或者体半导体衬底），形成结构 100。接着，利用常规沉积工艺例如化学气相沉积（CVD）、等离子体增强化学气相沉积（PECVD）、原子层沉积（ALD）、物理气相沉积（PVD）、蒸发、化学溶液沉积和其它类似的沉积工艺，在该衬底的上表面，如半导体层 16 的上表面上，形成氧化物硬掩模 18。可选地，利用常规氧化工艺形成氧化物硬掩模 18。在本发明的此时形成的氧化物硬掩模 18 的厚度可根据形成其所使用的技术而变化。典型地，用于本发明的氧化物硬掩模 18 的厚度是从约 1 到约 50nm，更典型的厚度是从约 2 到约 30nm。

在形成氧化物硬掩模 18 之后，在氧化物硬掩模 18 的顶上形成氮化物层 20 如 Si_3N_4 。可利用常规沉积工艺如 CVD、PECVD、ALD、PVD、蒸发、化学溶液沉积和其它类似的沉积工艺，形成氮化物层 20。可选地，利用常规氮化工艺形成氮化物层 20。在本发明的此时形成的氮化物层 20 的厚度可根据形成其所使用的技术而变化。典型地，本发明中采用的氮化物层 20 的厚度是从约 1 到约 20nm，更典型的厚度是从约 1.5 到约 4nm。

在形成氮化物层 20 之后，利用常规沉积工艺如 CVD、PECVD、蒸发或旋涂，在氮化物层 20 的表面上沉积光致抗蚀剂材料的均厚层（blanket layer）。将光致抗蚀剂材料的均厚层构图为如图 1A 和 1B 所示的多个第一构图的光掩模 22。通过利用常规光刻工艺实现光致抗蚀剂材料的构图，该工艺包括将光致抗蚀剂材料曝光于辐照图形，并利用常规抗蚀剂显影剂显影曝光的光致抗蚀剂材料。

为更好地突出发明方法，从现在开始参考自顶向下的视图说明制造工艺。在多个第一构图的光掩模 22 在其适当位置的情况下，利用一步或多步蚀刻工艺从结构 100 去除暴露的氮化物层 20 和下伏的氧化物硬掩模 18。一步或多步蚀刻工艺去除层 20 和 18 未被保护的部分，在 SOI 衬底的上表面上，即在顶部半导体层 16 的顶上停止。所述一步或多步蚀刻工艺可包括干法蚀刻或湿法蚀刻。优选地，使用干法蚀刻如反应离子蚀刻（RIE）。在本发明的此时可使用的干法蚀刻的其它实例包括离子束蚀刻，等离子体蚀刻或者激光烧蚀。

在进行所述一步或多步蚀刻工艺之后，利用常规的抗蚀剂剥离工艺去除多个第一构图的光掩模 22。本发明此时的结构包括多个材料叠层 24，其包含在 SOI 衬底 10 上氮化物层 20 和氧化物硬掩模 18 的剩余部分。

然后形成多个第二光掩模 26，以交叉材料叠层 24 的条。也就是，形成多个第二光掩模 26 以便每个第二光掩模 26 设置为交叉材料叠层 24。通过首先将第二均厚光致抗蚀剂材料施加到图 1A 和图 1B 所示的结构，然后对均厚光致抗蚀剂层进行光刻，形成多个第二光掩模 26。在第二光掩模之间的区域，特别是 SOI 衬底 10 的下伏的顶部半导体层 16，代表将形成每个 FinFET 器件的 Fin 的位置。

图 2 示出了包括多个第二光掩模 26 和材料叠层 24 的结构。注意，多个第二光掩模 26 保护材料叠层 24 的一些部分以及相邻的 SOI 衬底 10 例如顶部半导体层 18。

然后对图 2 所示的所得到的结构进行化学氧化物去除 (COR) 工艺。COR 工艺 (沿横向) 选择性蚀刻每个材料叠层 24 的氧化物硬掩模 18 的暴露的垂直表面，钻蚀上覆的氮化物层 20 和每个第二光掩模 26。进行横向蚀刻，直到约 5 到约 40nm 的预定距离，该距离与用于钻蚀的基本相同。图 3 示出了在 COR 工艺后的结构。注意，在图 3 和图 4 中，示出了在下伏的氧化物硬掩模 18 中形成的图形，以强调本发明的 COR 处理步骤。尽管在本发明的这些附图中示出了构图的氧化物硬掩模 18，但是，在本发明的这两个阶段，氮化物层 20 保持在构图的硬掩模 18 的顶上。

用于提供图 3 所示结构的 COR 工艺包括在约 30 mTorr 或以下的压力下，优选在约 1 mTorr 到约 30 mTorr 的压力下，将图 2 的结构暴露到 HF 和氨的气态或蒸气混合物。典型地，在约为标称室温 (20°C 到约 40°C) 的温度下，更典型地在约 25°C 的温度下，进行 COR 工艺。典型地，用于 COR 工艺中的 HF 与氨的比率约为 1:10 到约 10:1，更典型地比例约为 2:1。

在进行 COR 工艺之后，利用常规抗蚀剂剥离处理步骤，从该结构去除多个第二光掩模 26。图 4 示出了在从该结构去除了多个第二光掩模 26 之后形成得到的结构。在该图中，尽管被氮化物层 20 覆盖，仍再次示例了

钻蚀的氧化物层 18。

将对剩余的氧化物硬掩模 18 有选择性的各向异性 Si 蚀刻用于去除剩余的氮化物层 20 以及 SOI 衬底 10 的暴露的顶部半导体层 16, 在绝缘埋层 14 上停止。当使用体衬底时, 该蚀刻将衬底减薄到预定值。可在本发明此时使用的各向异性 Si 蚀刻的实例包括用碳氟化合物化学品如 CF_4 的反应离子蚀刻。例如, 图 5 示出了所得到的结构。在图 5 中, 保留氧化物硬掩模 18, 并暴露绝缘埋层 14。强调位于构图的氧化物硬掩模 18 之下的顶部半导体层 16 现在将具有与层 18 相同的图形。

在一个实施例中可去除剩余的氧化物硬掩模 18, 在这种情况下一旦完成该结构, 则 Fin 的顶面成为 FinFET 沟道的一部分。具体地, 可使用对半导体材料有选择性的蚀刻工艺, 以可选择地去除剩余的氧化物硬掩模 18。在附图中, 剩余的氧化物硬掩模 18 显示为从该结构去除。尽管图示了该实施例, 本发明也预期在下面的处理步骤期间剩余的氧化物硬掩模 18 保留在该结构中的实施例。

在本发明的一些实施例中, 在本发明此时可能需要离子注入构图的半导体层 16。当需要离子注入时, 可使用常规离子注入工艺将掺杂剂离子 (p 或 n 型) 注入构图的顶部半导体层 16。

图 6 示出了形成包括栅极介质 (在本发明的该图中未示出) 和上覆的栅电极 30 的栅极区 28 的图 5 的结构。首先形成栅极介质, 然后形成栅电极。具体地, 通过首先在该结构上提供牺牲氧化物 (未示出) 然后剥离该牺牲氧化物以去除该结构中的不完整部分, 形成栅极介质。然后通过热生长工艺例如氧化、氮化或氮氧化来形成栅极介质。可选地, 通过沉积工艺例如化学气相沉积 (CVD)、等离子体辅助 CVD、金属有机化学气相沉积 (MOCVD)、原子层沉积 (ALD)、蒸发、反应溅射、化学溶液沉积和其它类似的沉积工艺, 形成栅极介质。也可利用上述工艺的结合来形成栅极介质。

栅极介质由具有约 4.0 或更大, 优选大于 7.0 的介电常数的绝缘材料构成。这里提到的介电常数为相对真空而言。注意, SiO_2 典型具有约 4.0 的

介电常数。具体地，用于本发明的栅极介质包括但不限于：氧化物、氮化物、氮氧化物和/或包括金属硅酸盐、铝酸盐、钛酸盐和氮化物的硅酸盐。在一个实施例中，优选栅极介质由氧化物如 SiO_2 、 HfO_2 、 ZrO_2 、 Al_2O_3 、 TiO_2 、 La_2O_3 、 SrTiO_3 、 LaAlO_3 、 Y_2O_3 及其混合物构成。

栅极介质的物理厚度可变化，但典型地，栅极介质具有约 1 到约 10nm 的厚度，更典型地具有约 1 到约 3nm 的厚度。

在形成栅极介质后，利用已知的沉积工艺如物理气相沉积 (PVD)、CVD 或蒸发，在栅极介质上形成导电材料的均厚层，该导电材料的均厚层形成栅极区 28 的栅电极 30。该导电材料可包括多晶硅、SiGe、硅化物、金属或氮化金属-硅如 Ta-Si-N。用作导电材料的金属实例包括但不限于：Al、W、Cu、Ti 或其它类似的导电金属。导电材料的均厚层可掺杂也可不掺杂。如果掺杂，可采用原位掺杂沉积工艺。可选地，可通过沉积、离子注入和退火形成掺杂的导电材料。

导电材料的掺杂将改变形成的栅极的功函数。掺杂离子的示例性实例包括 As、P、B、Sb、Bi、In、Al、Ti、Ga 或其混合物。在本发明此时沉积的导电材料的厚度即高度可根据采用的沉积工艺而变化。典型地，导电材料具有约 20 到约 180nm 的垂直厚度，更典型地具有约 40 到约 150nm 的厚度。

在一些实施例中，利用常规沉积工艺在导电材料的顶上形成可选择的硬掩模（未示出）。可选择的硬掩模可由介质如氧化物或氮化物构成。

在沉积至少栅极介质和导电材料之后，形成包括栅电极 30 的栅极区 28。具体地，首先通过沉积和光刻在导电材料的顶上提供构图的掩模，然后将图形转移到导电材料和可选择的栅极介质来形成栅极区 28。蚀刻步骤包括一步或多步蚀刻工艺，该蚀刻工艺包括干法蚀刻如 RIE。注意，栅极交叉的构图的半导体层 16 的区域是 Fin 的沟道区。该 Fin 是包括通过图 6-8 所示的较薄的中间部分接合的较宽端部的高位半导体层 16。观察到由于本发明的处理步骤构图的半导体层 16 具有哑铃或狗骨形状，其中外侧较宽端部基本上为正方形。

接下来，利用本领域技术人员公知的常规注入工艺在半导体衬底中形成源极/漏极延伸区（未示出）和/或晕圈（halo）区（未示出）。

接下来，例如如图 7 所示，在栅极区 28 周边周围形成包括氧化物、氮化物、氮氧化物或其结合的栅极隔离物 32。通过常规沉积工艺例如 CVD 或 PECVD 形成栅极隔离物 32，随后进行定向蚀刻工艺。注意，在该图和图 8 中图示了栅极介质，以示例其相对于 Fin 的沟道部分的位置。参考标号 29 表示围绕 Fin 的沟道位置的栅极介质。

接下来，如图 8 所示，从 SOI 衬底 10 的顶部半导体层 16 的暴露侧壁选择性地生长单晶含 Si 材料 34 如 Si、SiGe、SiGeC。通过 CVD、PECVD 或 UHVCV 工艺形成单晶含 Si 材料 34。然后利用本领域公知的常规离子注入技术将源极/漏极区（在图 8 中使用的术语 ‘S/D’ 表示源极/漏极区的位置）注入到接合每个 Fin 的半导体材料 16 的较宽部分中。

上述处理步骤提供了例如图 8 所述的包括至少多个 FinFET 器件 102 的半导体结构，其中使用单个掩模限定 Fin 104，这可避免 Fin 104 与源极/漏极区接合处的拐角变圆。

虽然关于其优选实施例具体示出和说明了本发明，本领域技术人员将理解，只要不脱离本发明的精神和范围，可在形式和细节上进行上述和其它改变。因此，本发明旨在不限于在此说明和示例的具体形式和细节，而是落入所附的权利要求的范围内。

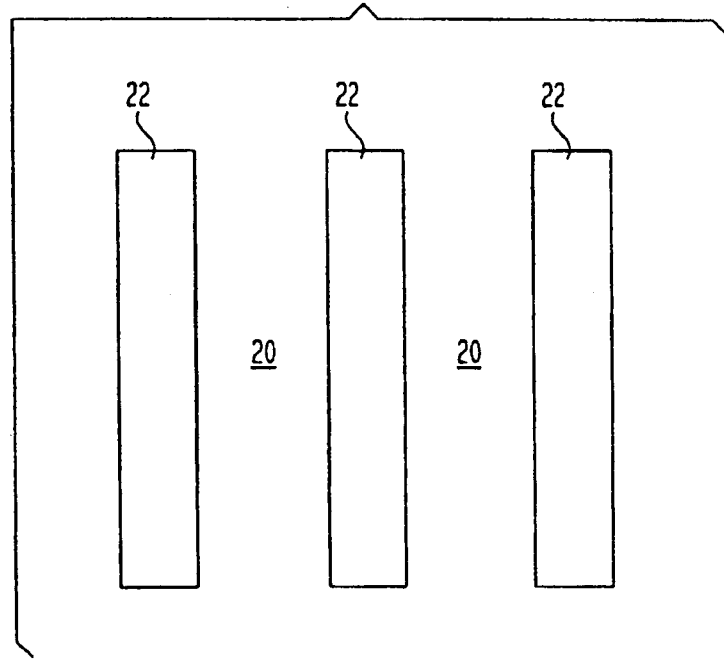


图 1A

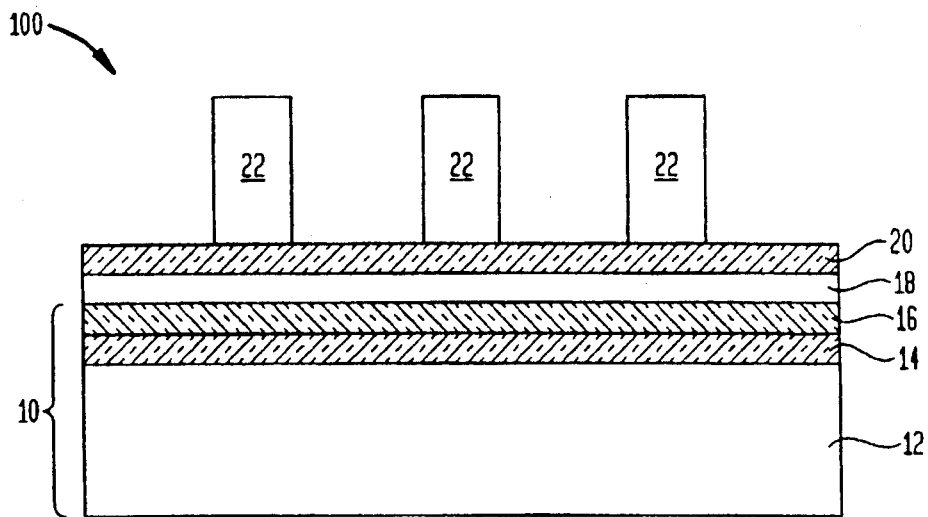


图 1B

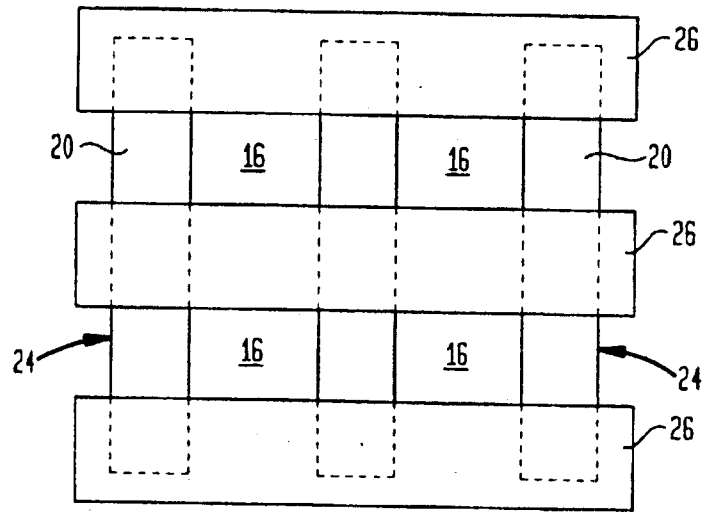


图 2

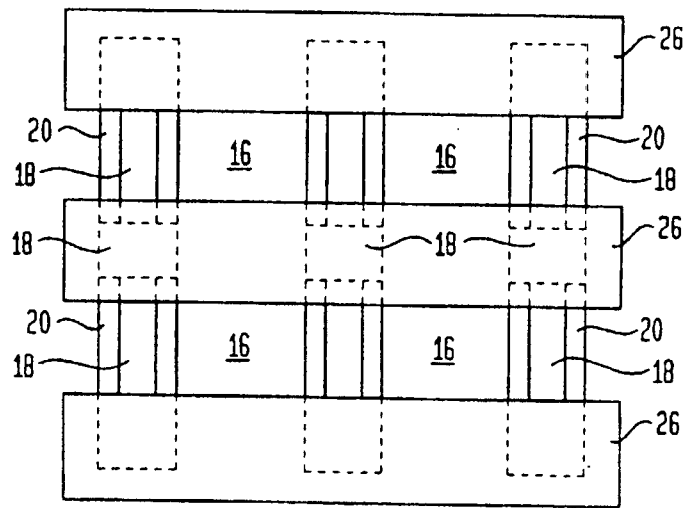


图 3

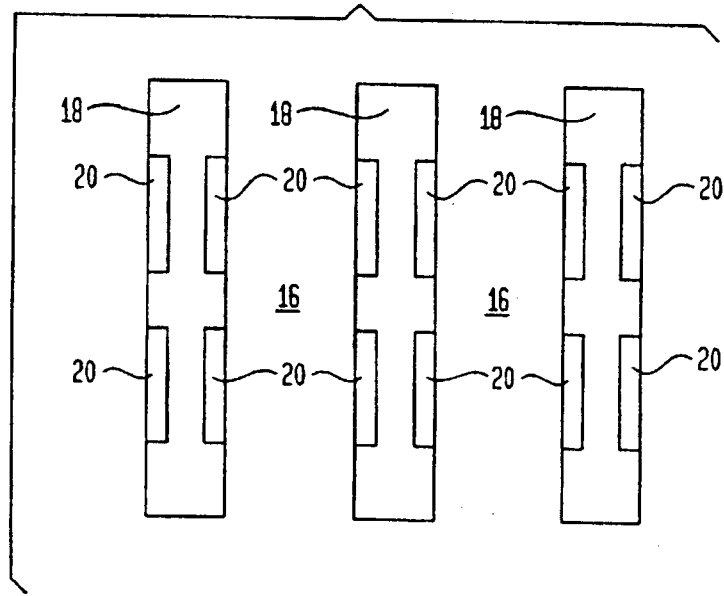


图 4

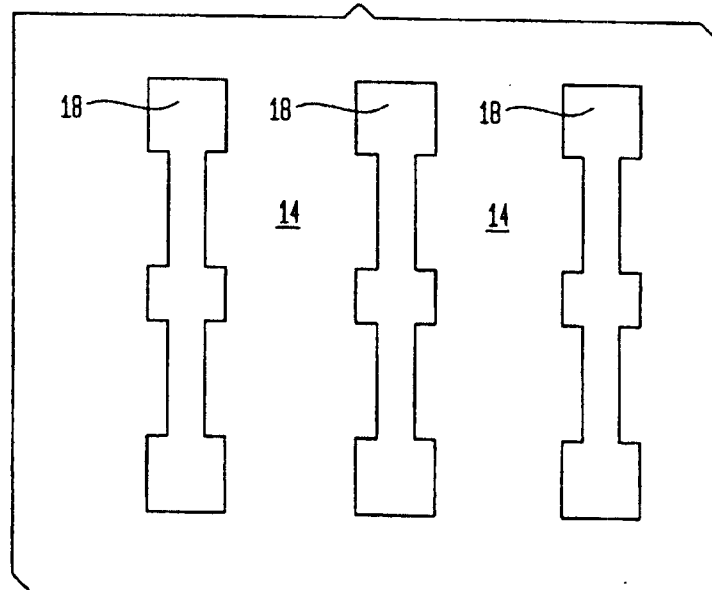


图 5

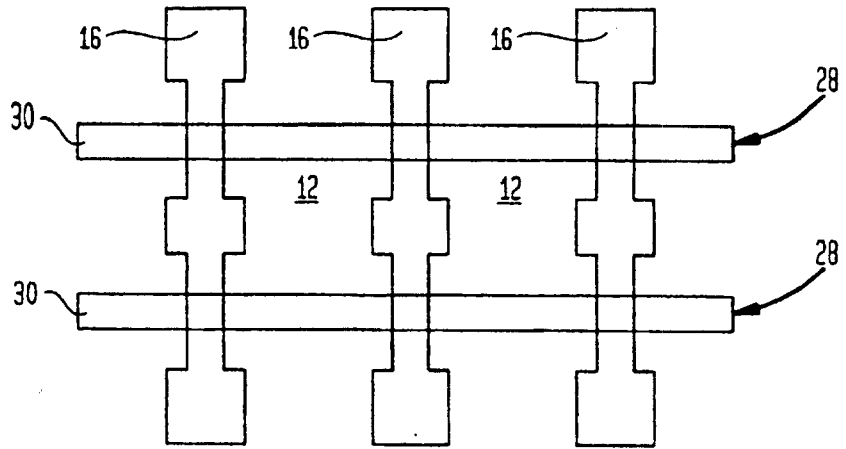


图 6

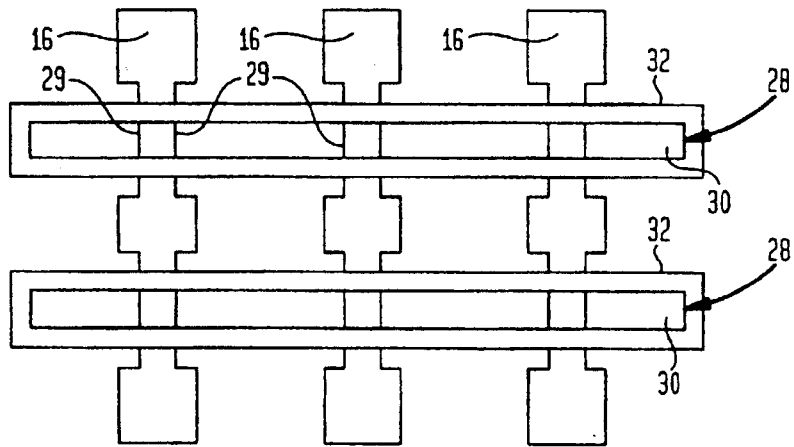


图 7

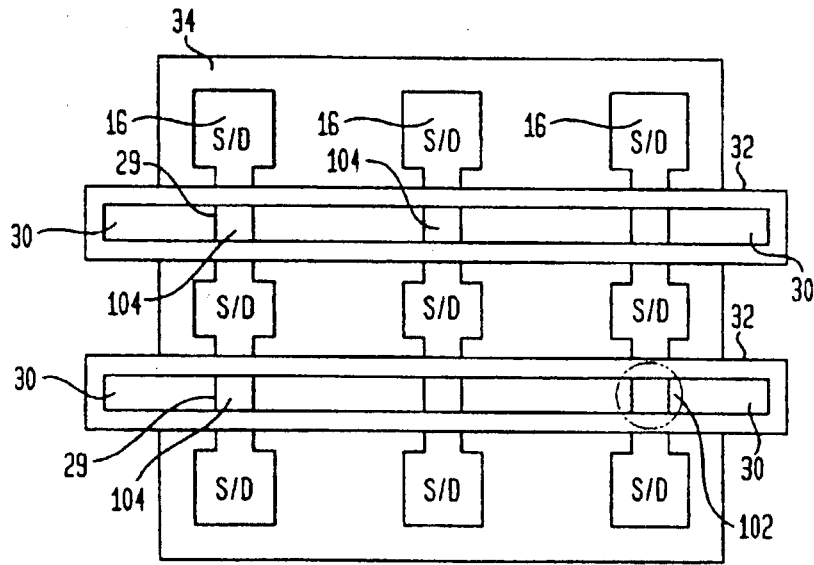


图 8