

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3924107号
(P3924107)

(45) 発行日 平成19年6月6日(2007.6.6)

(24) 登録日 平成19年3月2日(2007.3.2)

(51) Int. Cl.

G 1 1 C 16/06 (2006.01)

F I

G 1 1 C 17/00 6 3 4 Z

請求項の数 6 (全 11 頁)

<p>(21) 出願番号 特願2000-64580 (P2000-64580) (22) 出願日 平成12年3月9日(2000.3.9) (65) 公開番号 特開2001-256789 (P2001-256789A) (43) 公開日 平成13年9月21日(2001.9.21) 審査請求日 平成15年11月25日(2003.11.25)</p>	<p>(73) 特許権者 000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号 (74) 代理人 100072718 弁理士 古谷 史旺 (74) 代理人 100075591 弁理士 鈴木 榮祐 (72) 発明者 笠 靖 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 審査官 滝谷 亮一</p>
---	---

最終頁に続く

(54) 【発明の名称】 半導体集積回路

(57) 【特許請求の範囲】

【請求項1】

互いに隣接して配線され、メモリセルから読み出されるデータを伝達する複数のデータ線と、

前記データを受け、増幅した信号を出力するセンスアンプと、

前記データ線からなるデータバス線の外側に沿って配線されたダミーデータ線と、

前記ダミーデータ線に接続され、読み出し動作時に、前記メモリセルに記憶された論理に応じて変化する前記データ線のいずれかの電圧変化と同じ電圧変化を前記ダミーデータ線にさせる制御回路とを備えたことを特徴とする半導体集積回路。

【請求項2】

請求項1記載の半導体集積回路において、

前記センスアンプは、読み出し動作前に前記データ線をチャージするための負荷を有し

前記制御回路は、読み出し動作前に前記ダミーデータ線をチャージするための負荷を有することを特徴とする半導体集積回路。

【請求項3】

互いに隣接して配線され、メモリセルから読み出されるデータを伝達する複数のデータ線と、

前記データバス線の外側に沿って配置された複数の配線片で形成されたダミーデータ線とを備え、

10

20

前記配線片は、前記複数のデータ線のそれぞれに接続されていることを特徴とする半導体集積回路。

【請求項 4】

請求項 3 記載の半導体集積回路において、

前記各データ線に接続された前記配線片の配線長の和は、互いに等しいことを特徴とする半導体集積回路。

【請求項 5】

請求項 4 記載の半導体集積回路において、

前記配線片は、同じ長さかつ等間隔で配置されていることを特徴とする半導体集積回路

。 10

【請求項 6】

請求項 3 記載の半導体集積回路において、

前記ダミーデータ線の外側に、接地線または前記読み出し動作時に接地電圧になる配線が配置されていることを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、メモリセルを有する半導体集積回路に関し、特に、メモリセルに記憶されたデータを高速に読み出す技術に関する。

【0002】

【従来の技術】

メモリセルを有する半導体集積回路として、フラッシュメモリ、EPROM、DRAM、SRAM等が知られている。

図5は、フラッシュメモリにおける読み出し動作に係る回路の概要を示している。

【0003】

フラッシュメモリは、アドレスバッファ2、Xデコーダ4、メモリセルアレイ6、Yデコーダ8、センスアンプ10、出力バッファ12、および制御回路14を有している。

アドレスバッファ2は、チップの外部からアドレス信号を受け、受けたアドレス信号をXデコーダ4およびYデコーダ8に出力している。Xデコーダ4およびYデコーダ8は、アドレス信号に対応するワード線WLおよびビット線BLをそれぞれ選択する。また、Yデコーダ8は、ビット線BLをセンスアンプ12に接続するスイッチ機能を有している。メモリセルアレイ6は、縦横に配置された複数のメモリセルMCを有している。センスアンプ12は、ビット線BLおよびYデコーダ8を介してメモリセルMCから伝達される読み出しデータを増幅し、出力バッファ12に出力している。出力バッファ12は、増幅された読み出しデータをチップの外部に出力する。制御回路14は、チップの外部から制御信号を受け、受けた制御信号に応じてアドレスバッファ2、センスアンプ10、出力バッファ12を制御している。

【0004】

なお、特に図示しないが、複数の入出力端子を有する多ビット製品では、入出力端子に対応する複数のYデコーダ8、センスアンプ10、出力バッファ12を有している。この場合、所定のワード線WLにより複数のメモリセルMCが選択され、入出力端子にそれぞれ対応する複数のセンスアンプ10が動作する。そして、読み出しデータ(複数ビット)が、出力バッファ12から同時に出力される。

【0005】

図6は、メモリセルアレイが複数のブロックBLK0、BLK1、BLK2...に分割されたフラッシュメモリの要部を示している。このフラッシュメモリは、n個の入出力端子を有している。

各ブロックBLKは、入出力端子にそれぞれ対応する複数のYデコーダ8を有している。同一のブロックBLK内のYデコーダ8は、データ線スイッチ16およびデータ線DATAB(0)-DATAB(n-1)を介してそれぞれセンスアンプ10に接続されている。すなわち、データ線DATA 50

Bにより、入出力端子ごとに形成されたセンスアンプ10が、複数のブロックBLKで共有されている。データ線スイッチ16は、ブロックデコーダ18で制御されている。データ線DATAB(0)-DATAB(n-1)は互いに隣接して並行に配置されており、これ等データ線DATAB(0)-DATAB(n-1)によりデータバス線DBUSが構成されている。

【0006】

このフラッシュメモリでは、所定のブロックBLKから出力される読み出しデータは、ブロックデコーダ18により選択され、データバス線DBUSに伝達される。データバス線DBUSに伝達された読み出しデータは、センスアンプ10で増幅される。

図7は、センスアンプ10の一例を示している。

センスアンプ10は、インバータ10a、nMOSトランジスタ10b、および負荷10cを有している。インバータ10aの入力およびnMOSトランジスタ10bのソースは、データ線DATABに接続されている。インバータ10aの出力は、nMOSトランジスタ10bのゲートに接続され、インバータ10aとnMOSトランジスタ10bとにより帰還ループが形成されている。nMOSトランジスタ10bのドレインおよび負荷10cの一端は、出力ノードOUTに接続されている。負荷10cの他端は、電源線VCCに接続されている。この種のセンスアンプ10は、一般に“カスコード型”と称されている。

10

【0007】

図8は、読み出し動作時におけるデータ線DATABの電圧の変化を示している。

まず、ビット線BLおよびデータ線DATABが、チャージアップされる。ビット線BLおよびデータ線DATABの電圧は、0Vから約1Vに上昇する。この後、メモリセルMCの記憶状態に応じて、ビット線BLおよびデータ線DATABに電流が流れ、データ線DATABの電圧が変化する。

20

【0008】

メモリセルMCに“0”が記憶されている場合、ビット線BLおよびデータ線DATABに電流は流れない。図7に示したインバータ10aの出力電圧は低くなり、nMOSトランジスタ10bのソース・ドレイン間抵抗は高くなる。この結果、負荷10cからの電流の供給により、出力ノードOUTは高レベルになる。

メモリセルMCに“1”が記憶されている場合、ビット線BLおよびデータ線DATABに電流は流れる。データ線DATABの電圧は低下し、インバータ10aの出力電圧は高くなる。nMOSトランジスタ10bのソース・ドレイン間抵抗は低くなる。この結果、負荷10cから供給される電流は、nMOSトランジスタ10bを介してデータ線DATABに供給され、インバータ10aを帰還制御する。そして、出力ノードOUTは、低レベルになる。

30

【0009】

なお、“0”読み出しと、“1”読み出しとにおけるデータ線DATABの電圧差は小さく、数十mVである。

【0010】

【発明が解決しようとする課題】

ところで、上述したセンスアンプ10は、データ線DATABの微少な電圧の変化を検出しなくてはならない。センスアンプ10の誤動作を防止するために、データ線DATABは、隣接する他の信号線からのカップリングの影響を受けないように配置する必要がある。特に、上述したように、センスアンプ10が複数のブロックBLKで共有される場合、データ線DATABの配線長は長くなるため、この対策は重要になる。

40

【0011】

具体的には、次の事項を考慮してレイアウト設計が行われている。

(1)読み出し動作中に変化する信号(クロック信号等)は、データ線DATABに隣接させない。

(2)データ線DATABと隣接する他の信号との配線間隔を広くする。

【0012】

(3)データ線DATABをシールドする。

しかしながら、上記(2)では、レイアウト面積が増大するという問題があった。

図9は、上記(3)を考慮したレイアウトの例を示している。

50

この例では、接地線VSSが、データバス線DBUSの外側にそれぞれ配置されている。接地線VSS(0V)は、読み出し動作時にその電圧が変化しない。

【0013】

図10は、図9に示した回路の読み出し動作を示している。

データ線DATABと接地線VSSとの電位差は、データ線DATABの電圧の上昇とともに大きくなり、電位差に応じた電荷は、両線間に形成される寄生容量に蓄積される。電荷の蓄積量は、外側のデータ線DATABほど大きい。このため、接地線VSSに隣接する外側のデータ線DATAB(0)、DATAB(n-1)の立ち上がりが遅くなってしまふ。

【0014】

一方、内側のデータ線DATAB(1)-DATAB(n-2)では、隣接するデータ線DATABとの電位差は小さい。このため、これ等データ線DATAB(1)-DATAB(n-2)の間に形成される寄生容量への電荷の移動は少ない。この結果、内側のデータ線DATAB(1)-DATAB(n-2)の立ち上がりは、高速かつ同一のタイミングになる。

読み出し時間(アクセス時間)は、複数ビットの読み出しデータのうち、最も確定するのが遅いデータに合わせなくてはならない。このため、接地線VSSによるデータ線DATABシールドは、高速動作の妨げとなっていた。

【0015】

本発明の目的は、メモリセルに記憶されたデータを高速に読み出すことができる半導体集積回路を提供することにある。

【0016】

【課題を解決するための手段】

請求項1の半導体集積回路は、複数のデータ線と、センスアンプと、ダミーデータ線とを備えている。データ線は互いに隣接して配線され、メモリセルから読み出されるデータを伝達する。センスアンプは、データを受け、増幅した信号を出力する。ダミーデータ線は、データ線からなるデータバス線の外側に沿って配線されている。ダミーデータ線は、メモリセルに記憶されたデータの読み出し動作時に、データ線の電圧と同様の電圧変化をする。このため、読み出し動作時に、データ線とダミーデータ線との電位差は小さくなる。すなわち、読み出し動作時に、データ線とダミーデータ線との間に形成される寄生容量への電荷の蓄積量は、最小限になる。この結果、外側のデータ線と内側のデータ線とでカップリング特性がほぼ等しくなり、データ線に読み出されるデータの立ち上がり時間は、ほぼ等しくなる。複数のデータ線の立ち上がり時間のばらつきが小さくなるため、読み出し時間(アクセス時間)が高速になる。

【0017】

例えば、半導体集積回路は、読み出し動作時のセンスアンプの動作と同様に動作する制御回路を備えている。ダミーデータ線は、制御回路に接続されている。このため、ダミーデータ線は、読み出し動作時に、容易にデータ線の電圧と同様の電圧変化をする。

請求項3の半導体集積回路では、ダミーデータ線は、データバス線の外側に沿って配置された複数の配線片で形成されている。配線片は、複数のデータ線のそれぞれに接続されている。ダミーデータ線は、複数のデータ線にそれぞれ接続された配線片から形成されているため、データ線の電圧と同じ電圧変化をする。このため、特別な制御回路を使用することなく、データ線とダミーデータ線との間に形成される寄生容量への電荷の蓄積量は最小限になり、読み出し時間(アクセス時間)が高速になる。

【0018】

請求項4の半導体集積回路では、各データ線に接続された配線片の配線長の和は、互いに等しくされている。このため、例えば、ダミーデータ線の外側に別の配線が配置されている場合、全てのデータ線は、この別の配線の影響を均等に受ける。したがって、読み出し動作時に、複数のデータ線の立ち上がり時間が、ばらつくことが防止される。この結果、隣接する別の配線の影響を受けて、読み出し時間(アクセス時間)が遅くなることが防止される。

【0019】

10

20

30

40

50

請求項5の半導体集積回路では、配線片は、同じ長さかつ等間隔で配置されている。このため、各データ線に接続された配線片の配線長の和は、容易に等しくできる。レイアウト設計において、同一の配線片を繰り返し配置すればよいため、レイアウト設計が容易になる。

請求項6の半導体集積回路では、ダミーデータ線の外側に、接地線または読み出し動作時に接地電位になる配線が配置されている。このため、例えば、ダミーデータ線の外側に別の配線が配置されている場合、データ線がこの別の配線の影響を受けることが防止される。

【0020】

【発明の実施の形態】

10

以下、本発明の実施形態を図面を用いて説明する。

図1は、本発明の半導体集積回路の第1の実施形態の要部を示している。この実施形態は、請求項1および請求項2に対応している。従来技術で説明した要素と同一の要素については、同一の符号を付し、これ等要素については、詳細な説明を省略する。

【0021】

この半導体集積回路は、シリコン基板上にCMOSプロセス技術を使用してフラッシュメモリとして形成されている。図1に示した以外の構成は、図5と同一である。

この実施形態では、データバス線DBUSの外側に、データ線DATABに平行にダミーデータ線DMYがそれぞれ配置されている。ダミーデータ線DMYは、制御回路20に接続されている。それ以外の構成は、上述した図6と同一である。

20

【0022】

制御回路20は、読み出し動作時に、ダミーデータ線DMYの電圧をデータ線DATABの電圧と同様に变化させるための回路である。制御回路20は、センスアンプ10の出力ノードOUTにダミーの負荷を接続して形成されている。すなわち、制御回路20は、読み出し動作時に、センスアンプ10とほぼ同じ動作をする。

図2は、読み出し動作時におけるデータ線DATABの電圧の変化を示している。

【0023】

この実施形態では、ダミーデータ線DMYの電圧は、制御回路20により制御され、例えば、“0”読み出しされるデータ線DATABの電圧と同じ変化をする。このため、データ線DATABとダミーデータ線DMYとの電位差は、“0”読み出しと、“1”読み出しとにおけるデータ線DATABの電圧差である数十mV以下になる。すなわち、データ線DATAB(特に、データ線DATAB(0)、DATAB(n-1))とダミーデータ線DMYとの間に形成される寄生容量への電荷の蓄積量は、最小限になる。この結果、外側のデータ線DATAB(0)、DATAB(n-1)と内側のデータ線DATAB(1)-DATAB(n-2)とでカップリング特性がほぼ等しくなり、データ線DATAB(0)-DATAB(n-1)に読み出されるデータの立ち上がり時間は、ほぼ等しくなる。データ線DATAB(0)-DATAB(n-1)の立ち上がり時間のばらつきが小さくなるため、読み出し時間(アクセス時間)が高速になる。

30

【0024】

以上、本発明の半導体集積回路では、データバス線DBUSの外側に、データ線DATABの電圧と同じ変化をするダミーデータ線DMYを配置した。このため、データ線DATAB(0)-DATAB(n-1)の立ち上がり時間を等しくでき、読み出し時間(アクセス時間)を高速にできる。特に、センスアンプを複数のブロックで共有し、データ線DATABの配線長が長くなるときに有効である。

40

【0025】

図3は、本発明の半導体集積回路の第2の実施形態の要部を示している。この実施形態は、請求項3ないし請求項5に対応している。従来技術および第1の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等要素については、詳細な説明を省略する。

この実施形態は、データバス線DBUSの外側に、複数配線片M1が、データ線DATABに平行に等間隔Sで配置されている。配線片M1は、データ線DATABと同じ配線層を使用して形成さ

50

れている。配線片M1は、データ線DATABに直交して配置された配線M2を介してデータ線DATABに接続されている。配線M2は、データ線DATABより上側の配線層を使用して形成されている。すなわち、配線片M1は、データ線DATAB(0)-DATAB(n-1)を均等に配置して形成されている。そして、これ等配線片M1によりダミーデータ線DMY2が形成されている。本実施形態の構成は、制御回路20(図1)が配置されていないこと、ダミーデータ線DMY2がデータ線DATAB(0)-DATAB(n-1)により形成されていることを除き、第1の実施形態と同一である。

【0026】

この実施形態では、ダミーデータ線DMY2は、データ線DATAB(0)-DATAB(n-1)と同じ変化をする。このため、第1の実施形態と同様に、データ線DATAB(特に、データ線DATAB(0)、DATAB(n-1))とダミーデータ線DMY2との間に形成される寄生容量への電荷の蓄積量は最小限になる。また、ダミーデータ線DMY2を制御する制御回路20(図1)が不要になる。

【0027】

さらに、配線片M1は、データ線DATAB(0)-DATAB(n-1)を均等に配置して形成されている。このため、ダミーデータ線DMY2の外側に別の配線が配置されている場合、全てのデータ線DATAB(0)-DATAB(n-1)は、この別の配線の影響を均等に受ける。したがって、読み出し動作時において、データ線DATAB(0)-DATAB(n-1)の立ち上がり時間がばらつくことはない。この結果、隣接する別の配線の影響を受けて、読み出し時間(アクセス時間)が遅くなることが防止される。

【0028】

この実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。さらに、この実施形態では、ダミーデータ線DMY2をデータ線DATAB(0)-DATAB(n-1)を引き出すことで形成した。このため、ダミーデータ線DMY2を制御する制御回路を不要にできる。この結果、チップサイズを低減できる。

図4は、本発明の半導体集積回路の第3の実施形態の要部を示している。この実施形態は、請求項6に対応している。従来技術および上述した実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等要素については、詳細な説明を省略する。

【0029】

この実施形態は、ダミーデータ線DMY2の外側に、接地線VSSがそれぞれ配置されている。それ以外の構成は、第2の実施形態と同一である。

この実施形態では、データ線DATAB(0)-DATAB(n-1)と、接地線VSSとの間に形成される寄生容量への電荷の蓄積量は、ほぼ均等になる。外側のデータ線DATAB(0)、DATAB(n-1)と内側のデータ線DATAB(1)-DATAB(n-2)とでカップリング特性が等しくなるため、データ線DATAB(0)-DATAB(n-1)の立ち上がり時間は等しくなる。また、ダミーデータ線DMY2の外側に別の配線が配置されている場合、データ線DATAB(0)-DATAB(n-1)がこの別の配線の影響を受けることを防止できる。

【0030】

この実施形態においても、上述した第1および第2の実施形態と同様の効果を得ることができる。

なお、上述した第1の実施形態では、ダミーデータ線DMYの電圧の変化を、“0”読み出しされるデータ線DATABの電圧の変化と同じにした例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、“1”読み出しされるデータ線DATABの電圧の変化と同じにしてもよい。あるいは、ダミーデータ線DMYの電圧の変化を、“0”読み出しおよび“1”読み出しされるデータ線DATABの電圧の変化の間にしてもよい。

【0031】

上述した実施形態では、本発明をフラッシュメモリに適用した例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、EPROM(Electrically Programmable ROM)またはマスクROMを形成しても良い。さらに、本発明を、フラッシュメモリのメモリコアを搭載したシステムLSIに適用してもよい。

なお、上述した第3実施形態では、ダミーデータ線DMY2の外側に接地線VSSを配置した例

10

20

30

40

50

について述べた。本発明はかかる実施形態に限定されるものではない。例えば、読み出し動作時に、0Vになるテスト用の信号等を配置してもよい。

【0032】

以上、本発明について詳細に説明してきたが、上記の実施形態およびその変形例は発明の一例に過ぎず、本発明はこれに限定されるものではない。本発明を逸脱しない範囲で変形可能であることは明らかである。

【0033】

【発明の効果】

請求項1の半導体集積回路では、読み出し動作時に、データ線とダミーデータ線との間に形成される寄生容量への電荷の蓄積量を最小限にできる。この結果、複数のデータ線の立ち上がり時間のばらつきを小さくでき、読み出し時間（アクセス時間）を高速にできる。

10

【0034】

また、ダミーデータ線は、読み出し動作時に、容易にデータ線の電圧と同様の電圧変化をできる。

請求項3の半導体集積回路では、特別な制御回路を使用することなく、データ線とダミーデータ線との間に形成される寄生容量への電荷の蓄積量を最小限にでき、読み出し時間（アクセス時間）を高速にできる。

【0035】

請求項4の半導体集積回路では、読み出し動作時に、複数のデータ線の立ち上がり時間が、ばらつくことを防止できる。この結果、隣接する別の配線の影響を受けて、読み出し時間（アクセス時間）が遅くなることを防止できる。

20

請求項5の半導体集積回路では、レイアウト設計において、同一の配線片を繰り返し配置すればよいため、容易にレイアウト設計できる。

請求項6の半導体集積回路では、ダミーデータ線の外側に別の配線が配置されている場合、データ線がこの別の配線の影響を受けることを防止できる。

【図面の簡単な説明】

【図1】本発明の半導体集積回路の第1の実施形態の要部を示すブロック図である。

【図2】読み出し動作時におけるデータ線の電圧の変化を示す波形図である。

【図3】本発明の半導体集積回路の第2の実施形態の要部を示すレイアウト図である。

【図4】本発明の半導体集積回路の第3の実施形態の要部を示すレイアウト図である。

30

【図5】従来のフラッシュメモリの概要を示すブロック図である。

【図6】図5の要部を示すブロック図である。

【図7】図6のセンスアンプを示す回路図である。

【図8】従来の読み出し動作時におけるデータ線の電圧の変化を示す波形図である。

【図9】データ線をシールドした例を示すレイアウト図である。

【図10】図9の読み出し動作時におけるデータ線の電圧の変化を示す波形図である。

【符号の説明】

2 アドレスバッファ

4 Xデコーダ

6 メモリセルアレイ

40

8 Yデコーダ

10 センスアンプ

10a インバータ

10b nMOSトランジスタ

10c 負荷

12 出力バッファ

14 制御回路

16 データ線スイッチ

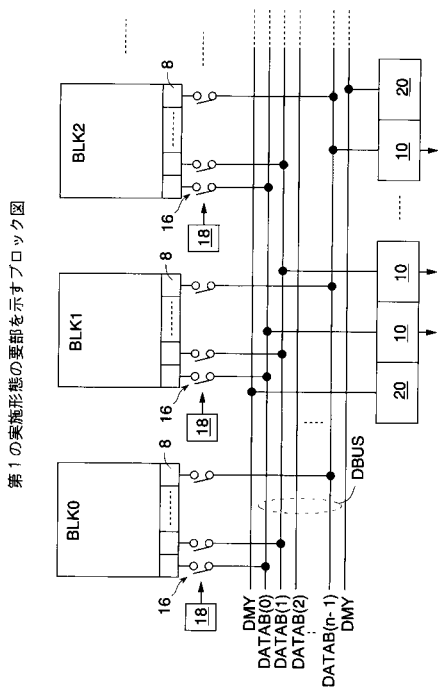
18 ブロックデコーダ

20 制御回路

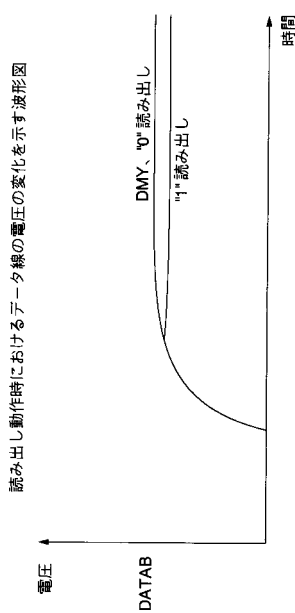
50

- BL ビット線
- BLK0、BLK1、BLK2 ブロック
- DATAB(0)-DATAB(n-1) データ線
- DBUS データバス線
- DMY、DMY2 ダミーデータ線
- M1 配線片
- M2 配線
- MC メモリセル
- OUT 出力ノード
- VCC 電源線
- VSS 接地線
- WL ワード線

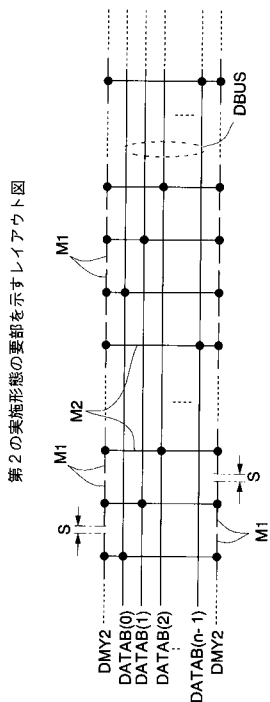
【 図 1 】



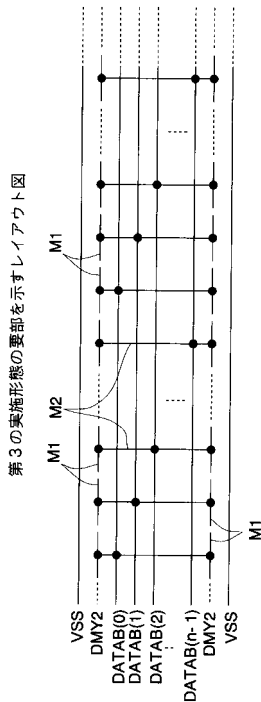
【 図 2 】



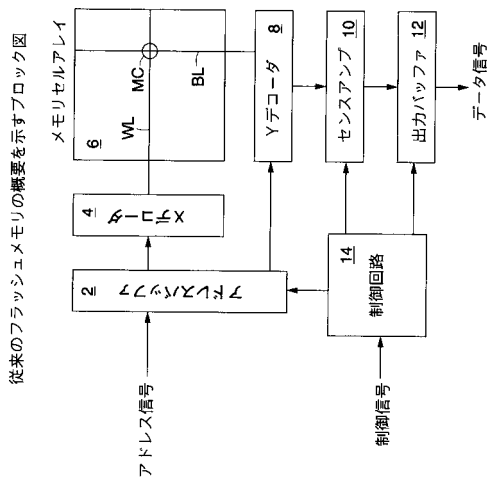
【 図 3 】



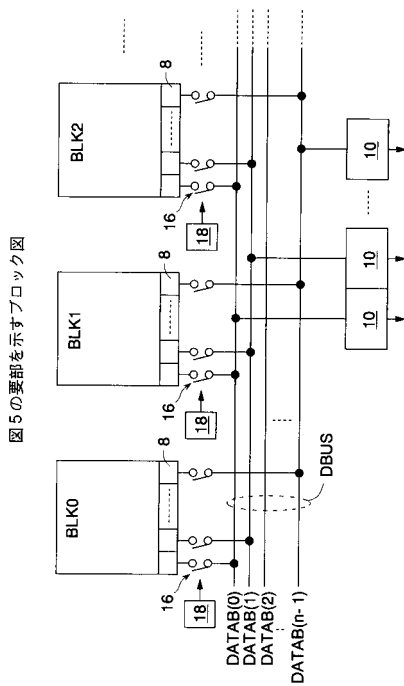
【 図 4 】



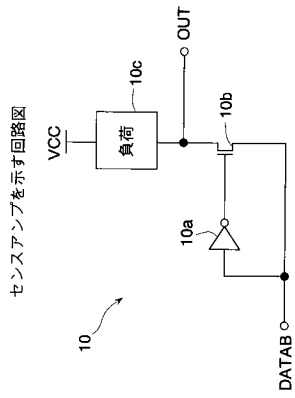
【 図 5 】



【 図 6 】

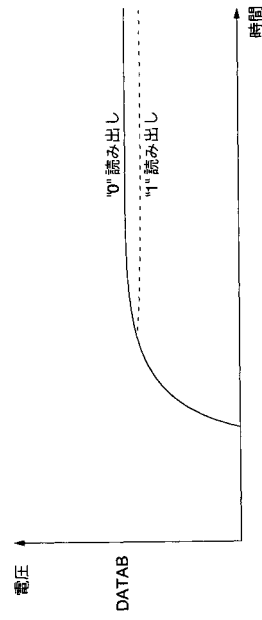


【 図 7 】



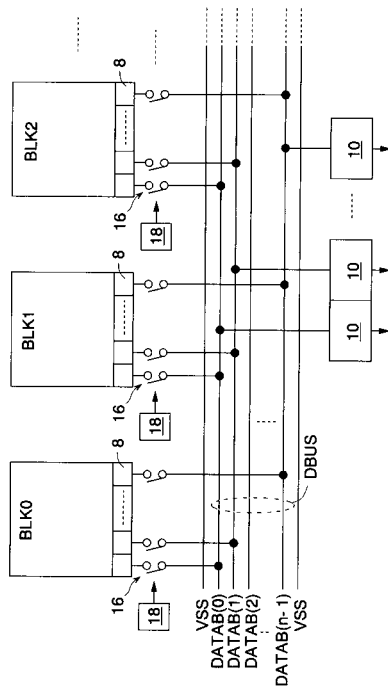
【 図 8 】

従来の読み出し動作時におけるデータ線の電圧の変化を示す波形図



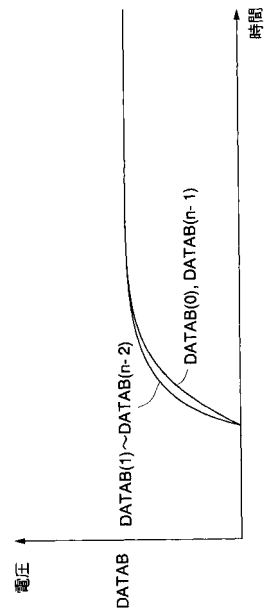
【 図 9 】

データ線をシールドした例を示すレイアウト図



【 図 10 】

図9の読み出し動作時におけるデータ線の電圧の変化を示す波形図



フロントページの続き

- (56)参考文献 特開平04 - 252494 (JP, A)
特開平05 - 151776 (JP, A)
特開昭64 - 008579 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G11C 16/02-16/06
G11C 11/40-11/409