

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-78973
(P2014-78973A)

(43) 公開日 平成26年5月1日(2014.5.1)

(51) Int.Cl.	F I	テーマコード (参考)
H03F 1/30 (2006.01)	H03F 1/30 A	5J500
H03F 3/24 (2006.01)	H03F 1/30 B	
H03F 3/19 (2006.01)	H03F 3/24	
	H03F 3/19	

審査請求 有 請求項の数 25 O L 外国語出願 (全 35 頁)

(21) 出願番号	特願2013-249654 (P2013-249654)	(71) 出願人	595020643 クアルコム・インコーポレイテッド QUALCOMM INCORPORATED
(22) 出願日	平成25年12月2日 (2013.12.2)		
(62) 分割の表示	特願2012-523118 (P2012-523118) の分割		アメリカ合衆国、カリフォルニア州 92 121-1714、サン・ディエゴ、モア ハウス・ドライブ 5775
原出願日	平成22年7月30日 (2010.7.30)	(74) 代理人	100108855 弁理士 蔵田 昌俊
(31) 優先権主張番号	61/230,089	(74) 代理人	100109830 弁理士 福原 淑弘
(32) 優先日	平成21年7月30日 (2009.7.30)	(74) 代理人	100103034 弁理士 野河 信久
(33) 優先権主張国	米国 (US)	(74) 代理人	100075672 弁理士 峰 隆司
(31) 優先権主張番号	12/704,432		
(32) 優先日	平成22年2月11日 (2010.2.11)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

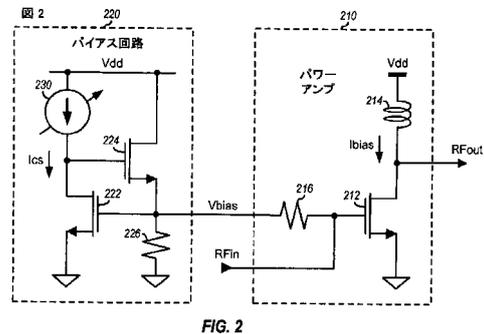
(54) 【発明の名称】 バイアス電流モニタおよびアンプのための制御機構

(57) 【要約】 (修正有)

【課題】 老化、および IC プロセス、電源電圧、温度および / または他の現象の変化によるバイアス変化を補正する。

【解決手段】 装置は、アンプとバイアス回路を含むとしてもよい。アンプは、インダクタに連結された少なくとも一つのトランジスタを含むとしてもよい。バイアス回路は、アンプに対するターゲットバイアス電流を得るために、アンプの少なくとも一つのトランジスタに対する少なくとも一つのバイアス電圧を生成してもよい。バイアス回路は、アンプのインダクタを横切る電圧、または、アンプの少なくとも一つのトランジスタの一つを用いて形成されたカレントミラーによる電流、または、アンプの少なくとも一つのトランジスタのうちの一つのゲート - ソース間電圧、または、アンプを模倣するレプリカ回路の電圧、または、無効化されたスイッチモード電源を用いてアンプに適用される電流、に基づいて少なくとも一つのバイアス電圧を生成してもよい。

【選択図】 図 2



【特許請求の範囲】**【請求項 1】**

第 1 のトランジスタを具備するアンプと、
前記アンプの前記第 1 のトランジスタと連結される第 2 のトランジスタを具備するバイアス回路と
を具備し、

前記第 1 および第 2 のトランジスタはカレントミラーを形成し、前記バイアス回路は、
前記第 1 のトランジスタに対するターゲットバイアス電流を得るために、前記第 1 および
第 2 のトランジスタに対するバイアス電圧を生成する、装置。

【請求項 2】

前記バイアス回路は、前記第 2 のトランジスタと連結される電流源をさらに具備し、前
記バイアス回路は、前記電流源からのターゲット電流を得るために前記バイアス電圧を生
成し、前記電流源からの前記ターゲット電流は、前記第 1 のトランジスタに対する前記タ
ーゲットバイアス電流に基づいて決定される、請求項 1 の装置。

【請求項 3】

前記アンプは、パワーアンプであり、前記第 1 のトランジスタは、Nチャネル金属酸化
膜半導体 (N M O S) トランジスタである、請求項 1 の装置。

【請求項 4】

インダクタと連結されるトランジスタを具備するアンプと、
前記インダクタと連結され、前記インダクタを渡る電圧を測定する感知回路と、
前記トランジスタと連結され、前記トランジスタに対するターゲットバイアス電流を得
るために、前記インダクタを渡る測定された電圧に基づいて、前記トランジスタに対する
バイアス電圧を生成するバイアス回路と
を具備する装置。

【請求項 5】

前記測定された電圧をデジタル化し、デジタル化された電圧を提供するアナログ - デジ
タル変換器 (A D C) と、
前記デジタル化された電圧を受け、前記デジタル化された電圧に基づいて前記バイアス
回路に対する制御を生成するプロセッサと
をさらに具備する、請求項 4 の装置。

【請求項 6】

前記プロセッサは、前記デジタル化された電圧と前記インダクタに対する抵抗値とに基
づいて、前記トランジスタに対する測定されたバイアス電流を決定し、前記測定されたバ
イアス電流と前記ターゲットバイアス電流とに基づいて、前記バイアス回路に対する前記
制御を生成する、請求項 5 の装置。

【請求項 7】

前記インダクタに対する前記抵抗値は、前記インダクタを通る既知の電流を適用するこ
とと、前記インダクタを渡る前記電圧を測定することとによって決定される、請求項 6 の
装置。

【請求項 8】

前記インダクタに対する前記抵抗値は、前記アンプによって観測される集積回路 (I C)
の状態に基づいて決定される、請求項 6 の装置。

【請求項 9】

積み重ねて連結された第 1 および第 2 のトランジスタを具備するアンプと、
前記アンプの前記第 2 のトランジスタと連結され、前記第 2 のトランジスタのゲート -
ソース間電圧 V_{gs} を測定する感知回路と、
前記第 1 および第 2 のトランジスタのうちの少なくとも一つのトランジスタと連結され
、前記第 2 のトランジスタの前記測定された V_{gs} 電圧に基づいて前記少なくとも一つの
トランジスタに対する少なくとも一つのバイアス電圧を生成し、前記第 1 および第 2 のト
ランジスタに対するターゲットバイアス電流を得るバイアス回路と

10

20

30

40

50

を具備する装置。

【請求項 10】

前記第 1 のトランジスタは、前記積み重ねの下側のトランジスタであり、回路グラウンドと連結され、前記第 2 のトランジスタは、前記積み重ねの上側のトランジスタである、請求項 9 の装置。

【請求項 11】

前記測定された V_{gs} 電圧をデジタル化し、デジタル化された電圧を提供するアナログ - デジタル変換器 (ADC) と、

前記デジタル化された電圧を受け、前記デジタル化された電圧に基づいて前記バイアス回路に対する制御を生成するプロセッサと

をさらに具備する、請求項 9 の装置。

10

【請求項 12】

前記プロセッサは、前記ターゲットバイアス電流に対応するターゲット V_{gs} 電圧を決定し、前記測定された V_{gs} 電圧および前記ターゲット V_{gs} 電圧に基づいて、前記バイアス回路に対する前記制御を生成する、請求項 11 の装置。

【請求項 13】

バイアス電流対前記第 2 のトランジスタに対する V_{gs} 電圧を記憶するルックアップテーブルをさらに具備し、前記プロセッサは、前記ルックアップテーブルから前記測定された V_{gs} 電圧に対する測定されたバイアス電流を求め、前記測定されたバイアス電流と前記ターゲットバイアス電流とに基づいて前記バイアス回路に対する前記制御を生成する、請求項 11 の装置。

20

【請求項 14】

積み重ねて連結された第 3 および第 4 のトランジスタを具備し、前記アンプの前記第 1 および第 2 のトランジスタを模倣するレプリカ回路と、

前記レプリカ回路の前記第 4 のトランジスタと連結され、前記第 4 のトランジスタの V_{gs} を測定する第 2 の感知回路と

をさらに具備し、

前記バイアス回路は、前記第 2 のトランジスタの前記測定された V_{gs} 電圧と前記第 4 のトランジスタの前記測定された V_{gs} 電圧とに基づいて、前記アンプの前記少なくとも一つのトランジスタに対する前記少なくとも一つのバイアス電圧を生成する、

30

請求項 9 の装置。

【請求項 15】

前記第 1 および第 3 のトランジスタは、第 1 のバイアス電圧を受け、前記第 2 および第 4 のトランジスタは、第 2 のバイアス電圧を受ける、請求項 14 の装置。

【請求項 16】

前記第 2 のトランジスタの前記測定された V_{gs} 電圧をデジタル化し、第 1 のデジタル化された電圧を提供し、前記第 4 のトランジスタの前記測定された V_{gs} 電圧をデジタル化し、第 2 のデジタル化された電圧を提供するアナログ - デジタル変換器 (ADC) と、

前記第 1 のおよび第 2 のデジタル化電圧を受け、前記第 1 および第 2 のデジタル化された電圧に基づいて前記バイアス回路に対する制御を生成するプロセッサと

をさらに具備する、請求項 15 の装置。

40

【請求項 17】

前記プロセッサは、名目の値を持つ前記第 1 および第 2 のバイアス電圧を用いて前記第 4 のトランジスタの前記測定された V_{gs} 電圧に対する前記第 2 のデジタル化された電圧を求め、前記第 2 のトランジスタの前記測定された V_{gs} 電圧と前記第 4 のトランジスタの前記測定された V_{gs} 電圧とを整合させるために、前記バイアス回路に対する前記制御を生成する、請求項 16 の装置。

【請求項 18】

少なくとも一つのトランジスタを具備するアンプと、

前記アンプの前記少なくとも一つのトランジスタを模倣する少なくとも一つのトランジ

50

スタを具備するレプリカ回路と、

前記アンプおよび前記レプリカ回路と連結され、前記アンプの第 1 の電圧を感知し、前記レプリカ回路の第 2 の電圧を感知し、前記第 1 および第 2 の電圧に基づいて前記アンプに対するバイアス電圧を生成するフィードバック回路とを具備する装置。

【請求項 19】

前記フィードバック回路は、

前記第 1 の電圧を受けおよびフィルタし、第 3 の電圧を提供するフィルタと、

前記第 2 および第 3 の電圧を受け、前記第 1 のトランジスタのゲートに対する前記バイアス電圧を生成する感知回路を具備する、請求項 20 の装置。

10

【請求項 20】

前記アンプは、積み重ねて連結された第 1 および第 2 のトランジスタを具備し、前記レプリカ回路は、積み重ねて連結された第 3 および第 4 のトランジスタを具備し、前記第 1 の電圧は、前記第 1 のトランジスタのトレイン電圧であり、前記第 2 の電圧は、前記第 3 のトランジスタのトレイン電圧であり、前記バイアス電圧は、前記第 1 のトランジスタのゲートに印加される、請求項 18 の装置。

【請求項 21】

前記第 2 および第 4 のトランジスタは、第 2 のバイアス電圧を受け、前記第 3 のトランジスタは、第 3 のバイアス電圧を受け、前記第 2 および第 3 のバイアス電圧は、前記レプリカ回路の前記第 3 および第 4 のトランジスタに対するターゲットバイアス電流を提供する、請求項 20 の装置。

20

【請求項 22】

入力信号を増幅し、出力信号を提供するアンプと、

前記アンプと連結され、第 1 の供給電圧を受け、前記アンプに第 2 の供給電圧を提供するスイッチモード電源 (S M P S) と、

前記アンプと連結され、前記アンプに対するターゲットバイアス電流を得るために、前記アンプに対するバイアス電圧を生成するバイアス回路とを具備する装置。

【請求項 23】

30

前記バイアス回路は、無効化された前記 S M P S を用いて、前記アンプに対する測定されたバイアス回路に基づいて決定された制御を受け、前記制御に基づいて、前記アンプに対する前記バイアス電圧を生成する、請求項 22 の装置。

【請求項 24】

前記アンプに作用するように連結され、前記 S M P S が無効化されている場合に、前記アンプに対するバイアス電流を提供する抵抗と、

前記抵抗に連結され、前記抵抗を渡る電圧を測定する感知回路とをさらに具備し、

前記バイアス回路は、前記抵抗を渡る前記測定された電圧に基づいて決定された制御を受け、前記制御に基づいて前記アンプに対する前記バイアス電圧を生成する、請求項 22 の装置。

40

【請求項 25】

前記抵抗を渡る前記測定された電圧をデジタル化し、デジタル化された電圧を提供するアナログ - デジタル変換器 (A D C) と、

前記デジタル化された電圧を受け、前記デジタル化された電圧に基づいて前記バイアス回路に対する前記制御を生成するプロセッサとをさらに具備する、請求項 24 の装置。

【請求項 26】

前記プロセッサは、前記デジタル化された電圧および前記抵抗の既知の値に基づいて前記アンプに対する測定されたバイアス電流を決定し、前記測定されたバイアス電流および

50

前記ターゲットバイアス電流とに基づいて前記バイアス回路に対する前記制御を生成する、請求項 25 の装置。

【請求項 27】

前記アンプは第 1 のトランジスタを具備し、
前記装置は、

少なくとも一つのスイッチを経由して、前記アンプの前記第 1 のトランジスタと連結される第 2 のトランジスタと、

前記第 2 のトランジスタと連結され、前記第 2 のトランジスタを通過する電流を測定する感知回路と

をさらに具備し、前記第 1 および第 2 のトランジスタは、前記少なくとも一つのスイッチが閉じられた場合に、カレントミラーを形成し、

前記バイアス回路は、前記第 2 のトランジスタを通過する前記測定された電流および前記アンプに対する前記ターゲットバイアス電流に基づいて決定された制御を受ける、請求項 22 の装置。

【請求項 28】

前記第 2 のトランジスタを通過する前記測定された電流を示す前記感知回路からの感知された電圧をデジタル化するアナログ - デジタル変換器 (ADC) と、

前記 ADC からの前記デジタル化された電圧を受け、前記デジタル化された電圧に基づいて前記バイアス回路に対する前記制御を生成するプロセッサと

をさらに具備する、請求項 27 の装置。

【請求項 29】

前記プロセッサは、前記デジタル化された電圧に基づいて前記アンプに対する測定されたバイアス電流を決定し、前記測定されたバイアス電流および前記ターゲットバイアス電流に基づいて前記バイアス回路に対する前記制御を生成する、請求項 28 の装置。

【請求項 30】

バイアス電流を調節する方法において、

アンプの少なくとも一つのトランジスタと連結されるインダクタを渡る電圧、または、前記アンプの前記少なくとも一つのトランジスタのうちの一つを用いて形成されるカレントミラーによる電流、または、前記アンプの前記少なくとも一つのトランジスタのうちの一つのゲート - ソース電圧 V_{gs} 、または、前記アンプを模倣するレプリカ回路における電圧、または、無効化されたスイッチモード電源 (SMPS) を用いて前記アンプに適用される電流、の測定を得ることと、

前記アンプに対するターゲットバイアス電流を得るために、前記測定に基づいて、前記アンプにおける前記少なくとも一つのトランジスタに対する少なくとも一つのバイアス電圧を生成することと

を具備する方法。

【請求項 31】

前記少なくとも一つのバイアス電圧を生成することは、

前記アンプにおける前記少なくとも一つのトランジスタのうちの一つを用いて形成される前記カレントミラーによる前記電流に基づいて、前記アンプに対する測定されたバイアス電流を決定することと、

前記測定されたバイアス電流および前記アンプに対する前記ターゲットバイアス電流に基づいて、前記少なくとも一つのバイアス電圧を生成することと

を具備する、請求項 30 の方法。

【請求項 32】

前記少なくとも一つのバイアス電圧を生成することは、

デジタル化された電圧を得るために、前記インダクタを渡る電圧をデジタル化することと、

前記デジタル化された電圧および前記インダクタに対する抵抗値に基づいて、前記アンプに対する測定されたデジタル電流を決定することと、

10
20
30
40
50

前記測定されたバイアス電流および前記アンプに対する前記ターゲットバイアス電流に基づいて、前記少なくとも一つのバイアス電圧を生成することとを具備する、請求項 30 の方法。

【請求項 33】

前記少なくとも一つのバイアス電圧を生成することは、前記アンプにおける前記少なくとも一つのトランジスタのうちの一つの V_{gs} 電圧に基づいて、前記アンプに対する測定されたバイアス電流を決定することと、前記測定されたバイアス電流および前記アンプに対する前記ターゲットバイアス電流に基づいて、前記少なくとも一つのバイアス電圧を生成することとを具備する、請求項 30 の方法。

10

【請求項 34】

前記少なくとも一つのバイアス電圧を生成することは、前記アンプにおける前記少なくとも一つのトランジスタのうちの一つの前記 V_{gs} 電圧およびターゲット V_{gs} 電圧に基づいて、前記少なくとも一つのバイアス電圧を生成する、請求項 30 の方法。

【請求項 35】

前記少なくとも一つのバイアス電圧を生成することは、前記レプリカ回路における少なくとも一つのトランジスタのうちの一つの V_{gs} 電圧の第 2 の測定を得ることと、前記アンプに対する前記ターゲットバイアス電流を得るために、さらに前記第 2 の測定に基づいて、前記アンプにおける前記少なくとも一つのトランジスタに対する前記少なくとも一つのバイアス電圧を生成することとを具備する、請求項 30 の方法。

20

【請求項 36】

前記少なくとも一つのバイアス電圧を生成することは、前記アンプにおける電圧を感知することと、フィードバックループを使用して、前記レプリカ回路における前記電圧および前記アンプにおける前記電圧に基づいて、前記アンプに対するバイアス電圧を生成することとを具備する、請求項 30 の方法。

【請求項 37】

前記測定を得ることは、無効化された $SMP S$ を用いて前記アンプと連結されるレジスタを渡る電圧を測定することと、前記測定された電圧に基づいて、前記アンプに適用される前記電流を決定することとを具備する、請求項 30 の方法。

30

【請求項 38】

前記測定を得ることは、前記アンプにおける前記少なくとも一つのトランジスタのうちの一つを用いて形成されるカレントミラーによる電流を測定することと、前記カレントミラーによる前記測定された電流に基づいて前記アンプに適用される前記電流を決定することとを具備する、請求項 30 の方法。

40

【請求項 39】

バイアス調節のための装置において、アンプの少なくとも一つのトランジスタと連結されるインダクタを渡る電圧、または、前記アンプの前記少なくとも一つのトランジスタのうちの一つを用いて形成されるカレントミラーによる電流、または、前記アンプの前記少なくとも一つのトランジスタのうちの一つのゲート - ソース電圧 V_{gs} 、または、前記アンプを模倣するレプリカ回路における電圧、または、無効化されたスイッチモード電源 ($SMP S$) を用いて前記アンプに適用される電流、の測定を得るための手段と、

50

前記アンプに対するターゲットバイアス電流を得るために、前記測定に基づいて、前記アンプにおける前記少なくとも一つのトランジスタに対する少なくとも一つのバイアス電圧を生成するための手段と
を具備する、装置。

【発明の詳細な説明】

【米国特許法第 1 1 9 条に基づく優先権の主張】

【 0 0 0 1 】

特許のための本願は、2009年7月30日に出願され、この譲受人に譲受され、ここで参照されることによって明らかに組み込まれる、「パワーアンプバイアス電流モニタおよび制御機構」と題名を付けられた仮出願番号第 6 1 / 2 3 0 , 0 8 9 号に対する優先権を主張する。

10

【背景】

【 0 0 0 2 】

I . 分野

本開示は、一般的に、エレクトロニクス、より詳細には、アンプのためのバイアス回路に関する。

【 0 0 0 3 】

II . 背景

アンプは、信号増幅を提供するために様々な電子デバイスで一般的に使用される。異なるタイプのアンプは、異なる用途に利用可能である。例えば、セルラー電話のようなワイヤレス通信デバイスは、双方向通信のためのトランスミッタおよびレシーバを含むことができる。トランスミッタは、ドライバアンプ (D A) およびパワーアンプ (P A) を含むとしてもよく、レシーバは、低ノイズアンプ (L N A) を含むとしてもよく、トランスミッタとレシーバとは、可変ゲインアンプ (V G A) を含むとしてもよい。

20

【 0 0 0 4 】

アンプは、アンプの所望の性能に基づいて選択され得るターゲットバイアス電流を用いて作動するように設計されてもよい。ターゲットバイアス電流は、アンプに適切なバイアス電圧を印加することにより得られてもよい。このバイアス電圧は、固定されてもよく、その後、アンプの老化、温度、および他の現象により変わる場合があるバイアス電流の結果として生じる場合がある。このように、バイアス電流は、ターゲットバイアス電流からずれる場合があり、ずれはアンプの性能に悪い影響を与える場合がある。例えば、より低いまたはより高いバイアス電流が、アンプの出力電力をシフトさせる場合があるが、それは不適當な場合がある。

30

【図面の簡単な説明】

【 0 0 0 5 】

【図 1】図 1 は、ワイヤレス通信デバイスのブロック図を示す。

【図 2】図 2 は、カレントミラーを使用するパワーアンプのためのバイアス調節の典型的な設計を示す。

【図 3】図 3 は、パワーアンプにおけるインダクタを渡る電圧に基づくバイアス調節の典型的な設計を示す。

40

【図 4】図 4 は、パワーアンプにおけるトランジスタのゲート - ソース間電圧に基づくバイアス調節の典型的な設計を示す。

【図 5】図 5 は、パワーアンプおよびレプリカ回路におけるトランジスタのゲート - ソース間電圧に基づくバイアス調節の典型的な設計を示す。

【図 6】図 6 は、フィードバックループを備えたバイアス調節の典型的な設計を示す。

【図 7】図 7 は、電源電圧を絶縁するためにスイッチモード電源を使用するバイアス調節の典型的な設計を示す。

【図 8】図 8 は、電源電圧を絶縁するためにスイッチモード電源を使用するバイアス調節の典型的なデザインを示す。

【図 9】図 9 は、ドレイン電流対ドレイン - ソース間電圧の曲線のファミリーを示す。

50

【図 10】図 10 は、バイアス電流を調節するプロセスの典型的なデザインを示す。

【詳細な説明】

【0006】

後述される詳細な説明は、本開示の典型的な実施形態の説明として意図され、本開示が実行できるただ一つの設計を表すように意図されない。「典型的」の用語は、「例、実例、例証として供給すること」を意味するとしてここで使用される。「典型的」としてここで説明されたいずれかの設計は、他の実施形態を超えてより好ましいまたは有益であるとして解釈される必要はない。詳細な説明は、本開示の典型的な実施形態の完全な理解を提供する目的で特定の詳細を含む。ここで説明される典型的な設計がこれらの特定の詳細なしに実行されてもよいことは、当業者に明白だろう。いくつかの実例において、よく知られた構成およびデバイスは、ここに示された典型的な設計の新しさを不明瞭にしないためにブロック図の形式で示される。

10

【0007】

アンプのバイアス電流をモニタリングおよび制御するための技術がここに記述される。

【0008】

この技術は、ワイヤレス通信デバイス、セルラー電話、携帯情報端末 (PDA)、ハンドヘルド装置、ワイヤレスモデム、ラップトップ・コンピュータ、コードレス電話機、ブルートゥースデバイス、消費者電子デバイスなどのような様々な電子デバイスに使用されることができる。明瞭性のために、ワイヤレス通信デバイスのための技術の使用が後述される。

20

【0009】

図 1 は、ワイヤレス通信デバイス 100 の典型的な設計のブロック図を示す。この典型的な設計において、ワイヤレスデバイス 100 は、データプロセッサ 110 およびトランシーバ 120 を含む。トランシーバ 120 は、双方向のワイヤレス通信をサポートするトランスミッタ 130 とレシーバ 150 とを含む。一般に、ワイヤレスデバイス 100 は、任意の数の通信システムおよび任意の数の周波数帯域のために、任意の数のトランスミッタおよび任意の数のレシーバを含むとしてもよい。

【0010】

送信パスでは、データプロセッサ 110 は、送信すべきデータ処理し、トランスミッタ 130 へアナログ出力信号を提供する。トランスミッタ 130 内では、アナログ出力信号は、アンプ (Amp) 132 によって増幅され、デジタル/アナログ変換によって引き起こされたイメージを削除するためにローパスフィルタ 134 によってフィルタされ、VGA 136 によって増幅され、ミキサ 138 によってベースバンドから無線周波数 (RF) へアップコンバートされる。アップコンバートされた信号は、フィルタ 140 でフィルタされ、さらにドライバアンプ (DA) 142 およびパワーアンプ (PA) 144 で増幅され、スイッチ/デュプレクサ 146 を通り抜けて進み、アンテナ 148 によって送信される。

30

【0011】

受信パスでは、アンテナ 148 は、基地局および/または他の送信局から信号を受信し、受信信号を提供し、それはスイッチ/デュプレクサ 146 を通り抜けて進み、レシーバ 150 に提供される。レシーバ 150 内で、受信信号は LNA 152 によって増幅され、バンドパスフィルタ 154 によってフィルタされ、ミキサ 156 によって RF からベースバンドへダウンコンバートされる。ダウンコンバートされた信号は、VGA 158 によって増幅され、ローパスフィルタ 160 によってフィルタされ、アナログ入力信号を得るためにアンプ 162 によって増幅され、それはデータプロセッサ 110 に提供される。

40

【0012】

図 1 は、周波数が一つのステージで RF とベースバンドとの間で信号に変換する直接変換アーキテクチャを実装するトランスミッタ 130 およびレシーバ 150 を示す。トランスミッタ 130 および/またはレシーバ 150 は、さらに、周波数が複数のステージで RF とベースバンドとの間で信号に変換するスーパー・ヘテロダイン・アーキテクチャを実

50

装してもよい。局所発振器 (L O) ジェネレータ 1 7 0 は、送信および受信 L O 信号をそれぞれミキサ 1 3 8 および 1 5 6 を生成および提供する。位相ロックループ (P L L) 1 7 2 は、データプロセッサ 1 1 0 から制御情報を受け、適切な周波数で送信および受信 L O 信号を生成するために制御情報を L O ジェネレータ 1 7 0 に提供する。

【 0 0 1 3 】

図 1 は、典型低なトランシーバ設計を示す。一般的に、トランスミッタ 1 3 0 およびレシーバ 1 5 0 における信号の条件付けは、アンプ、フィルタ、ミキサなどのうちの 1 以上のステージによって実行されてもよい。これらの回路は、図 1 に示される配置と異なるように配置されてもよい。図 1 に示されない他の回路もまた、トランスミッタおよびレシーバにおける信号の条件に使用されてもよい。図 1 のいくつかの回路は、また、省略されてもよい。トランシーバ 1 2 0 のすべてまたは部分は、1 以上のアナログ集積回路 (I C)、無線周波数 I C (R F I C)、ミックス信号 I C などを実装されてもよい。例えば、トランスミッタ 1 3 0 におけるアンプ 1 3 2 からパワーアンプ 1 4 4 までは、R F I C に実装されてもよい。ドライバアンプ 1 4 2 およびパワーアンプ 1 4 4 は、また、R F I C の外部の他の I C に実装されてもよい。

10

【 0 0 1 4 】

データプロセッサ 1 1 0 は、例えば、送信および受信信号に対する処理のような、ワイヤレスデバイス 1 0 0 に対する各種の機能を実行することができる。メモリ 1 1 2 は、データプロセッサ 1 1 0 のためのプログラムコードとデータとを格納することができる。データプロセッサ 1 1 0 は、1 以上の特定用途向け I C (A S I C) および / または他の I C に実装されてもよい。

20

【 0 0 1 5 】

ここに記述されたバイアス電流のモニタリングおよび制御のための技術は、図 1 に示されるアンプのような、様々なタイプのアンプに使用されてもよい。明瞭さのために、後述の多くは、図 1 のパワーアンプ 1 4 4 のような、パワーアンプのバイアス電流のモニタリングおよび制御をカバーする。この技術は、パワーアンプのバイアス電流を測定ことができ、老化、および I C プロセス、電源電圧、温度および / または他の現象の変化によるバイアス変化を補正するためにバイアス電流を調節することができる。

【 0 0 1 6 】

図 2 は、カレントミラーを使用するバイアス調節の典型的な設計の概略図を示す。図 2 に示される典型的な設計では、パワーアンプ 2 1 0 は、インダクタ 2 1 4 と連結された N チャンネル金属酸化膜半導体 (N M O S) トランジスタ 2 1 2 で実装される。N M O S トランジスタ 2 1 2 は、入力 R F (R F i n) 信号を受けるゲート、回路グラウンドと連結されたソース、出力 R F (R F o u t) 信号を提供するドレインを持つ。インダクタ 2 1 4 は、上部電源 V d d と連結される一端、および N M O S トランジスタ 2 1 2 のドレインと連結される他端を持つ。抵抗 2 1 6 は、N M O S トランジスタ 2 1 2 のゲートと連結された一端およびバイアス回路 2 2 0 からのバイアス電圧 V b i a s を受ける他端を持つ。

30

【 0 0 1 7 】

N M O S トランジスタ 2 1 2 は、R F i n 信号に対する信号増幅を提供する。インダクタ 2 1 4 は、N M O S トランジスタ 2 1 2 に対するパッシブ負荷として作用する。インダクタ 2 1 4 は、また、V d d 電源から R F o u t 信号までのカップリングのノイズを低減する R F チョークとして作用する。インダクタ 2 1 4 は、さらにパワーアンプ 2 1 0 のための出力整合回路の一部でもよい。抵抗 2 1 6 は、V b i a s 電圧を N M O S トランジスタ 2 1 2 へ伝えることができる R F チョークとして作用するとともに、R F i n 信号に対して高インピーダンスパスを提供する。

40

【 0 0 1 8 】

バイアス回路 2 2 0 内では、N M O S トランジスタ 2 2 2 は、回路グラウンドに連結されたソースと、抵抗 2 1 6 に連結されたゲートとを持つ。電流源 2 3 0 は、N M O S トランジスタ 2 2 2 のドレインと連結された一端、および V d d に連結された他端を持つ。電流源 2 3 0 は、可変電流 I c s を提供することができるプログラム可能電流源としてもよ

50

い。NMOSトランジスタ224は、NMOSトランジスタ222のゲートに連結されるソースと、NMOSトランジスタ222のドレインに連結されるゲートと、V_{dd}に連結されるドレインとを持つ。抵抗226は、NMOSトランジスタ222のゲートと回路グラウンドとの間に連結される。

【0019】

パワーアンプ210は、インダクタ214とNMOSトランジスタ212とを通過して流れるI_{bias}のバイアス電流を持つ。I_{bias}電流は、パワーアンプ210に対して所望の性能を提供するために選択されるとしてもよい。I_{bias}電流は、NMOSトランジスタ212のゲートに提供されるV_{bias}電圧に依存する。所望/ターゲットのI_{bias}電流は、適切な値にV_{bias}電圧をセットすることによって得られる。しかしながら、異なるV_{bias}電圧は、NMOSトランジスタ212の老化、温度、電源電圧、およびICプロセスの老化などのような様々な要因より、ターゲットのI_{bias}電流を得るために必要としてもよい。

10

【0020】

バイアス回路220およびパワーアンプ210はカレントミラーとして連結される。同じV_{bias}電圧はNMOSトランジスタ212および222の双方のゲートに印加される。NMOSトランジスタ212を通るI_{bias}電流は、このように、NMOSトランジスタ222を通過してI_{cs}電流と関係があり、次のように表現されてもよい：

$$I_{bias} = K * I_{cs} \quad \text{式(1)}$$

ここで、Kは、NMOSトランジスタ222のサイズに対するNMOSトランジスタ212のサイズの比率である。I_{bias}電流の少しだけがバイアス回路220に使用されるように、Kは1より大きとしてもよく、これにより電力消費を削減できる。

20

【0021】

図2に示される典型的な設計は、パワーアンプ210におけるNMOSトランジスタ212とバイアス回路220におけるNMOSトランジスタ222との間の整合に依存し、式(1)の示されるI_{bias}とI_{cs}との間の関係を得る。ターゲットのI_{bias}電流を得るために、対応するターゲットのI_{cs}電流は、 $I_{cs} = I_{bias} / K$ として計算されることができる。電流源230は、その後、ターゲットのI_{cs}電流を提供するように調節されることができる。

【0022】

図2に示されていないが、I_{cs}電流は、また、測定され、電流源230は、ターゲットのI_{cs}電流を得るために制御されてもよい。これは、ターゲットのI_{bias}電流がパワーアンプ210に提供されることを保証することができる。I_{bias}電流はI_{cs}電流の調節されたバージョンであるので、I_{bias}電流はカレントミラーによって有効に測定されることができる。これは、I_{bias}電流を測定するためにインダクタ214と並列な抵抗器を加える必要を回避し、それは、その上で、V_{dd}とNMOSトランジスタ212との間の電圧降下を回避するだろう。

30

【0023】

ある典型的な設計において、バイアス調節は、V_{bias}電圧対測定されたI_{cs}電流のルックアップテーブルに基づいて行なわれるとしてもよい。このルックアップテーブルは、コンピュータシミュレーション、経験的な測定などによってパワーアンプ210を特徴づけることにより決定されてもよい。測定されたI_{cs}電流は、ルックアップテーブルに提供されてもよく、その後、NMOSトランジスタ212のためにV_{bias}電圧を提供してもよい。他の典型的な設計において、バイアス調節は反復して実行されてもよい。各反復について、測定されたI_{cs}電流は、ターゲットのI_{cs}電流と比較されてもよい。もし、測定されたI_{cs}電流がターゲットのI_{cs}電流の許容域内でない場合、V_{bias}電圧がターゲットのI_{cs}電流へ向けて近づくように動くように、調節されてもよい。測定されたI_{cs}電流がターゲットのI_{cs}電流の許容域内にある場合、バイアス調節は終了してもよい。

40

【0024】

50

図3は、インダクタ214を渡る電圧を測定することによるバイアス調節の典型的な設計の概略図を示す。図3に示される典型的な設計において、バイアス調節回路240は、オペレーショナルアンプ(op-amp)252、アナログ-デジタル変換器(ADC)258、プロセッサ260およびバイアス回路270を含む。op-amp252は、インダクタ214の2つの端子と連結される2つの入力と、ADC258と連結される出力を持つ。プロセッサ260は、ADC258からデジタル出力を受け、バイアス回路270を制御し、抵抗216に提供される所望のバイアス電圧Vbiasを生成する。プロセッサ260は、図1のプロセッサ110によって実装されてもよい。バイアス回路270は、図2のバイアス回路220で実装されてもよく、電流源230はプロセッサ260によって制御可能としてもよい。バイアス回路270は、さらに、プロセッサ260からデジタル値を受けて対応するDC電圧を生成することができるデジタル-アナログ変換器(DAC)で実装されるとしてもよい。

10

【0025】

op-amp252は、インダクタ214を渡る電圧を感知/測定する。理想的なインダクタは、純粹に反応的であり、インダクタを渡る電圧降下がない。しかしながら、実際的なインダクタは、いくらかの抵抗を持ち、電圧はこの寄生する抵抗の両端に現われ、次のように表現される：

$$V_{ind} = R_{ind} * I_{bias} \quad \text{式(2)}$$

ここで、 R_{ind} はインダクタ214の抵抗値であり、 V_{ind} はインダクタ214の両端の電圧である。

20

【0026】

op-amp252は、ADC258へ測定された V_{ind} 電圧を提供し、ADC258は、測定された V_{ind} 電圧を量子化し、プロセッサ260にデジタル化された V_{ind} 電圧を提供する。プロセッサ260は、ADC258からのデジタル化された V_{ind} 電圧および知られている R_{ind} 抵抗、または $I_{bias} = V_{ind} / R_{ind}$ に基づいて、インダクタ214を通過する I_{bias} を計算する。プロセッサ260は、計算/測定された I_{bias} 電流とターゲットの I_{bias} 電流とを比較し、測定された I_{bias} 電流がターゲットの I_{bias} 電流と整合するように V_{bias} 電圧を生成するために、バイアス回路270を制御する。例えば、もし、測定された I_{bias} 電流がターゲットの I_{bias} 電流より小さい場合、プロセッサ260は、次に、 V_{bias} 電圧を増加させるようにバイアス回路270を制御させてもよく、 V_{bias} 電圧は、その上で、 I_{bias} 電流を増加させることができる。もし、測定された I_{bias} 電流がターゲットの I_{bias} 電流より大きければ、その逆が適当だろう。

30

【0027】

式(2)に示されるように、 I_{bias} 電流は、測定された V_{ind} 電圧および既知の R_{ind} 抵抗に基づいて決定されてもよい。 R_{ind} 抵抗は、様々な方法で決定されることができる。ある典型的な設計において、 R_{ind} 抵抗は、パワーアンプ210が作動可能でない場合に、例えば製造時または現場で、較正によって決定されてもよい。較正のために、既知の I_{bias} 電流は、インダクタ214を通じて適用されてもよく、インダクタ214を横切った V_{ind} 電圧が測定されてもよい。 R_{ind} 抵抗は、その上で、既知の I_{bias} 電流および測定された V_{ind} 電圧、または、 $R_{ind} = V_{ind} / I_{bias}$ に基づいて、決定されてもよい。

40

【0028】

他の典型的な設計において、与えられたICチップ上の R_{ind} 抵抗は、ICチップによって観測されたICプロセス状態に基づいて、決定されてもよい。例えば、 R_{ind} 抵抗は、たくさんのICチップに対して、および、コンピュータシミュレーションを用いた異なるICプロセス状態、経験的な測定などによって、特徴づけられてもよい。 R_{ind} 対ICプロセス状態のルックアップテーブルは、その特徴から得られてもよい。それぞれのICチップは、そのICチップによって観測されたICプロセス状態を決定することができるICプロセスモニタを含むとしてもよい。ICチップによって観察されたICプロ

50

セス状態は、ルックアップテーブルに提供されてもよく、ルックアップテーブルは観察されたICプロセス状態に対応するRind抵抗を提供してもよい。

【0029】

インダクタ212の抵抗は、さらに、他の方法で決定されてもよい。その抵抗は、Ibias電流を計算するために、一度決定され、後の使用のために格納されてもよい。

【0030】

図3は、パワーアンプ210のバイアス電流を測定するためのインダクタ214の使用を示す。図3は、インダクタを横切る電圧を測定するためにインダクタ214の固有の抵抗を利用する。外部抵抗は、NMOSトランジスタ212のドレインとddとの間に並列に加えられない。外部抵抗は電力を消費し、他の有害な影響がある場合があるため、このことは望ましい。

10

【0031】

図4は、パワーアンプ410内のNMOSトランジスタのゲート-ソース電圧Vgsを測定することによるバイアス調節の典型的な設計の概略図を示す。図4に示される典型的な設計において、パワーアンプ410は、互いに積み重ねられ、インダクタ416と連結された2つのNMOSトランジスタ412および414を用いて実装される。NMOSトランジスタ412は、RFin信号を受けるゲートと回路グラウンドと連結されるソースとを持つ。NMOSトランジスタ414は、NMOSトランジスタ412のドレインと連結されるソースとRFoutに提供するドレインとを持つ。インダクタ416は、Vddと連結された一端と、NMOSトランジスタ414のドレインと連結された他端とを持つ。NMOSトランジスタ412は、パワーアンプ410に対して信号増幅を提供する。NMOSトランジスタ414は、パワーアンプ410に対してバッファリングを提供する。RFout信号の電圧振幅は、大きくてもよく、NMOSトランジスタ412および414の間で分離されてもよい。それぞれのNMOSトランジスタは、その上で、より小さな電圧振幅(例えば、電圧振幅の半分)を観察するだろう。より小さな電圧振幅は、その上で、NMOSトランジスタの信頼性を改善することができる。インダクタ416は、パッシブ負荷およびRFチョークとして作用することができ、さらに、パワーアンプ410に対する出力整合回路の部分とすることができる。

20

【0032】

抵抗422は、NMOSトランジスタ412のゲートと連結される一端と、バイアス回路470からの第1のバイアス電圧Vbias1を受ける他端とを持つ。抵抗424は、NMOSトランジスタ414のゲートと連結される一端と、バイアス回路470からの第2のバイアス電圧Vbias2を受ける他端とを持つ。

30

【0033】

図4に示される典型的な設計において、バイアス調節回路440は、op-amp452、ADC458、プロセッサ460、ルックアップテーブル462、およびバイアス回路470を含む。プロセッサ460は、図1のプロセッサ110によって実装されてもよい。バイアス回路470は、図2のバイアス回路220を用いて実装されてもよく、電流源230は、プロセッサ460によって制御可能としてもよい。op-amp452は、NMOSトランジスタ414のソースと連結される一方の入力と、NMOSトランジスタ414のゲートと連結される他方の入力とを持つ。op-amp452は、NMOSトランジスタ414のVgs電圧を感知/測定し、ADC458に対して測定されたVgs電圧を提供する。ADC458は、測定されたVgs電圧を量子化し、プロセッサ460にデジタル化されたVgs電圧を提供する。プロセッサ460は、ADC458からのデジタル化されたVgs電圧に基づいて、NMOSトランジスタ414を通過するIbias電流を推定する。プロセッサ460は、プロセッサ460は、測定されたIbias電流がターゲットのIbias電流と整合するようにVbias1および/またはVbias2電圧を生成するために、推定/測定されたIbias電流と、ターゲットのIbias電流とを比較し、バイアス回路470を制御する。例えば、測定されたIbias電流がターゲットのIbias電流より小さい場合、その上で、プロセッサ460は、Vbia

40

50

s 1 および / または $V_{bias 2}$ 電圧を増加するように、バイアス回路 470 を制御するとしてもよく、 $V_{bias 1}$ および / または $V_{bias 2}$ 電圧は、 I_{bias} 電流を増加させることができる。もし、測定された I_{bias} 電流がターゲットの I_{bias} 電流より大きければ、その逆が適当だろう。

【0034】

図9は、NMOSトランジスタのドレイン電流 I_d 対ドレイン - ソース間電圧 V_{ds} に対する曲線のファミリーを示す。 I_d 対 V_{ds} は、与えられた V_{gs} 電圧に対して描かれてもよい。この曲線は、曲線の折れ曲がり到達するまで、 V_{ds} 電圧とともに増加する I_d 電流を示す。折れ曲がりの後、 I_d 電流は、(理想的に) 最終値に平らになり、 V_{ds} が増加した場合に増加しない。図9は、3つの異なる V_{gs} 電圧 $V_{gs 1}$ 、 $V_{gs 2}$ および $V_{gs 3}$ に対する3つの曲線を示す。図9に示すように、段々に高くなる V_{gs} 電圧に対する曲線は、段々に、 I_d 電流のより大きい最終値を持つ。

10

【0035】

図4を戻って参照すると、パワーアンプ410のNMOSトランジスタ414は、折れ曲がりの上の飽和領域で作動されてもよい。したがって、NMOSトランジスタ414の V_{gs} 電圧は、対応する I_d 電流に対してマップされてもよい。ルックアップテーブル462は、 I_d 対NMOSトランジスタ414についての V_{gs} を記憶することができる。 I_d 対NMOSトランジスタ414についての V_{gs} は、測定、コンピュータシミュレーションなどによってNMOSトランジスタの特徴に基づいて決定されてもよい。NMOSトランジスタ414の V_{gs} 電圧は、測定されてもよい。測定された V_{gs} 電圧は、ルックアップテーブル462に提供されてもよく、ルックアップテーブル462は、対応する I_d 電流を提供してもよい。プロセッサ460は、測定された V_{gs} 電圧に対する I_d 電流を受けることができ、バイアス回路470へ指示することができ、ターゲットの I_d 電流を得るために $V_{bias 1}$ および / または $V_{bias 2}$ 電圧を調節する。

20

【0036】

図4は、2つのNMOSトランジスタ412および414が互いに積み重ねられた典型的な設計を示す。積み重ねるNMOSトランジスタの数は、RFout信号の最大の電圧振幅、各NMOSトランジスタなどの破壊電圧などに依存してもよい。その積み重ねにおける1以上のNMOSトランジスタの V_{gs} 電圧は、測定されることができ、1以上のバイアス電圧を調節するために使用されることができ、これによりパワーアンプに対するターゲットの I_{bias} 電流を得る。

30

【0037】

図5は、パワーアンプ410およびレプリカ回路430に備えられるNMOSトランジスタの V_{gs} を測定することによるバイアス調節の典型的な設計の概略図を示す。レプリカ回路430は、積み重ね構成で連結されたNMOSトランジスタ432および434を含む。NMOSトランジスタ432は、NMOSトランジスタ412のゲートと連結されたゲート、回路グラウンドと連結されたソースを持つ。NMOSトランジスタ434は、NMOSトランジスタ432のドレインと連結されたソース、NMOSトランジスタ414のゲートと連結されたゲート、 V_{dd} と連結されたドレインを持つ。

40

【0038】

図5に示される典型的な設計において、バイアス調節回路442は、op-amp 452 および 454、マルチプレクサ (Mux) 456、ADC 458、プロセッサ460、ルックアップテーブル462、およびバイアス回路470を含む。op-amp 452 は、NMOSトランジスタ414のソースと連結される一方の入力と、NMOSトランジスタ414のゲートと連結される他方の入力とを持つ。op-amp 452 は、NMOSトランジスタ414の V_{gs} 電圧を感知 / 測定し、この測定された V_{gs} をマルチプレクサ456の第1の入力に提供する。同様に、op-amp 454 は、NMOSトランジスタ434のソースと連結される一方の入力と、NMOSトランジスタ434のゲートと連結される他方の入力とを持つ。op-amp 454 は、NMOSトランジスタ434の V_{gs} 電圧を感知 / 測定し、この測定された V_{gs} をマルチプレクサ456の第2の入力に提

50

供する。マルチプレクサ456は、op-amp452からの測定されたVgs電圧またはop-amp454からの測定されたVgs電圧をADC458へ提供する。ADC458は、マルチプレクサ456からの測定されたVgs電圧を量子化し、デジタル化されたVgs電圧をプロセッサ460へ提供する。プロセッサ460は、NMOSトランジスタ414および434に対するデジタル化されたVgs電圧を受け、後述されるように、ターゲットのIbias電流がパワーアンプ410のために得られるように、Vbias1および/またはVbias2電圧を生成するためにバイアス回路470を制御する。

【0039】

レプリカ回路430は、パワーアンプ410におけるNMOSトランジスタ412および414のレプリカである。しかしながら、レプリカ回路430のNMOSトランジスタ4432および434は、電力消費を低減するために、パワーアンプ410のNMOSトランジスタ412および414より小さいサイズとしてもよい。さらに、レプリカ回路430のNMOSトランジスタ432および434は、パワーアンプ410のNMOSトランジスタ412および414によって観測される大きな電圧振幅および高バイアス電流にさらされない。したがって、NMOSトランジスタ432および434は、NMOSトランジスタ412および414より老化しない経験を持つ。この区別は、パワーアンプ410に対してターゲットのIbias電流をセットするために使用されてもよい。

10

【0040】

パワーアンプ410用のターゲットのIbias電流は、以下のように得られてもよい。まず、レプリカ回路430のNMOSトランジスタ434のVgs電圧は、それぞれNMOSトランジスタ432および434のゲートに印加された名目上のVbias1およびVbias2電圧を用いて測定されることができる。名目上のVbias1およびVbias2電圧は、NMOSトランジスタ432および434を通るターゲットのId電流を提供すべきであり、レプリカ回路430の過去の特徴によって決定されることができる。パワーアンプ410のNMOSトランジスタ414のVgs電圧は、次に、それぞれNMOSトランジスタ412および414のゲートに印加された名目上のVbias1およびVbias2電圧を用いて測定されることができる。NMOSトランジスタ414の測定されたVgs電圧は、NMOSトランジスタ434のVgs電圧と比較されることができる。次に、Vbias1および/またはVbias2電圧は、NMOSトランジスタ414の測定されたVgs電圧がNMOSトランジスタ434の測定されたVgs電圧と整合するように、調整されるとしてもよい。NMOSトランジスタ414のVgs電圧をNMOSトランジスタ434のVgs電圧に整合することにより、NMOSトランジスタ414を通るターゲットのId電流(したがって、パワーアンプ410のためのターゲットIbias電流)が得られてもよい。

20

30

【0041】

図5に示されていないが、NMOSトランジスタ434を通るId電流は、測定されるとしてもよく、Vbias1および/またはVbias2電圧は、ターゲットのId電流が得られるように、変化されるとしてもよい。NMOSトランジスタ434を通るターゲットのId電流を提供可能なVbias1およびVbias2は、名目上のVbias1およびVbias2電圧として保存されてもよい。

40

【0042】

図6は、フィードバックループを使用するバイアス調節の典型的な設計の概略図を示す。パワーアンプ410およびレプリカ回路430は、それぞれ図4および5に対して上述されたように連結される。図6に示される典型的な設計において、バイアス調節回路444は、ローパスフィルタ462、op-amp464、プロセッサ460、およびバイアス回路470を含む。ローパスフィルタ462とop-amp464とは、フィードバックループを形成する。ローパスフィルタ462は、パワーアンプ410のNMOSトランジスタ412のドレインと連結される入力を持ち、入力信号におけるRF成分を除去するためのフィルタリングを実行し、感知された電圧Vsenseを提供する。Vsense電圧は、NMOSトランジスタ412のドレインの直流(DC)電圧を示す。op-amp

50

464は、ローパスフィルタ462の出力と連結された非反転入力と、NMOSトランジスタ432のドレインと連結された反転入力とを持つ。op-amp464の出力は、抵抗422の一端と連結され、抵抗422の他端は、NMOSトランジスタ412のゲートと連結される。op-amp464は、NMOSトランジスタ412のゲートに対してVbias1電圧を提供する。バイアス回路470は、抵抗424の一端にVbias2電圧を提供し、抵抗424の他端は、NMOSトランジスタ414および434の双方のゲートに連結される。バイアス回路470は、さらに、抵抗426の一端にVbias3電圧を提供し、抵抗426の他端は、レプリカ回路430のNMOSトランジスタ432のゲートに連結される。

【0043】

フィードバックループ480は、ローパスフィルタ462、op-amp464、抵抗422、およびNMOSトランジスタ412によって形成される。レプリカ430は、フィードバックループのために、基準電圧(Vref)を生成する。バイアス回路470は、ターゲットのId電流がこれらのNMOSトランジスタを通過して流れるように、それぞれ、NMOSトランジスタ434および432のための名目上のVbias2およびVbias3電圧を生成する。NMOSトランジスタ432のドレインの電圧は、Vref電圧としてフィードバックループに使用される。op-amp464は、Vsense電圧とVref電圧とを比較し、Vsense電圧がVref電圧と整合するようにVbias1電圧を生成する。例えば、もし、Vsense電圧がVref電圧より高い場合、次に、op-amp464は、より高いVbias1電圧を提供し、より高いVbias1電圧は、次に、NMOSトランジスタ412のターンオンを困難にし、NMOSトランジスタ412のドレインの電圧を縮小する。もし、Vsense電圧がVref電圧より低い場合その逆が適当である。

【0044】

図6に示される典型的な設計において、NMOSトランジスタ412のドレインのDC電圧が、NMOSトランジスタ432のドレインのDC電圧と整合するように、フィードバックループは、NMOSトランジスタ412に対するVbias1を調節する。同じVbias2電圧がNMOSトランジスタ414および434のゲートに印加されるので、フィードバックループは、本質的にNMOSトランジスタ434のVgs電圧にNMOSトランジスタ414のVgs電圧を整合させる。このことは、次に、NMOSトランジスタ414に対して得られるターゲットのId電流を結果として生じる。

【0045】

ターゲットのId電流を提供できる名目上のVbias1および/またはVbias2電圧は、レプリカ回路430の先の特徴によって決定されてもよい。あるいは、NMOSトランジスタ434を通るId電流は、測定されてもよく、Vbias1および/またはVbias2電圧は、ターゲットのId電流が得られるように、変えられてもよい。

【0046】

図6のフィードバックループは、パワーアンプ410が作動可能であっても、連続的に作動できる。あるいは、フィードバックループは、ADCを用いて計測されることができ、Vbias1電圧をセットするために作動されてもよい。フィードバックループは、次に、分離されてもよく、測定されたVbias1電圧は、生成され(例えばバイアス回路470によって)、抵抗422に印加されてもよい。

【0047】

図7は、パワーアンプ710から供給電圧を絶縁するためにスイッチモード電源(SMPS)720を使用するバイアス調節の典型的なデザインの概略図を示す。パワーアンプ710は、ある例外を除き、図2のパワーアンプ210のNMOSトランジスタ212、インダクタ214、抵抗216と類似の方法で連結されるNMOSトランジスタ712、インダクタ714、抵抗716、インダクタを含む。インダクタ714は、Vddに代えて、SMPS720によって提供されるVsmps供給電圧と連結される。

【0048】

10

20

30

40

50

SMP S 7 2 0では、Pチャネル金属酸化膜半導体(PMOS)トランジスタ7 2 2は、バッテリー電源V b a tと連結されるソースと、ノードXと連結されるドレインと、SMP S制御部7 2 6と連結されるゲートとを持つ。NMOSTランジスタ7 2 4は、回路グラウンドと連結されるソース、ノードXと連結されるドレイン、SMP S制御部7 2 6と連結されるゲートを持つ。SMP S制御部7 2 6は、ノードYの電圧とともに(単純化のため図7では示されない)、プロセッサ7 6 0からの出力を受け、PMOSTランジスタ7 2 2のための第1の制御電圧と、NMOSTランジスタ7 2 4のための第2の制御電圧とを生成する。インダクタ7 3 2は、ノードXおよびノードYの間に連結される。キャパシタ7 3 4は、ノードYと回路グラウンドとの間に連結される。パワーアンプ7 1 0におけるインダクタ7 1 4は、V s m p s電圧を提供するノードYと連結される。

10

【0049】

バイアス調節回路7 4 0は、ターゲットのI b i a s電流がパワーアンプ7 1 0に提供されるように、パワーアンプ7 1 0におけるNMOSTランジスタ7 1 2のためのV b i a s電圧を生成する。回路7 4 0で、NMOSTランジスタ7 5 2は、V d dと連結されるドレイン、制御回路7 6 2と連結されるゲート、抵抗7 5 4の一端と連結されるソースとを持つ。抵抗7 5 4の他端は、ノードXと連結される。o p - a m p 7 5 6は、抵抗7 5 4の2つの端子と連結される2つの入力と、ADC 7 5 8と連結される出力とを持つ。プロセッサ7 6 0は、ADC 7 5 8からデジタル出力を受け、所望のI b i a s電流を生成するように制御回路7 6 2に命令し、NMOSTランジスタ7 1 2のための所望のV b i a s電圧を生成するようにバイアス回路7 7 0を制御する。プロセッサ7 6 0は、図1

20

【0050】

通常動作モードにおいて、NMOSTランジスタ7 5 2は、ターンオフされ、SMP S 7 2 0は、ターンオンされ、V b a t電圧に基づいてパワーアンプ7 1 0のためのV s m p s電圧を生成する。SMP S制御部7 2 6は、パルス幅変調器(PWM)ジェネレータとして作動し、交互に、PMOSTランジスタ7 2 2をターンオンおよびオフしてもよい。オン状態において、PMOSTランジスタ7 2 2はターンオンされ、NMOSTランジスタ7 2 4はターンオフされる。V b a t電圧は、PMOSTランジスタ7 2 2を経由して、V b a t電圧からのエネルギーを保存するインダクタ7 2 2と連結される。V b a t電圧は、インダクタ7 3 2にPMOSTランジスタ7 2 2経由で連結される。インダクタ7 3 2は、V b a t電圧からのエネルギーを格納する。V b a t電圧は、オン状態の場合に、キャパシタ7 3 4とパワーアンプ7 1 0に電流を提供する。オフ状態の場合に、PMOSTランジスタ7 2 2は、ターンオフされ、NMOSTランジスタ7 2 4は、ターンオンされる。V b a t電圧は、PMOSTランジスタ7 2 2によってインダクタ7 3 2から分離される。インダクタ7 3 2は、NMOSTランジスタ7 2 4により回路グラウンドに連結され、その保存されたエネルギーをキャパシタ7 3 4およびパワーアンプ7 1 0に提供する。キャパシタ7 3 4は、オフ状態において、V s m p s電圧をほぼ一定に維持し、さらにパワーアンプ7 1 0にそのチャージを提供する。インダクタ7 3 2とキャパシタ7 3 4は、さらに、MOSTランジスタ7 2 2および7 2 4のスイッチングにより、V s m p s電圧におけるリップルを抑えるローパスフィルタを形成する。

30

40

【0051】

バイアス調節モードにおいて、SMP S 7 2 0は、MOSTランジスタ7 2 2および7 2 4の双方をターンオフすることによりターンオフされる。NMOSTランジスタ7 5 2は、ターンオンされ、抵抗7 5 4を通り抜けてパワーアンプ7 1 0にI b i a s電流を流す。o p - a m p 7 5 6は、抵抗7 5 4を渡る電圧V r e sを感知/測定する。ADC 7 5 8は、測定されたV r e s電圧を量子化し、プロセッサ7 6 0にデジタル化されたV r e s電圧を提供する。プロセッサ7 6 0は、ADC 7 5 8からのデジタル化されたV r e s電圧および既知の抵抗7 5 4の抵抗R r e s、または、 $I b i a s = V r e s / R r e$

50

sとに基づいて、抵抗754を通り抜けるIbias電流を計算する。プロセッサ760は、計算/測定されたIbias電流をターゲットのIbias電流と比較し、測定されたIbias電流がターゲットのIbias電流と整合するようにVbias電圧を生成するために、バイアス回路770を制御する。もし、測定されたIbias電流がターゲットのIbias電流より小さい場合、プロセッサ760は、Vbias電圧を増加させるようにバイアス回路770を制御することができ、Vbias電圧はIbias電流を増加させるだろうもし、測定されたIbias電流がターゲットのIbias電流より大きい場合には、その逆が適切だろう。プロセッサ760は、通常動作モードにおいてNMOSトランジスタ752をターンオフするように、または、バイアス調節モードにおいてNMOSトランジスタ752をターンオンするように、制御回路762に命令するとしてもよい。プロセッサ760は、さらに、バイアス調節モードのVsmps電圧が通常動作モードのVsmps電圧と同じになるように、NMOSトランジスタ752のための制御電圧を生成するように、制御回路762を導くことができる。

10

20

30

40

50

【0052】

SMP S 720は、通常、バッテリー電圧または外部電圧を、パワーアンプ710のためのより低い供給電圧に調節するために使用され、パワーアンプ710は、次に、電力消費の削減および電力付加効率(PAE)を改善する。図7に示される典型的な設計は、ノードXからVbat電圧を絶縁するためにSMP S 720を利用し、MOSトランジスタ722および724の双方をターンオフすることにより達成される。Vbat電圧から絶縁されたノードXにより、外部電流は、NMOSトランジスタ752および抵抗754を経由してパワーアンプ710に適用されることができる。外部電流は、測定されることができ、NMOSトランジスタ712に対する適切なVbias電圧を生成するために使用され、パワーアンプ710に対するターゲットのIbias電流を得る。通常動作モード中に、NMOSトランジスタ752は、ターンオフされ、パワーアンプ710のオペレーションに影響しない。

【0053】

図8は、SMP S 720を使用するバイアス調節の他の典型的な設計の概略図を示す。パワーアンプ710およびSMP S 720は、図7について上述されたように連結される。バイアス調節回路742は、ターゲットのIbias電流がパワーアンプに提供されるように、パワーアンプ710のNMOSトランジスタ712に対するVbias電圧を生成する。回路742で、NMOSトランジスタ752、制御回路762、プロセッサ760は、図7に対して上述されたように連結される。図7の抵抗754は、パワーアンプ710に既知の電流Ibiasを提供可能な電流源764に置き換えられる。NMOSトランジスタ752と電流源764は、さらに、制御回路762によって制御されるPMOS電流源トランジスタ(または理想調節電流源)に置き換えられてもよい。スイッチ772は、NMOSトランジスタ712のゲートに連結される一端、NMOSトランジスタ712のドレインに連結される他端を持つ。スイッチ774は、NMOSトランジスタ712のゲートに連結される一端と、NMOSトランジスタ782のゲートに連結される他端とを持つ。スイッチ772および774は、Vctrl制御信号を受ける。スイッチ776は、バイアス回路770の出力と抵抗716との間に連結され、Vctrl制御信号を受ける。NMOSトランジスタ782は、回路グラウンドに連結されるソースと、op-ampの一方の入力に連結されるドレインとを持つ。PMOS784は、NMOSトランジスタ782のドレインに連結されるドレインおよびゲートと、Vddに連結されるソースを持つ。PMOSトランジスタ784は、また、既知の値を持つ抵抗に置き換えられてもよい。op-amp786は、Vddと連結される他方の入力と、ADC758と連結される出力とを持つ。プロセッサ760は、ADC758からのデジタル出力を受け、所望のIbias電流を提供するために制御回路762を導き、NMOSトランジスタ712に対する所望のVbias電圧を生成するために、バイアス回路770を制御する。

【0054】

通常動作モードにおいて、NMOSトランジスタ752は、ターンオフされ、スイッチ

772および774は開かれ、スイッチ776は閉じられ、SMP S 720は、パワーアンプ710に対する $V_{smp s}$ 電圧を生成するために、ターンオンされる。バイアス調節モードにおいて、SMP S 720は、MOSトランジスタ722および724の双方をターンオフすることにより、ターンオフされる。NMOSトランジスタ752は、ターンオンされ、既知の電流 I_{bias} をパワーアンプ710に流す。スイッチ772および774は、閉じられ、NMOSトランジスタ712および782は、カレントミラーとして動作する。同じDC電圧がNMOSトランジスタ712および782のゲートに印加されるので、NMOSトランジスタ782を通過する I_{cm} 電流は、NMOSトランジスタ712を通る I_{bias} 電流、または、 $I_{cm} = I_{bias} / K$ と関係があり、Kは、NMOSトランジスタ782のサイズに対するNMOSトランジスタ712のサイズの比率である。ターゲットの I_{bias} 電流は、対応するターゲットの I_{cm} 電流に変換される。

10

【0055】

op-amp 786は、閉じられたスイッチ772および774、開かれたスイッチ776、非接続にされた V_{bias} 電圧の状態、PMOSトランジスタ784の V_{gs} 電圧を感知/測定する。ADC 758は、測定された V_{gs} 電圧を量子化し、プロセッサ760にデジタル化された V_{gs} 電圧を提供する。プロセッサ760は、ADC 758からのデジタル化された V_{gs} 電圧およびPMOSトランジスタ784の既知のドレイン-ソース間抵抗 R_{ds} 、または、 $I_{cm} = V_{gs} / R_{ds}$ に基づいて、NMOSトランジスタ782を通過する I_{cm} 電流を計算する。 R_{ds} は、PMOSトランジスタ784を特徴づけることにより決定されてもよい。プロセッサ760は、計算/測定された I_{cm} 電流をターゲットの I_{cm} 電流と比較し、測定された I_{cm} 電流がターゲットの I_{cm} 電流と整合するように、 V_{bias} 電圧を決定する。例えば、もし、測定された I_{cm} 電流がターゲットの I_{cm} 電流より少ない場合、プロセッサ760は、 V_{bias} 電圧を増加させるとしてもよく、 I_{bias} 電流と I_{cm} 電流の双方を増加させるだろう。もし、測定された I_{cm} 電流がターゲットの I_{cm} 電流より大きい場合、この逆が適当になるだろう。バイアス回路770は、プロセッサ760によって示されるような V_{bias} 電圧を生成し、開かれたスイッチ772および774の状態、スイッチ776経由で V_{bias} 電圧を印加する。 I_{cm} 電流の測定と V_{bias} 電圧の印加とは、連続してあるいは反復して行われてもよい。例えば、 I_{cm} 電流は、スイッチ776を開くことによって分離されている V_{bias} 電圧の状態、測定されるとしてもよく、次に、 V_{bias} 電圧は、閉じられたスイッチ772および774の状態に印加されてもよい。スイッチ772および774が閉じられており、 I_{cm} 電流が測定されている場合、スイッチ776は、バイアス回路770を分離する。 V_{bias} 電圧が接続されると、スイッチ772および774は開かれる。

20

30

【0056】

図2から8は、直接または間接的にパワーアンプを通るバイアス電流を測定し、ターゲットのバイアス電流を得るためのバイアス電圧をセット可能なバイアス調節回路の様々な典型的な設計を示す。バイアス調節回路の他の設計は、ここでの説明に基づいて、実装されるとしてもよい。バイアス調節回路は、(上述のように)他のタイプのアンプとともに、パワーアンプに使用されることができる。

40

【0057】

ここで説明された技術は、アンプのバイアス電流を測定および調節可能である。アンプからのフィードバックによってダイナミックにバイアス電流を調節することによって、老化の影響は補われることができる。このことは、より一貫したアンプ性能、改善された生産歩留まり、信頼性問題の緩和などのような様々な利点を提供することができる。さらに、ICプロセス、温度、電源電圧などのような他の影響によるバイアスのシフトも、補われてることができる。この技術は、信頼性問題に関連する老化がある、より低コストのICプロセス技術(例えばシリコン・オン・インシュレータ(SOI)またはバルクシリコン(Si))の使用を可能にする。

【0058】

50

一般に、適切な場合に、アンプのバイアス電流は1回以上調節される場合がある。典型的な設計において、バイアス電流は、例えば、RF送信が始まる前のような、コールのスタートで調節されてもよい。例えば、バイアス電流は、ターゲット値へパワーアンプのバイアス電流を戻すために調節されてもよく、ターゲット値は所望のパフォーマンスを得るために選択されてもよい。ここに記述される技術は、老化、ICプロセスの変動、電源電圧、温度などのような様々な要因によるバイアスシフトを補うために使用されてもよい。

【0059】

典型的な設計において、装置(例えば集積回路、ワイヤレスデバイスなど)は、例えば図2に示されるような、アンプとバイアス回路とを含むとしてもよい。アンプは、第1のトランジスタ(例えばNMOSトランジスタ212)を含むとしてもよい。バイアス回路は、アンプ内で第1のトランジスタに連結された第2のトランジスタ(例えばNMOSトランジスタ222)を含むとしてもよい。第1および第2のトランジスタは、カレントミラーを形成してもよい。バイアス回路は、第1のトランジスタのためのターゲットのバイアス電流を得るために、第1および第2のトランジスタのためのバイアス電圧を生成してもよい。バイアス回路は、さらに、第2のトランジスタと連結された電流源(例えば電流源230)を含むとしてもよい。バイアス回路は、電流源からターゲットの電流を得るために、バイアス電圧を生成してもよい。ターゲットの電流は、第1のトランジスタのためのターゲットのバイアス電流に基づいて決定されてもよい。アンプは、パワーアンプまたは他のあるタイプのアンプでもよい。

【0060】

他の典型的な設計において、装置は、例えば図3に示されるような、アンプ、感知回路およびバイアス回路を含むとしてもよい。アンプは、インダクタ(例えばインダクタ214)に連結されたトランジスタ(例えばNMOSトランジスタ212)を含むとしてもよい。感知回路(例えばop-amp252)は、インダクタに連結されてもよく、インダクタを横切る電圧を測定してもよい。バイアス回路は、トランジスタに連結されてもよく、トランジスタのためのターゲットのバイアス電流を得るために、インダクタを横切る測定された電圧に基づいて、トランジスタのためのバイアス電圧を生成するとしてもよい。

【0061】

装置は、さらに、ADCとプロセッサとを具備するとしてもよい。ADCは、測定された電圧をデジタル化してもよく、デジタル化された電圧を提供してもよい。プロセッサは、デジタル化された電圧に基づいて、バイアス回路に対する制御を生成するとしてもよい。プロセッサは、デジタル化された電圧とインダクタに対する既知のレジスタ値とに基づいて、トランジスタのための測定されたバイアス電流を決定してもよい。プロセッサは、測定されたバイアス電流とターゲットのバイアス電流とに基づいて、バイアス回路に対する制御を生成するとしてもよい。インダクタに対する抵抗の値は、例えば、コールに先立って工場または現場における較正中に、インダクタを通る既知の電流を適用し、インダクタを横切る電圧を測定することによって決定されるとしてもよい。インダクタに対する抵抗の値は、また、アンプによって観測されたIC状態に基づいて決定されてもよく、IC状態はICプロセスモニタによって決定されてもよい。

【0062】

さらに他の典型的な設計において、装置は、例えば、図4または5に示されるように、アンプ、感知回路、およびバイアス回路を含むとしてもよい。アンプは、積み重ねで連結された第1および第2のトランジスタを含むとしてもよい。第1のトランジスタ(例えばNMOSトランジスタ412)は、積み重ねにおける下側のトランジスタとしてもよく、回路グラウンドに連結されてもよい。第2のトランジスタ(例えばNMOSトランジスタ414)は、積み重ねにおける上側のトランジスタとしてもよい。感知回路(例えばop-amp452)は、第2のトランジスタに連結されてもよく、第2のトランジスタのV_{gs}電圧を測定してもよい。バイアス回路は、第1および第2のトランジスタのうち少なくとも一つのトランジスタに連結されてもよい。バイアス回路は、第1および第2のトランジスタのためのターゲットのバイアス電流を得るために、第2のトランジスタの測定

された V_{gs} 電圧に基づいて、少なくとも一つのトランジスタに対する少なくとも一つのバイアス電圧を生成するとしてもよい。装置は、さらに、例えば図 4 に示されるように、ADC とプロセッサとを備えるとしてもよい。ADC は、測定された V_{gs} 電圧をデジタル化し、デジタル化された電圧を提供する。プロセッサは、デジタル化された電圧に基づいて、バイアス回路に対する制御を生成してもよい。典型的な設計において、プロセッサは、ターゲットのバイアス電流に対応するターゲットの V_{gs} 電圧を決定するとしてもよく、測定された V_{gs} 電圧およびターゲットの V_{gs} 電圧に基づいて、バイアス回路に対する制御を生成してもよい。他の典型的な設計において、ルックアップテーブルは、第 2 のトランジスタ用にバイアス電流対 V_{gs} 電圧を格納してもよい。プロセッサは、ルックアップテーブルから測定された V_{gs} 電圧に対する測定されたバイアス電流を求めてもよく、測定されたバイアス電流とターゲットのバイアス電流とに基づいて、バイアス回路のための制御を生成する。

10

20

30

40

50

【0063】

装置は、例えば図 5 に示されるように、レプリカ回路と第 2 の感知回路をさらに含むとしてもよい。レプリカ回路は、積み重ねて連結され、アンプの第 1 および第 2 のトランジスタを模倣する、第 3 および第 4 のトランジスタ（例えば NMOS トランジスタ 432 および 434）を備えてもよい。第 1 および第 3 のトランジスタは、第 1 のバイアス電圧 (V_{bias1}) を受けてもよく、第 2 および第 4 のトランジスタは、第 2 のバイアス電圧 (V_{bias2}) を受けてもよい。第 2 の感知回路（例えば $op - amp$ 454）は、レプリカ回路における第 4 のトランジスタに連結されてもよく、第 4 のトランジスタの V_{gs} 電圧を測定してもよい。バイアス回路は、第 2 および第 4 のトランジスタの測定された V_{gs} 電圧に基づいて、アンプの少なくとも一つのトランジスタのための少なくとも一つのバイアス電圧を生成してもよい。ADC は、第 2 のトランジスタの測定された V_{gs} 電圧をデジタル化してもよく、第 1 のデジタル化された電圧を提供してもよい。ADC は、また、第 4 のトランジスタの測定された V_{gs} 電圧をデジタル化してもよく、第 2 のデジタル化された電圧を提供してもよい。プロセッサは、第 1 および第 2 のデジタル化された電圧に基づいて、バイアス回路のための制御を生成する。プロセッサは、名目の値を持つ第 1 および第 2 のバイアス電圧を用いて第 4 のトランジスタの測定された V_{gs} 電圧に対する第 2 のデジタル化された電圧を求めるとしてもよい。プロセッサは、第 2 のトランジスタの測定された V_{gs} 電圧と第 4 のトランジスタの測定された V_{gs} 電圧とを整合させるために、バイアス回路のための制御を生成してもよい。

【0064】

さらに他の典型的な設計において、装置は、例えば図 6 に示されるように、アンプ、レプリカ回路、およびフィードバック回路を含むとしてもよい。アンプは、少なくとも一つのトランジスタを含むとしてもよい。レプリカ回路は、アンプの少なくとも一つのトランジスタを模倣する少なくとも一つのトランジスタを含むとしてもよい。フィードバック回路は、アンプとレプリカ回路とに連結されてもよい。フィードバック回路は、アンプの第 1 の電圧を感知し、レプリカ回路の第 2 の電圧を感知し、第 1 および第 2 の電圧に基づいて、アンプのためのバイアス電圧を生成してもよい。フィードバック回路は、例えば図 6 のフィルタ 462 および $op - amp$ 464 のように、フィルタおよび感知回路を含むとしてもよい。フィルタは、第 1 の電圧を受けてフィルタし、第 3 の電圧を提供する。感知回路は、第 2 および第 3 の電圧を受け、第 1 のトランジスタのゲートに対するバイアス電圧を生成してもよい。

【0065】

アンプは、積み重ねて連結された第 1 および第 2 のトランジスタを含むとしてもよく、レプリカ回路は、例えば図 6 に示されるように、積み重ねて連結された第 3 および第 4 のトランジスタを含むとしてもよい。第 1 の電圧は、第 1 のトランジスタのドレイン電圧としてもよく、第 2 の電圧は、第 3 のトランジスタのドレイン電圧としてもよく、バイアス電圧は、第 1 のトランジスタのゲートに印加されてもよい。第 2 および第 4 のトランジスタは、第 2 のバイアス電圧 (V_{bias2}) を受けてもよく、第 3 のトランジスタは、第

3のバイアス電圧(Vbias3)を受けてもよい。第2および第3のバイアス電圧は、レプリカ回路の第3および第4のトランジスタにターゲットのバイアス電流を供給してもよい。

【0066】

さらに他の典型的な設計において、装置は、図7または図8に示されるように、アンプ、SMP S、およびバイアス回路を含むとしてもよい。アンプは、入力信号を増幅し、出力信号を提供してもよい。SMP Sは、アンプと連結されてもよく、第1の供給電圧を受けてもよく、アンプに対して第2の供給電圧を提供してもよい。バイアス回路は、アンプと連結されてもよく、アンプのためのターゲットのバイアス電流を得るために、アンプのためのバイアス回路を生成するとしてもよい。バイアス回路は、無効化されたSMP Sを用いて、アンプに対する測定されたバイアス電流に基づいて決定された制御を受け、この制御に基づいて、アンプに対するバイアス電圧を生成してもよい。

10

【0067】

装置は、さらに、図7に示されるように、抵抗および感知回路を含むとしてもよい。抵抗は、アンプ(例えばSMP S経由で)に連結されてもよく、SMP Sが無効化された場合に、アンプに対してバイアス電流を供給してもよい。感知回路(例えばop-amp756)は、抵抗に連結されるとしてもよく、抵抗を横切る電圧を測定してもよい。バイアス回路は、抵抗を横切る測定された電圧に基づいて決定された制御を受けるとしてもよく、この制御に基づいてアンプに対するバイアス電圧を生成してもよい。装置は、さらに、ADCとプロセッサを含むとしてもよい。ADCは、抵抗を横切る測定された電圧をデジタル化し、デジタル化された電圧を提供する。プロセッサは、デジタル化された電圧に基づいて、バイアス回路のための制御を生成してもよい。プロセッサは、デジタル化された電圧と抵抗の既知の値とに基づいて、アンプに対する測定されたバイアス電流を決定してもよい。プロセッサは、その後、測定されたバイアス電流およびターゲットのバイアス電流に基づいて、バイアス回路のための制御を生成してもよい。

20

【0068】

アンプは、第1のトランジスタ(例えば図8のNMOSトランジスタ712)を含むとしてもよい。装置は、さらに、第2のトランジスタおよび感知回路を含むとしてもよい。第2のトランジスタ(例えばNMOSトランジスタ782)は、少なくとも一つのスイッチを経由してアンプの第1のトランジスタに連結されてもよい。第1および第2のトランジスタは、少なくとも一つのスイッチが閉じられた場合に、カレントミラーを形成するとしてもよい。感知回路(例えばPMOSトランジスタ784およびop-amp786)は、第2のトランジスタに連結され、第2のトランジスタを通る電流を測定してもよい。ADCは、感知回路からの感知された電圧をデジタル化してもよく、この感知された電圧は、第2のトランジスタを通る測定された電流を示してもよい。プロセッサは、デジタル化された電圧に基づいて、バイアス回路のための制御を生成してもよい。例えば、プロセッサは、デジタル化された電圧に基づいて、アンプに対する測定されたバイアス電流を決定してもよく、測定されたバイアス電流およびターゲットのバイアス電流に基づいて、バイアス回路のための制御を生成してもよい。

30

【0069】

図10は、バイアス電流を調節するプロセス100の典型的な設計を示す。アンプの少なくとも一つのトランジスタと連結されるインダクタを横切る電圧(例えば図3に示されるように)、または、アンプの少なくとも一つのトランジスタのうちの一つを用いて形成されるカレントミラーによる電流(例えば図2に示されるように)、または、アンプの少なくとも一つのトランジスタのうちの一つのVgs電圧(例えば図4または5に示されるように)、アンプを模倣するレプリカ回路の電圧(例えば図6に示されるように)、または、無効化されているSMP Sを用いてアンプに適用される電流(例えば図7または8にしめされるように)、の測定が得られる(ブロック1012)。アンプの少なくとも一つのトランジスタのための少なくとも一つのバイアス電圧は、アンプに対するターゲットのバイアス電流を得るために、その測定に基づいて生成されてもよい(ブロック1014)

40

50

。

【0070】

図2に示されるブロック1014の典型的な設計において、アンプに対する測定されたバイアス電流は、アンプの少なくとも一つのトランジスタのうちの一つで形成されたカレントミラーを通る電流に基づいて決定されてもよい。少なくとも一つのバイアス電圧は、測定されたバイアス電流およびアンプに対するターゲットのバイアス電流に基づいて生成されてもよい。

【0071】

図3に示されるブロック1014の他の典型的な設計において、インダクタを横切る電圧は、デジタル化され、デジタル化された電圧を得るとしてもよい。アンプに対する測定されたバイアス電流は、デジタル化された電圧およびインダクタのための抵抗器の値に基づいて決定されてもよい。少なくとも一つのバイアス電圧は、測定されたバイアス電流およびアンプに対するターゲットのバイアス電流に基づいて生成されてもよい。

10

【0072】

図4に示されるブロック1014のさらに他の典型的な設計において、アンプに対する測定されたバイアス電流は、アンプ中の少なくとも一つのトランジスタのうちの一つの V_{gs} 電圧に基づいて決定されてもよい。少なくとも一つのバイアス電圧は、測定されたバイアス電流およびアンプに対するターゲットのバイアス電流に基づいて生成されてもよい。あるいは、少なくとも一つのバイアス電圧は、アンプ中の少なくとも一つのトランジスタのうちの一つの V_{gs} 電圧およびターゲットの V_{gs} 電圧に基づいて生成されてもよい。

20

【0073】

図5に示されるブロック1014のさらに他の典型的な設計において、レプリカ回路中の少なくとも一つのトランジスタのうちの一つの V_{gs} 電圧の第1の測定が得られてもよい。アンプの少なくとも一つのトランジスタに対する少なくとも一つのバイアス電圧は、アンプに対するターゲットのバイアス電流を得るために、さらに第2の測定に基づいて生成されてもよい。

【0074】

図6に示されるブロック1014のさらに他の典型的な設計において、アンプの電圧が感知されてもよい。アンプに対するバイアス電圧は、フィードバックループを使用して、レプリカ回路の電圧とアンプの電圧とに基づいて、生成されてもよい。

30

【0075】

図7に示されるブロック1012の典型的な設計において、アンプと連結された抵抗を横切る電圧は、無効化されたSMPSを用いて測定されるとしてもよい。アンプに適用された電流は、測定された電圧に基づいて決定されてもよい。

【0076】

図8に示されるブロック1012の他の典型的な設計において、アンプ中の少なくとも一つのトランジスタのうちの一つを用いて形成されるカレントミラーによる電流が、測定されてもよい。アンプに適用される電流は、カレントミラーによって測定された電流に基づいて決定されてもよい。

40

【0077】

ここで説明されたアンプおよび回路は、IC、アナログIC、RFIC、混合信号IC、ASIC、プリント回路基板(PCB)、電子デバイスなどで実装されてもよい。アンプと回路は、また、相補型金属酸化膜半導体(CMOS)、NMOS、PMOS、バイポーラ接合トランジスタ(BJT)、バイポーラCMOS(BiCMOS)、シリコンゲルマニウム(SiGe)、砒化ガリウム(GaAs)などのような様々なICプロセス技術で製造されてもよい。

【0078】

ここに記述されたアンプおよび回路を実装する装置は、スタンド-アロン・デバイスでもよく、あるいは大型装置の一部でもよい。デバイスは、(i)スタンド-アロンIC、

50

(i i) データおよび / または命令を記憶するためのメモリ IC を含んでもよい 1 以上の IC のセット、(i i i) R F レシーバ (R F R) または R F トランスミッタ / レシーバ (R T R) のような R F I C 、(i v) 移動局モデム (M S M) のような A S I C 、(v) 他のデバイス内に埋め込まれることができるモジュール、(v i) レシーバ、セルラー電話、ワイヤレスデバイス、ハンドセット、またはモバイルユニット装置、(V i i) など、でもよい。

【 0 0 7 9 】

1 以上の典型的な設計において、記述された機能は、ハードウェア、ソフトウェア、ファームウェア、またはその任意の組み合わせで実装されてもよい。もしソフトウェアで実装されると、機能は、コンピュータ可読媒体に 1 以上の命令またはコードとして格納されるか、または、送信されるとしてもよい。コンピュータ可読媒体は、コンピュータ記録媒体と、ある場所から別の場所へのコンピュータ・プログラムの転送を促進する任意の媒体を含む通信媒体との双方を含む。記憶媒体は、コンピュータによってアクセス可能な任意の利用可能媒体としてもよい。制限ではなく例として、そのようなコンピュータ可読媒体は、R A M 、R O M 、E E P R O M 、C D - R O M または他の光学ディスクストレージ、磁気ディスクストレージまたは他の磁気ストレージ装置、命令またはデータ構造の形式で所望のプログラムコードを運びまたは記憶するために使用可能であり、コンピュータによってアクセス可能な任意の他の媒体を含むことができる。さらに、任意の接続が適切にコンピュータ可読媒体と呼ばれる。例えば、ソフトウェアが、同軸ケーブル、光ファイバケーブル、ツイストペア、デジタル加入者回線 (D S L) 、または赤外線、無線、およびマイクロ波などのワイヤレス技術を使用して、ウェブサイト、サーバ、または他のリモートソースから送信される場合、同軸ケーブル、光ファイバケーブル、ツイストペア、D S L 、または赤外線、無線、およびマイクロ波などのワイヤレス技術は、媒体の定義に含まれる。ここで使用されるようなディスク (disk) およびディスク (disc) は、コンパクトディスク (disc) (C D) 、レーザーディスク (disc) 、光ディスク (disc) 、デジタル多用途ディスク (disc) (D V D) 、フロッピー (登録商標) ディスク (disk) およびブルーレイディスク (disc) を含み、ディスク (disk) は、通常、データを磁氣的に再生し、ディスク (disc) は、データをレーザーで光学的に再生する。上記の組合せもコンピュータ可読媒体の範囲内に含めるべきである。

【 0 0 8 0 】

開示された典型的な実施形態の前述の説明は、いかなる当業者でも、本発明を作成または使用することができるように提供される。本開示の様々な変更は、当業者に直ちに明確であろう。ここで定義される総称的な原理は、本開示範囲から逸脱することなく他の変形に適用されてもよい。したがって、本開示は、ここで説明された例および設計に制限されることを意図されず、ここに開示された原理および新しい特徴と共通する最も広い範囲に与えられる。

【 0 0 8 1 】

請求されるものは以下の通りである :

10

20

30

【 図 1 】

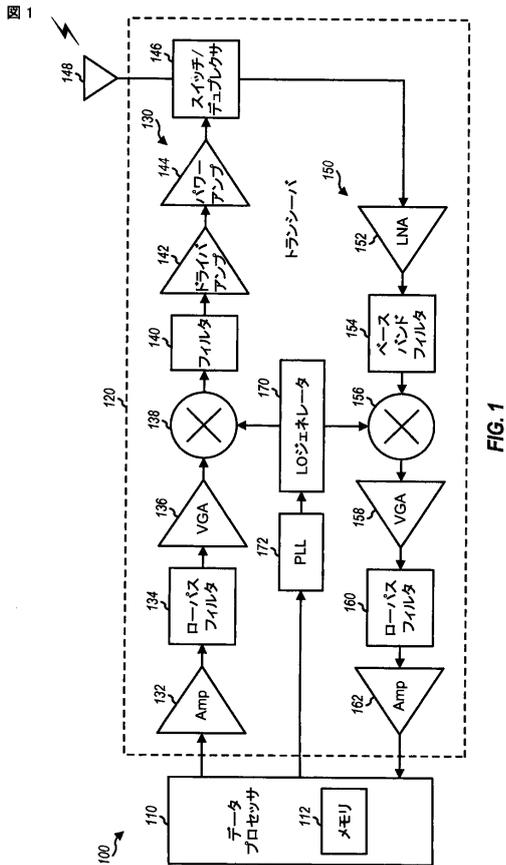


FIG. 1

【 図 2 】

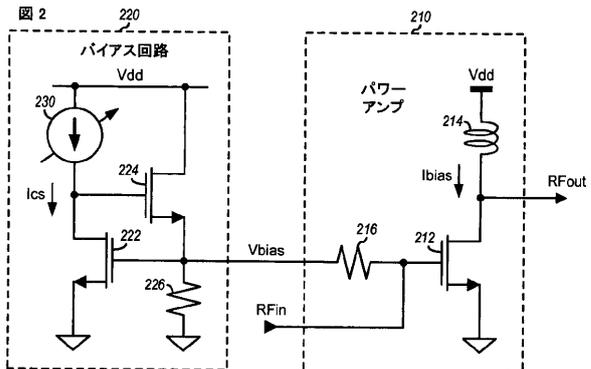


FIG. 2

【 図 3 】

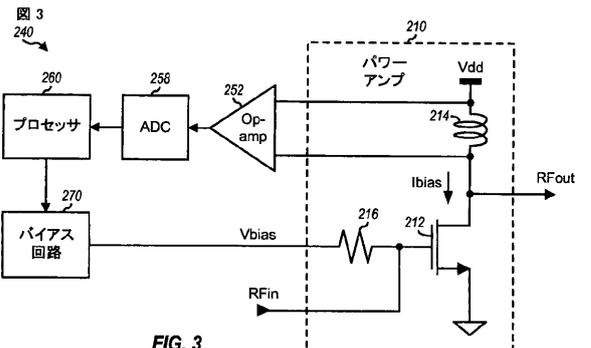


FIG. 3

【 図 4 】

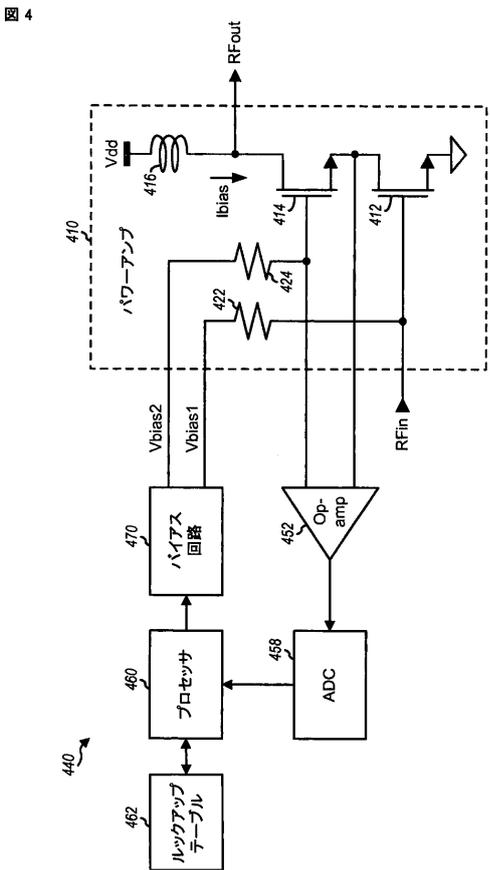


FIG. 4

【 図 5 】

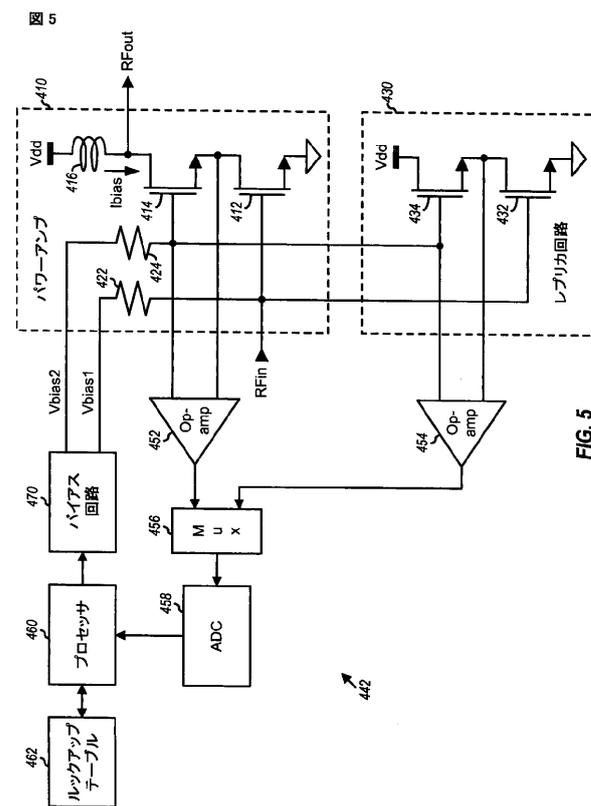
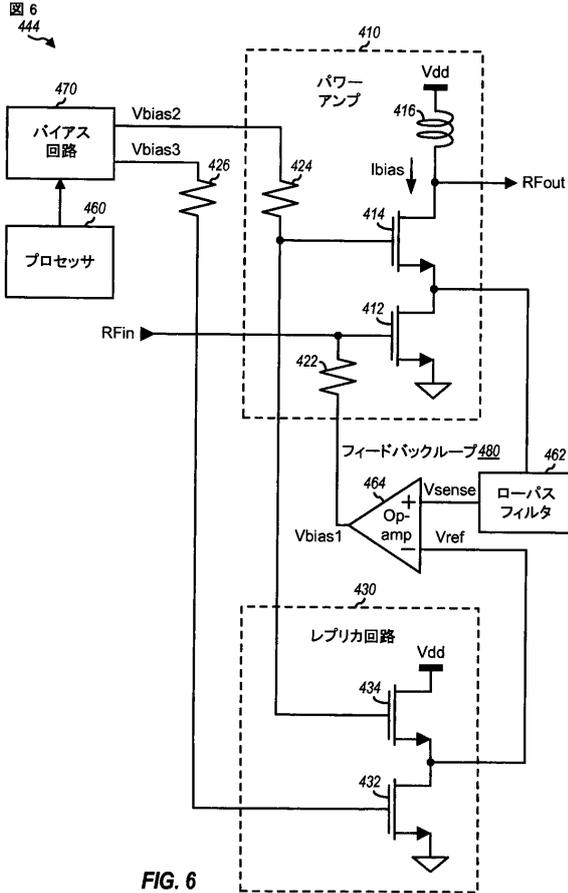
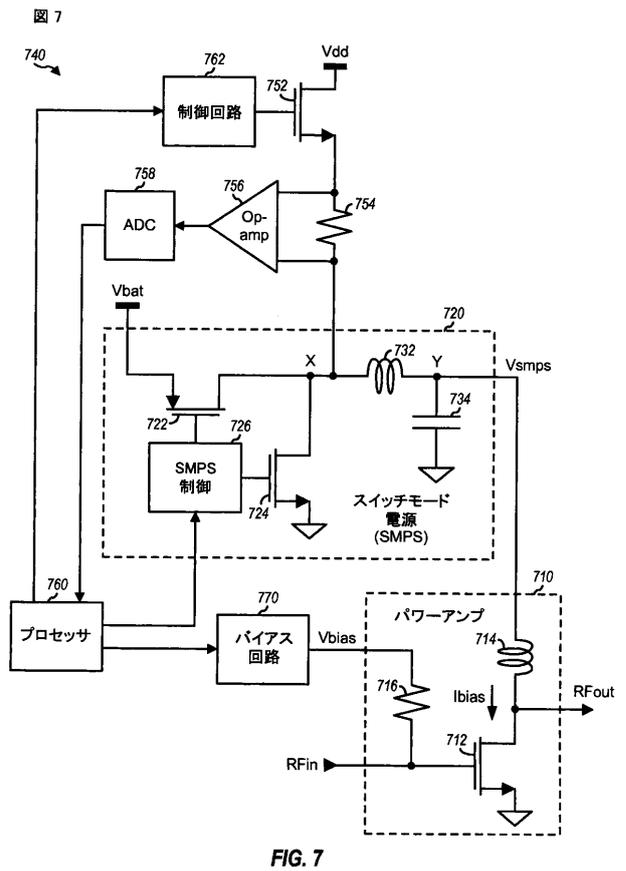


FIG. 5

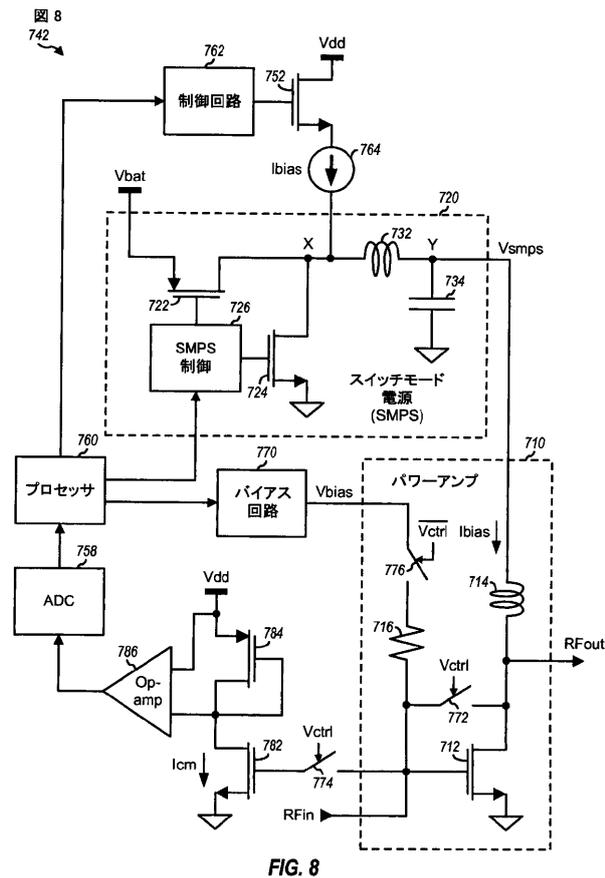
【 図 6 】



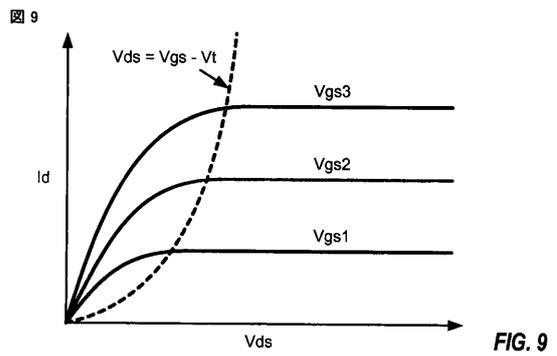
【 図 7 】



【 図 8 】



【 図 9 】



【 図 10 】



【手続補正書】

【提出日】平成25年12月19日(2013.12.19)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

積み重ねて連結された第1および第2のトランジスタを具備するアンプと、
前記アンプの前記第2のトランジスタと連結され、前記第2のトランジスタのゲート-ソース間電圧 V_{gs} を測定する感知回路と、
前記第1および第2のトランジスタのうちの少なくとも一つのトランジスタと連結され、前記第2のトランジスタの前記測定された V_{gs} 電圧に基づいて前記少なくとも一つのトランジスタに対する少なくとも一つのバイアス電圧を生成し、前記第1および第2のトランジスタに対するターゲットバイアス電流を得るバイアス回路とを具備する装置。

【請求項2】

前記第1のトランジスタは、前記積み重ねの下側のトランジスタであり、回路グラウンドと連結され、前記第2のトランジスタは、前記積み重ねの上側のトランジスタである、請求項1の装置。

【請求項3】

前記測定された V_{gs} 電圧をデジタル化し、デジタル化された電圧を提供するアナログ-デジタル変換器(ADC)と、
前記デジタル化された電圧を受け、前記デジタル化された電圧に基づいて前記バイアス回路に対する制御を生成するプロセッサとをさらに具備する、請求項1の装置。

【請求項4】

前記プロセッサは、前記ターゲットバイアス電流に対応するターゲット V_{gs} 電圧を決定し、前記測定された V_{gs} 電圧および前記ターゲット V_{gs} 電圧に基づいて、前記バイアス回路に対する前記制御を生成する、請求項3の装置。

【請求項5】

バイアス電流対前記第2のトランジスタに対する V_{gs} 電圧を記憶するルックアップテーブルをさらに具備し、前記プロセッサは、前記ルックアップテーブルから前記測定された V_{gs} 電圧に対する測定されたバイアス電流を求め、前記測定されたバイアス電流と前記ターゲットバイアス電流とに基づいて前記バイアス回路に対する前記制御を生成する、請求項3の装置。

【請求項6】

積み重ねて連結された第3および第4のトランジスタを具備し、前記アンプの前記第1および第2のトランジスタを模倣するレプリカ回路と、
前記レプリカ回路の前記第4のトランジスタと連結され、前記第4のトランジスタの V_{gs} を測定する第2の感知回路とをさらに具備し、

前記バイアス回路は、前記第2のトランジスタの前記測定された V_{gs} 電圧と前記第4のトランジスタの前記測定された V_{gs} 電圧とに基づいて、前記アンプの前記少なくとも一つのトランジスタに対する前記少なくとも一つのバイアス電圧を生成する、請求項1の装置。

【請求項7】

前記第1および第3のトランジスタは、第1のバイアス電圧を受け、前記第2および第4のトランジスタは、第2のバイアス電圧を受ける、請求項6の装置。

【請求項 8】

前記第 2 のトランジスタの前記測定された V_{gs} 電圧をデジタル化し、第 1 のデジタル化された電圧を提供し、前記第 4 のトランジスタの前記測定された V_{gs} 電圧をデジタル化し、第 2 のデジタル化された電圧を提供するアナログ - デジタル変換器 (ADC) と、
前記第 1 のおよび第 2 のデジタル化電圧を受け、前記第 1 および第 2 のデジタル化された電圧に基づいて前記バイアス回路に対する制御を生成するプロセッサと
をさらに具備する、請求項 7 の装置。

【請求項 9】

前記プロセッサは、名目の値を持つ前記第 1 および第 2 のバイアス電圧を用いて前記第 4 のトランジスタの前記測定された V_{gs} 電圧に対する前記第 2 のデジタル化された電圧を求め、前記第 2 のトランジスタの前記測定された V_{gs} 電圧と前記第 4 のトランジスタの前記測定された V_{gs} 電圧とを整合させるために、前記バイアス回路に対する前記制御を生成する、請求項 8 の装置。

【請求項 10】

少なくとも一つのトランジスタを具備するアンプと、
前記アンプの前記少なくとも一つのトランジスタを模倣する少なくとも一つのトランジスタを具備するレプリカ回路と、
前記アンプおよび前記レプリカ回路と連結され、前記アンプの第 1 の電圧を感知し、前記レプリカ回路の第 2 の電圧を感知し、前記第 1 および第 2 の電圧に基づいて前記アンプに対するバイアス電圧を生成するフィードバック回路と
を具備し、
前記フィードバック回路は、
前記第 1 の電圧を受けフィルタし、第 3 の電圧を提供するフィルタと、
前記第 2 と第 3 の電圧を受け、前記第 1 のトランジスタのゲートに対する前記バイアス電圧を生成する感知回路を備える、
装置。

【請求項 11】

少なくとも一つのトランジスタを具備するアンプと、
前記アンプの前記少なくとも一つのトランジスタを模倣する少なくとも一つのトランジスタを具備するレプリカ回路と、
前記アンプおよび前記レプリカ回路と連結され、前記アンプの第 1 の電圧を感知し、前記レプリカ回路の第 2 の電圧を感知し、前記第 1 および第 2 の電圧に基づいて前記アンプに対するバイアス電圧を生成するフィードバック回路と
を具備し、
前記アンプは、積み重ねて連結された第 1 および第 2 のトランジスタを具備し、前記レプリカ回路は、積み重ねて連結された第 3 および第 4 のトランジスタを具備し、前記第 1 の電圧は、前記第 1 のトランジスタのトレイン電圧であり、前記第 2 の電圧は、前記第 3 のトランジスタのドレイン電圧であり、前記バイアス電圧は、前記第 1 のトランジスタのゲートに印加され、

前記第 2 および第 4 のトランジスタは、第 2 のバイアス電圧を受け、前記第 3 のトランジスタは、第 3 のバイアス電圧を受け、前記第 2 および第 3 のバイアス電圧は、前記レプリカ回路の前記第 3 および第 4 のトランジスタに対するターゲットバイアス電流を提供する、装置。

【請求項 12】

入力信号を増幅し、出力信号を提供するアンプと、
前記アンプと連結され、第 1 の供給電圧を受け、前記アンプに第 2 の供給電圧を提供するスイッチモード電源 (SMPS) と、
前記アンプと連結され、前記アンプに対するターゲットバイアス電流を得るために、前記アンプに対するバイアス電圧を生成するバイアス回路と
を具備し、

前記バイアス回路は、無効化された前記 S M P S を用いて、前記アンプに対する測定されたバイアス電流に基づいて決定された制御を受け、前記制御に基づいて、前記アンプに対する前記バイアス電圧を生成する、装置。

【請求項 1 3】

入力信号を増幅し、出力信号を提供するアンプと、
前記アンプと連結され、第 1 の供給電圧を受け、前記アンプに第 2 の供給電圧を提供するスイッチモード電源 (S M P S) と、

前記アンプと連結され、前記アンプに対するターゲットバイアス電流を得るために、前記アンプに対するバイアス電圧を生成するバイアス回路と
を具備し、

前記アンプに作用するように連結され、前記 S M P S が無効化されている場合に、前記アンプに対するバイアス電流を提供する抵抗と、

前記抵抗に連結され、前記抵抗を渡る電圧を測定する感知回路と
をさらに具備し、

前記バイアス回路は、前記抵抗を渡る前記測定された電圧に基づいて決定された制御を受け、前記制御に基づいて前記アンプに対する前記バイアス電圧を生成する、装置。

【請求項 1 4】

前記抵抗を渡る前記測定された電圧をデジタル化し、デジタル化された電圧を提供するアナログ - デジタル変換器 (A D C) と、

前記デジタル化された電圧を受け、前記デジタル化された電圧に基づいて前記バイアス回路に対する前記制御を生成するプロセッサと

をさらに具備する、請求項 1 3 の装置。

【請求項 1 5】

前記プロセッサは、前記デジタル化された電圧および前記抵抗の既知の値に基づいて前記アンプに対する測定されたバイアス電流を決定し、前記測定されたバイアス電流および前記ターゲットバイアス電流とに基づいて前記バイアス回路に対する前記制御を生成する、請求項 1 4 の装置。

【請求項 1 6】

入力信号を増幅し、出力信号を提供するアンプと、
前記アンプと連結され、第 1 の供給電圧を受け、前記アンプに第 2 の供給電圧を提供するスイッチモード電源 (S M P S) と、

前記アンプと連結され、前記アンプに対するターゲットバイアス電流を得るために、前記アンプに対するバイアス電圧を生成するバイアス回路と
を具備し、

前記アンプは第 1 のトランジスタを具備し、

前記装置は、

少なくとも一つのスイッチを経由して、前記アンプの前記第 1 のトランジスタと連結される第 2 のトランジスタと、

前記第 2 のトランジスタと連結され、前記第 2 のトランジスタを通過する電流を測定する感知回路と

をさらに具備し、

前記第 1 および第 2 のトランジスタは、前記少なくとも一つのスイッチが閉じられた場合に、カレントミラーを形成し、

前記バイアス回路は、前記第 2 のトランジスタを通過する前記測定された電流および前記アンプに対する前記ターゲットバイアス電流に基づいて決定された制御を受ける、装置。

【請求項 1 7】

前記第 2 のトランジスタを通過する前記測定された電流を示す前記感知回路からの感知された電圧をデジタル化するアナログ - デジタル変換器 (A D C) と、

前記 A D C からの前記デジタル化された電圧を受け、前記デジタル化された電圧に基づ

いて前記バイアス回路に対する前記制御を生成するプロセッサとをさらに具備する、請求項 16 の装置。

【請求項 18】

前記プロセッサは、前記デジタル化された電圧に基づいて前記アンプに対する測定されたバイアス電流を決定し、前記測定されたバイアス電流および前記ターゲットバイアス電流に基づいて前記バイアス回路に対する前記制御を生成する、請求項 17 の装置。

【請求項 19】

バイアス電流を調節する方法において、

前記アンプの前記少なくとも一つのトランジスタのうちの一つのゲート - ソース電圧 V_{gs} 、または、前記アンプを模倣するレプリカ回路における電圧、または、無効化されたスイッチモード電源 (SMP S) を用いて前記アンプに適用される電流、の測定を得ることと、

前記アンプに対するターゲットバイアス電流を得るために、前記測定に基づいて、前記アンプにおける前記少なくとも一つのトランジスタに対する少なくとも一つの調節可能バイアス電圧を生成することとを具備する方法。

【請求項 20】

前記少なくとも一つのバイアス電圧を生成することは、

前記アンプにおける前記少なくとも一つのトランジスタのうちの一つの V_{gs} 電圧に基づいて、前記アンプに対する測定されたバイアス電流を決定することと、

前記測定されたバイアス電流および前記アンプに対する前記ターゲットバイアス電流に基づいて、前記少なくとも一つのバイアス電圧を生成することとを具備する、請求項 19 の方法。

【請求項 21】

前記少なくとも一つのバイアス電圧を生成することは、

前記アンプにおける前記少なくとも一つのトランジスタのうちの一つの前記 V_{gs} 電圧およびターゲット V_{gs} 電圧に基づいて、前記少なくとも一つのバイアス電圧を生成する、請求項 19 の方法。

【請求項 22】

前記少なくとも一つのバイアス電圧を生成することは、

前記レプリカ回路における少なくとも一つのトランジスタのうちの一つの V_{gs} 電圧の第 2 の測定を得ることと、

前記アンプに対する前記ターゲットバイアス電流を得るために、さらに前記第 2 の測定に基づいて、前記アンプにおける前記少なくとも一つのトランジスタに対する前記少なくとも一つのバイアス電圧を生成することと

を具備する、請求項 19 の方法。

【請求項 23】

前記少なくとも一つのバイアス電圧を生成することは、

前記アンプにおける電圧を感知することと、

フィードバックループを使用して、前記レプリカ回路における前記電圧および前記アンプにおける前記電圧に基づいて、前記アンプに対するバイアス電圧を生成することとを具備する、請求項 19 の方法。

【請求項 24】

前記測定を得ることは、

無効化された SMP S を用いて前記アンプと連結されるレジスタを渡る電圧を測定することと、

前記測定された電圧に基づいて、前記アンプに適用される前記電流を決定することとを具備する、請求項 19 の方法。

【請求項 25】

バイアス調節のための装置において、

前記アンプの前記少なくとも一つのトランジスタのうちの一つのゲート - ソース電圧 V_{gs} 、または、前記アンプを模倣するレプリカ回路における電圧、または、無効化されたスイッチモード電源 (SMP S) を用いて前記アンプに適用される電流、の測定を得るための手段と、

前記アンプに対するターゲットバイアス電流を得るために、前記測定に基づいて、前記アンプにおける前記少なくとも一つのトランジスタに対する少なくとも一つの調節可能バイアス電圧を生成するための手段と

を具備する、装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0081

【補正方法】変更

【補正の内容】

【0081】

以下に、本願出願の当初の特許請求の範囲に記載された発明を付記する。

[1] 第 1 のトランジスタを具備するアンプと、前記アンプの前記第 1 のトランジスタと連結される第 2 のトランジスタを具備するバイアス回路とを具備し、前記第 1 および第 2 のトランジスタはカレントミラーを形成し、前記バイアス回路は、前記第 1 のトランジスタに対するターゲットバイアス電流を得るために、前記第 1 および第 2 のトランジスタに対するバイアス電圧を生成する、装置。

[2] 前記バイアス回路は、前記第 2 のトランジスタと連結される電流源をさらに具備し、前記バイアス回路は、前記電流源からのターゲット電流を得るために前記バイアス電圧を生成し、前記電流源からの前記ターゲット電流は、前記第 1 のトランジスタに対する前記ターゲットバイアス電流に基づいて決定される、[1] の装置。

[3] 前記アンプは、パワーアンプであり、前記第 1 のトランジスタは、Nチャネル金属酸化膜半導体 (NMOS) トランジスタである、[1] の装置。

[4] インダクタと連結されるトランジスタを具備するアンプと、前記インダクタと連結され、前記インダクタを渡る電圧を測定する感知回路と、前記トランジスタと連結され、前記トランジスタに対するターゲットバイアス電流を得るために、前記インダクタを渡る測定された電圧に基づいて、前記トランジスタに対するバイアス電圧を生成するバイアス回路とを具備する装置。

[5] 前記測定された電圧をデジタル化し、デジタル化された電圧を提供するアナログ - デジタル変換器 (ADC) と、前記デジタル化された電圧を受け、前記デジタル化された電圧に基づいて前記バイアス回路に対する制御を生成するプロセッサとをさらに具備する、[4] の装置。

[6] 前記プロセッサは、前記デジタル化された電圧と前記インダクタに対する抵抗値とに基づいて、前記トランジスタに対する測定されたバイアス電流を決定し、前記測定されたバイアス電流と前記ターゲットバイアス電流とに基づいて、前記バイアス回路に対する前記制御を生成する、[5] の装置。

[7] 前記インダクタに対する前記抵抗値は、前記インダクタを通る既知の電流を適用することと、前記インダクタを渡る前記電圧を測定することとによって決定される、[6] の装置。

[8] 前記インダクタに対する前記抵抗値は、前記アンプによって観測される集積回路 (IC) の状態に基づいて決定される、[6] の装置。

[9] 積み重ねて連結された第 1 および第 2 のトランジスタを具備するアンプと、前記アンプの前記第 2 のトランジスタと連結され、前記第 2 のトランジスタのゲート - ソース間電圧 V_{gs} を測定する感知回路と、前記第 1 および第 2 のトランジスタのうち少なくとも一つのトランジスタと連結され、前記第 2 のトランジスタの前記測定された V_{gs} 電圧に基づいて前記少なくとも一つのトランジスタに対する少なくとも一つのバイアス電圧を生成し、前記第 1 および第 2 のトランジスタに対するターゲットバイアス電流を得

るバイアス回路とを具備する装置。

[1 0] 前記第 1 のトランジスタは、前記積み重ねの下側のトランジスタであり、回路グラウンドと連結され、前記第 2 のトランジスタは、前記積み重ねの上側のトランジスタである、[9] の装置。

[1 1] 前記測定された V_{gs} 電圧をデジタル化し、デジタル化された電圧を提供するアナログ - デジタル変換器 (ADC) と、前記デジタル化された電圧を受け、前記デジタル化された電圧に基づいて前記バイアス回路に対する制御を生成するプロセッサとをさらに具備する、[9] の装置。

[1 2] 前記プロセッサは、前記ターゲットバイアス電流に対応するターゲット V_{gs} 電圧を決定し、前記測定された V_{gs} 電圧および前記ターゲット V_{gs} 電圧に基づいて、前記バイアス回路に対する前記制御を生成する、[1 1] の装置。

[1 3] バイアス電流対前記第 2 のトランジスタに対する V_{gs} 電圧を記憶するルックアップテーブルをさらに具備し、前記プロセッサは、前記ルックアップテーブルから前記測定された V_{gs} 電圧に対する測定されたバイアス電流を求め、前記測定されたバイアス電流と前記ターゲットバイアス電流とに基づいて前記バイアス回路に対する前記制御を生成する、[1 1] の装置。

[1 4] 積み重ねて連結された第 3 および第 4 のトランジスタを具備し、前記アンプの前記第 1 および第 2 のトランジスタを模倣するレプリカ回路と、

前記レプリカ回路の前記第 4 のトランジスタと連結され、前記第 4 のトランジスタの V_{gs} を測定する第 2 の感知回路とをさらに具備し、前記バイアス回路は、前記第 2 のトランジスタの前記測定された V_{gs} 電圧と前記第 4 のトランジスタの前記測定された V_{gs} 電圧とに基づいて、前記アンプの前記少なくとも一つのトランジスタに対する前記少なくとも一つのバイアス電圧を生成する、[9] の装置。

[1 5] 前記第 1 および第 3 のトランジスタは、第 1 のバイアス電圧を受け、前記第 2 および第 4 のトランジスタは、第 2 のバイアス電圧を受ける、[1 4] の装置。

[1 6] 前記第 2 のトランジスタの前記測定された V_{gs} 電圧をデジタル化し、第 1 のデジタル化された電圧を提供し、前記第 4 のトランジスタの前記測定された V_{gs} 電圧をデジタル化し、第 2 のデジタル化された電圧を提供するアナログ - デジタル変換器 (ADC) と、前記第 1 のおよび第 2 のデジタル化電圧を受け、前記第 1 および第 2 のデジタル化された電圧に基づいて前記バイアス回路に対する制御を生成するプロセッサとをさらに具備する、[1 5] の装置。

[1 7] 前記プロセッサは、名目の値を持つ前記第 1 および第 2 のバイアス電圧を用いて前記第 4 のトランジスタの前記測定された V_{gs} 電圧に対する前記第 2 のデジタル化された電圧を求め、前記第 2 のトランジスタの前記測定された V_{gs} 電圧と前記第 4 のトランジスタの前記測定された V_{gs} 電圧とを整合させるために、前記バイアス回路に対する前記制御を生成する、[1 6] の装置。

[1 8] 少なくとも一つのトランジスタを具備するアンプと、前記アンプの前記少なくとも一つのトランジスタを模倣する少なくとも一つのトランジスタを具備するレプリカ回路と、前記アンプおよび前記レプリカ回路と連結され、前記アンプの第 1 の電圧を感知し、前記レプリカ回路の第 2 の電圧を感知し、前記第 1 および第 2 の電圧に基づいて前記アンプに対するバイアス電圧を生成するフィードバック回路とを具備する装置。

[1 9] 前記フィードバック回路は、前記第 1 の電圧を受けおよびフィルタし、第 3 の電圧を提供するフィルタと、前記第 2 および第 3 の電圧を受け、前記第 1 のトランジスタのゲートに対する前記バイアス電圧を生成する感知回路を具備する、[1 8] の装置。

[2 0] 前記アンプは、積み重ねて連結された第 1 および第 2 のトランジスタを具備し、前記レプリカ回路は、積み重ねて連結された第 3 および第 4 のトランジスタを具備し、前記第 1 の電圧は、前記第 1 のトランジスタのトレイン電圧であり、前記第 2 の電圧は、前記第 3 のトランジスタのドレイン電圧であり、前記バイアス電圧は、前記第 1 のトランジスタのゲートに印加される、[1 8] の装置。

[2 1] 前記第 2 および第 4 のトランジスタは、第 2 のバイアス電圧を受け、前記第 3 のトランジスタは、第 3 のバイアス電圧を受け、前記第 2 および第 3 のバイアス電圧は、前記レプリカ回路の前記第 3 および第 4 のトランジスタに対するターゲットバイアス電流を提供する、[2 0] の装置。

[2 2] 入力信号を増幅し、出力信号を提供するアンプと、前記アンプと連結され、第 1 の供給電圧を受け、前記アンプに第 2 の供給電圧を提供するスイッチモード電源 (S M P S) と、前記アンプと連結され、前記アンプに対するターゲットバイアス電流を得るために、前記アンプに対するバイアス電圧を生成するバイアス回路とを具備する装置。

[2 3] 前記バイアス回路は、無効化された前記 S M P S を用いて、前記アンプに対する測定されたバイアス電流に基づいて決定された制御を受け、前記制御に基づいて、前記アンプに対する前記バイアス電圧を生成する、[2 2] の装置。

[2 4] 前記アンプに作用するように連結され、前記 S M P S が無効化されている場合に、前記アンプに対するバイアス電流を提供する抵抗と、前記抵抗に連結され、前記抵抗を渡る電圧を測定する感知回路とをさらに具備し、前記バイアス回路は、前記抵抗を渡る前記測定された電圧に基づいて決定された制御を受け、前記制御に基づいて前記アンプに対する前記バイアス電圧を生成する、[2 2] の装置。

[2 5] 前記抵抗を渡る前記測定された電圧をデジタル化し、デジタル化された電圧を提供するアナログ - デジタル変換器 (A D C) と、前記デジタル化された電圧を受け、前記デジタル化された電圧に基づいて前記バイアス回路に対する前記制御を生成するプロセッサとをさらに具備する、[2 4] の装置。

[2 6] 前記プロセッサは、前記デジタル化された電圧および前記抵抗の既知の値に基づいて前記アンプに対する測定されたバイアス電流を決定し、前記測定されたバイアス電流および前記ターゲットバイアス電流とに基づいて前記バイアス回路に対する前記制御を生成する、[2 5] の装置。

[2 7] 前記アンプは第 1 のトランジスタを具備し、前記装置は、少なくとも一つのスイッチを経由して、前記アンプの前記第 1 のトランジスタと連結される第 2 のトランジスタと、前記第 2 のトランジスタと連結され、前記第 2 のトランジスタを通過する電流を測定する感知回路とをさらに具備し、前記第 1 および第 2 のトランジスタは、前記少なくとも一つのスイッチが閉じられた場合に、カレントミラーを形成し、前記バイアス回路は、前記第 2 のトランジスタを通過する前記測定された電流および前記アンプに対する前記ターゲットバイアス電流に基づいて決定された制御を受ける、[2 2] の装置。

[2 8] 前記第 2 のトランジスタを通過する前記測定された電流を示す前記感知回路からの感知された電圧をデジタル化するアナログ - デジタル変換器 (A D C) と、前記 A D C からの前記デジタル化された電圧を受け、前記デジタル化された電圧に基づいて前記バイアス回路に対する前記制御を生成するプロセッサとをさらに具備する、[2 7] の装置。

[2 9] 前記プロセッサは、前記デジタル化された電圧に基づいて前記アンプに対する測定されたバイアス電流を決定し、前記測定されたバイアス電流および前記ターゲットバイアス電流に基づいて前記バイアス回路に対する前記制御を生成する、[2 8] の装置。

[3 0] バイアス電流を調節する方法において、アンプの少なくとも一つのトランジスタと連結されるインダクタを渡る電圧、または、前記アンプの前記少なくとも一つのトランジスタのうちの一つを用いて形成されるカレントミラーによる電流、または、前記アンプの前記少なくとも一つのトランジスタのうちの一つのゲート - ソース電圧 V_{gs} 、または、前記アンプを模倣するレプリカ回路における電圧、または、無効化されたスイッチモード電源 (S M P S) を用いて前記アンプに適用される電流、の測定を得ることと、前記アンプに対するターゲットバイアス電流を得るために、前記測定に基づいて、前記アンプにおける前記少なくとも一つのトランジスタに対する少なくとも一つのバイアス電圧を生成することとを具備する方法。

[3 1] 前記少なくとも一つのバイアス電圧を生成することは、前記アンプにおける前記少なくとも一つのトランジスタのうちの一つを用いて形成される前記カレントミラー

による前記電流に基づいて、前記アンプに対する測定されたバイアス電流を決定することと、前記測定されたバイアス電流および前記アンプに対する前記ターゲットバイアス電流に基づいて、前記少なくとも一つのバイアス電圧を生成することとを具備する、[30]の方法。

[32] 前記少なくとも一つのバイアス電圧を生成することは、デジタル化された電圧を得るために、前記インダクタを渡る電圧をデジタル化することと、前記デジタル化された電圧および前記インダクタに対する抵抗値に基づいて、前記アンプに対する測定されたデジタル電流を決定することと、前記測定されたバイアス電流および前記アンプに対する前記ターゲットバイアス電流に基づいて、前記少なくとも一つのバイアス電圧を生成することと

を具備する、[30]の方法。

[33] 前記少なくとも一つのバイアス電圧を生成することは、前記アンプにおける前記少なくとも一つのトランジスタのうちの一つの V_{gs} 電圧に基づいて、前記アンプに対する測定されたバイアス電流を決定することと、前記測定されたバイアス電流および前記アンプに対する前記ターゲットバイアス電流に基づいて、前記少なくとも一つのバイアス電圧を生成することと

を具備する、[30]の方法。

[34] 前記少なくとも一つのバイアス電圧を生成することは、前記アンプにおける前記少なくとも一つのトランジスタのうちの一つの前記 V_{gs} 電圧およびターゲット V_{gs} 電圧に基づいて、前記少なくとも一つのバイアス電圧を生成する、[30]の方法。

[35] 前記少なくとも一つのバイアス電圧を生成することは、前記レプリカ回路における少なくとも一つのトランジスタのうちの一つの V_{gs} 電圧の第2の測定を得ることと、前記アンプに対する前記ターゲットバイアス電流を得るために、さらに前記第2の測定に基づいて、前記アンプにおける前記少なくとも一つのトランジスタに対する前記少なくとも一つのバイアス電圧を生成することとを具備する、[30]の方法。

[36] 前記少なくとも一つのバイアス電圧を生成することは、前記アンプにおける電圧を感知することと、フィードバックループを使用して、前記レプリカ回路における前記電圧および前記アンプにおける前記電圧に基づいて、前記アンプに対するバイアス電圧を生成することとを具備する、[30]の方法。

[37] 前記測定を得ることは、無効化された $SMP S$ を用いて前記アンプと連結されるレジスタを渡る電圧を測定することと、前記測定された電圧に基づいて、前記アンプに適用される前記電流を決定することとを具備する、[30]の方法。

[38] 前記測定を得ることは、前記アンプにおける前記少なくとも一つのトランジスタのうちの一つを用いて形成されるカレントミラーによる電流を測定することと、前記カレントミラーによる前記測定された電流に基づいて前記アンプに適用される前記電流を決定することと

を具備する、[30]の方法。

[39] バイアス調節のための装置において、アンプの少なくとも一つのトランジスタと連結されるインダクタを渡る電圧、または、前記アンプの前記少なくとも一つのトランジスタのうちの一つを用いて形成されるカレントミラーによる電流、または、前記アンプの前記少なくとも一つのトランジスタのうちの一つのゲート-ソース電圧 V_{gs} 、または、前記アンプを模倣するレプリカ回路における電圧、または、無効化されたスイッチモード電源 ($SMP S$) を用いて前記アンプに適用される電流、の測定を得るための手段と、前記アンプに対するターゲットバイアス電流を得るために、前記測定に基づいて、前記アンプにおける前記少なくとも一つのトランジスタに対する少なくとも一つのバイアス電圧を生成するための手段とを具備する、装置。

フロントページの続き

- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100158805
弁理士 井関 守三
- (74)代理人 100172580
弁理士 赤穂 隆雄
- (74)代理人 100179062
弁理士 井上 正
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (72)発明者 トーマス・ディー．・マーラ
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5
- (72)発明者 アリストテレ・ハドジクリストス
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5
- (72)発明者 ナサン・エム．・プレッチャー
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5
- F ターム(参考) 5J500 AA01 AA41 AA58 AA59 AC02 AC03 AC04 AC14 AC81 AF10
AF13 AF17 AH10 AH25 AH29 AH33 AH39 AK01 AK07 AK09
AK11 AK12 AK19 AK28 AK34 AK42 AK49 AM13 AM17 AS01
AS13 AS14 AT01 LV07 LV08 LV09 NC01 NF06 NF07 NF08
NF10 NH10 NH15 NH17 WU04

【外国語明細書】

2014078973000001.pdf