

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-26388
(P2014-26388A)

(43) 公開日 平成26年2月6日(2014.2.6)

(51) Int.Cl.	F I	テーマコード (参考)
G06F 12/00 (2006.01)	G06F 12/00 560B	5B060
G06F 12/06 (2006.01)	G06F 12/06 525A	
G06F 3/06 (2006.01)	G06F 12/00 597U	
G06F 13/10 (2006.01)	G06F 3/06 301S	
G06F 3/08 (2006.01)	G06F 13/10 340B	

審査請求 未請求 請求項の数 6 O L (全 28 頁) 最終頁に続く

(21) 出願番号 特願2012-164953 (P2012-164953)
(22) 出願日 平成24年7月25日 (2012.7.25)

(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(74) 代理人 110001737
特許業務法人スズエ国際特許事務所
(74) 代理人 100108855
弁理士 蔵田 昌俊
(74) 代理人 100159651
弁理士 高倉 成男
(74) 代理人 100088683
弁理士 中村 誠
(74) 代理人 100109830
弁理士 福原 淑弘
(74) 代理人 100075672
弁理士 峰 隆司

最終頁に続く

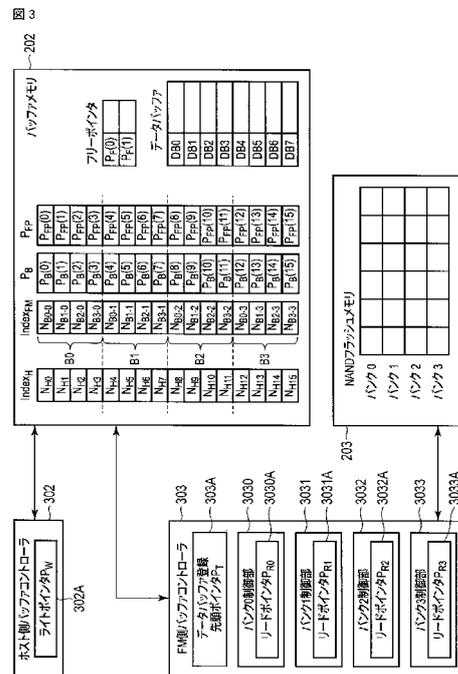
(54) 【発明の名称】 記憶装置、コントローラ、および書き込み制御方法

(57) 【要約】

【課題】 バッファから不揮発性メモリの複数のバンクに同時にデータを書き込む場合に、効率的な書き込み制御を行うこと。

【解決手段】 実施形態によれば、記憶装置は、ホストから送信されたデータを順にバッファ内の複数のバッファ領域に書き込む第1の書き込み制御手段と、不揮発性メモリ内の複数のバンクにそれぞれ対応する複数のバンク書き込み手段を有する第2の書き込み制御手段とを具備し、複数のバンク書き込み手段の内の一つのバンク書き込み手段が複数のバッファ領域の内の一つのバッファ領域に書き込まれているデータを読み出した場合、第1の書き込み制御手段は、データが読み出されたバッファ領域にホストから送信されたデータを書き込み、各バンク書き込み手段は、他のバンク書き込み手段によるデータの書き込みの処理状況とは独立に複数のバッファの内の第1のバッファ領域からデータを読み出し、読み出されたデータに対応するバンクに書き込む。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

複数のデータバッファ領域が設定されるバッファメモリと、
 ホストから送信されたデータを順に前記複数のデータバッファ領域に書き込む第 1 の書き込み制御手段と、

複数のバンクが設定される不揮発性メモリと、

前記複数のバンクにそれぞれ対応する複数のバンク書き込み手段を有し、各前記バンク書き込み手段は前記複数のデータバッファ領域の内の一つのデータバッファ領域に書き込まれているデータを読み出し、読み出したデータを前記不揮発性メモリの対応するバンクに書き込む第 2 の書き込み制御手段と

10

を具備し、

前記複数のバンク書き込み手段の内の一つのバンク書き込み手段が前記複数のデータバッファ領域の内の一つのデータバッファ領域に書き込まれている第 1 のデータを読み出した場合、前記第 1 の書き込み制御手段は、前記第 1 のデータが読み出されたデータバッファ領域に前記ホストから送信されたデータを書き込み、

各バンク書き込み手段は、他のバンク書き込み手段によるデータの書き込みの処理状況とは独立に、前記複数のバッファメモリの内の第 1 のデータバッファ領域から第 2 のデータを読み出し、前記第 2 のデータに対応するバンクに書き込む

記憶装置。

【請求項 2】

20

前記バッファメモリに第 1 の数の複数の第 1 のホスト側インデックス番号が格納され、前記第 1 の数は前記複数のバンクの数である第 2 の数の倍であり、

前記バッファメモリに前記第 1 の数の複数の第 1 の不揮発性メモリ側インデックス番号が格納され、前記複数の第 1 の不揮発性メモリ側インデックス番号は前記第 2 の数の複数のブロックに分割して格納され、各ブロックに格納されている複数の第 2 の不揮発性メモリ側インデックス番号は前記複数のバンク書き込み手段のそれぞれに対応し、

前記バッファメモリに、前記第 1 の数の複数のバッファポインタ格納領域が設定され、前記複数のバッファポインタ格納領域の内の一部のバッファポインタ格納領域には、前記複数のデータバッファ領域の内の一つのデータバッファ領域を指し示すデータバッファ番号が格納され、各第 1 のホスト側インデックス番号および各第 1 の不揮発性メモリ側インデックス番号は、それぞれバッファポインタ格納領域に関連付けられ、

30

前記第 1 の書き込み制御手段は、前記複数の第 1 のホスト側インデックス番号の内の第 2 のホスト側インデックス番号を指し示すための第 1 のライトポインタが格納される第 1 の記憶部を有し、

前記第 1 の書き込み制御手段は、前記第 1 のライトポインタに基づいて、前記第 2 のホスト側インデックス番号に関連付けられているバッファポインタ格納領域に格納されているデータバッファ番号が指し示すデータバッファ領域に第 3 のデータを書き込み、前記第 3 のデータを書き込んだ後に、前記第 1 のライトポインタの値を前記第 2 のホスト側インデックス番号の次のホスト側インデックス番号を示す値にし、

前記第 2 の書き込み制御手段は、前記第 2 のホスト側インデックス番号を指し示すための第 1 の登録ポインタが格納される第 2 の記憶部を有し、

40

各バンク書き込み手段は、前記複数のブロックの内の第 1 のブロック内の対応する第 3 の不揮発性メモリ側インデックス番号を指し示すための第 1 のリードポインタが格納される第 3 の記憶部を有し、

各バンク書き込み手段は、前記第 1 のリードポインタによって指し示される第 3 の不揮発性メモリ側インデックス番号が指し示す第 1 のバッファポインタ格納領域に格納されているデータバッファ番号が指し示すデータバッファ領域から第 4 のデータを読み込み、前記第 4 のデータに対応するバンクに書き込み、前記第 4 のデータが格納されていたデータバッファ領域に対応するデータバッファ番号を前記第 1 のバッファポインタ格納領域に格納し、前記第 1 の登録ポインタの値を前記第 2 のホスト側インデックス番号の次のホスト

50

側インデックス番号を指し示す値にし、前記第1のバッファポインタ格納領域を空にし、前記第1のリードポインタの値を前記第1のブロックの次のブロック内の対応する不揮発性メモリ側インデックス番号を指し示す値にする

請求項1に記載の記憶装置。

【請求項3】

各バッファポインタ格納領域には、フリーポインタ・ポインタ格納領域がそれぞれ関連付けられ、各フリーポインタ・ポインタ格納領域にはフリーポインタ・ポインタを格納することが可能であり、前記フリーポインタ・ポインタはフリーポインタ格納領域を指し示し、前記フリーポインタ格納領域には、データバッファ番号を格納することが可能であり、

各バンク書き込み手段は、前記バッファポインタ格納領域にデータバッファ番号が格納されている場合、前記バッファポインタ格納領域に関連付けられている前記フリーポインタ・ポインタ格納領域に前記フリーポインタ・ポインタを格納し、

前記第1の書き込み制御手段は、前記第1のライトポインタが指し示すバッファポインタ格納領域に関連付けられているフリーポインタ・ポインタ格納領域に前記フリーポインタ・ポインタが格納されている場合、前記フリーポインタ・ポインタが指し示すフリーポインタ格納領域に格納されているデータバッファ番号が指し示すデータバッファ領域に第3のデータを書き込み、

各バンク書き込み手段は、前記バッファポインタ格納領域に関連付けられているフリーポインタ・ポインタ格納領域に前記フリーポインタ・ポインタが格納されている場合に、前記第1のフリーポインタ格納領域に格納されているデータバッファ番号を前記第1のバッファポインタ格納領域に格納し、前記フリーポインタ格納領域を空にする

請求項2に記載の記憶装置。

【請求項4】

ディスク記憶媒体と、

前記不揮発性メモリを前記ディスク記憶媒体のキャッシュとして利用するキャッシュ制御手段と

を更に具備する請求項1に記載の記憶装置。

【請求項5】

バッファメモリと、不揮発性メモリとが接続されるコントローラであって、

ホストから送信されたデータを順に前記バッファメモリに設定される複数のデータバッファ領域に書き込む第1の書き込み制御手段と、

前記不揮発性メモリに設定される複数のバンクにそれぞれ対応する複数のバンク書き込み手段を有し、各前記バンク書き込み手段は前記複数のデータバッファ領域の内の一つのデータバッファ領域に書き込まれているデータを読み出し、読み出したデータを前記不揮発性メモリの対応するバンクに書き込む第2の書き込み制御手段とを具備し、

前記複数のバンク書き込み手段の内の一つのバンク書き込み手段が前記複数のデータバッファ領域の内の一つのデータバッファ領域に書き込まれているデータを読み出した場合、前記第1の書き込み制御手段は、前記データが読み出されたデータバッファ領域に前記ホストから送信されたデータを書き込み、

各バンク書き込み手段は、他のバンク書き込み手段によるデータの書き込みの処理状況とは独立に前記複数のバッファメモリの内の第1のデータバッファ領域からデータを読み出し、前記読み出されたデータに対応するバンクに書き込むコントローラ。

【請求項6】

バッファメモリと、不揮発性メモリとが接続される記憶装置のデータ書き込み方法であって、

第1の書き込み制御手段によってホストから送信されたデータを順に前記バッファメモリに設定される複数のデータバッファ領域に書き込み、

10

20

30

40

50

第2の書き込み制御手段に設けられた複数のバンク書き込み手段によって前記複数のデータバッファ領域に格納されているデータを前記不揮発性メモリに設定される複数のバンクにそれぞれ書き込み、

前記複数のバンク書き込み手段の内の一つのバンク書き込み手段が前記複数のデータバッファ領域の内の一つのデータバッファ領域に書き込まれているデータを読み出した場合、前記第1の書き込み制御手段によって前記データが読み出されたデータバッファ領域に前記ホストから送信されたデータを書き込み、

各バンク書き込み手段は、他のバンク書き込み手段によるデータの書き込みの処理状況とは独立に前記複数のバッファメモリの内の第1のデータバッファ領域からデータを読み出し、前記読み出されたデータに対応するバンクに書き込む

データ書き込み制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、バッファメモリを用いて不揮発性メモリにデータを書き込む記憶装置、コントローラ、および書き込み制御方法に関する。

【背景技術】

【0002】

DRAMでは、データの転送速度を高速にするために、複数のバンクに同時にアクセスするメモリアクセスが行われている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開平11-144479号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

一方、不揮発性メモリでは、バンク毎にデータの書き込み処理時間が大きく異なる場合がある。そのため、バッファメモリから不揮発性メモリの複数のバンクへのデータの転送で、データの書き込みが遅いバンクがあるために、データの書き込みが早いバンクへの書き込み処理ができず、効率的な書き込み制御ができない事がある。

【0005】

本発明の目的は、バッファメモリから不揮発性メモリの複数のバンクに並列的にデータを書き込む場合に、効率的な書き込み制御を行うことが可能な記憶装置、半導体チップ、および書き込み制御方法を提供することにある。

【課題を解決するための手段】

【0006】

実施形態によれば、複数のデータバッファ領域が設定されるバッファメモリと、ホストから送信されたデータを順に前記複数のデータバッファ領域に書き込む第1の書き込み制御手段と、複数のバンクが設定される不揮発性メモリと、前記複数のバンクにそれぞれ対応する複数のバンク書き込み手段を有し、各前記バンク書き込み手段は前記複数のデータバッファ領域の内の一つのデータバッファ領域に書き込まれているデータを読み出し、読み出したデータを前記不揮発性メモリの対応するバンクに書き込む第2の書き込み制御手段と具備し、前記複数のバンク書き込み手段の内の一つのバンク書き込み手段が前記複数のデータバッファ領域の内の一つのデータバッファ領域に書き込まれている第1のデータを読み出した場合、前記第1の書き込み制御手段は、前記第1のデータが読み出されたデータバッファ領域に前記ホストから送信されたデータを書き込み、各バンク書き込み手段は、他のバンク書き込み手段によるデータの書き込みの処理状況とは独立に、前記複数のバッファメモリの内の第1のデータバッファ領域から第2のデータを読み出し、前記第2のデータに対応するバンクに書き込む。

10

20

30

40

50

【図面の簡単な説明】

【0007】

【図1】実施形態の記憶装置の構成の一例を示すブロック図。

【図2】実施形態の制御部の構成の一例を示すブロック図。

【図3】実施形態のホスト側バッファコントローラ、およびフラッシュメモリ側バッファコントローラの構成の一例を示す図。

【図4】実施形態のホスト側バッファコントローラの動作の一例を説明するためのフローチャート。

【図5】実施形態のフラッシュメモリ側バッファコントローラの動作の一例を説明するための示すフローチャート。

10

【図6】書き込みの初期状態におけるホスト側バッファコントローラ、フラッシュメモリ側バッファコントローラ、バッファメモリ、およびNANDフラッシュメモリの一例を示す図。

【図7】バンク1の先頭ブロックへのデータD1の書き込みが終わった後の処理の手順を説明するための図。

【図8】バンク1の先頭ブロックへのデータD1の書き込みが終わった後の処理の手順を説明するための図。

【図9】バンク1の先頭ブロックへのデータD1の書き込みが終わった後の処理の手順を説明するための図。

【図10】バンク1の先頭ブロックへのデータD1の書き込みが終わった後の処理の手順を説明するための図。

20

【図11】バンク3の3番目のブロックへのデータD11の書き込みが終了した状態を示す図。

【図12】バンク3の3番目のブロックへのデータD11の書き込みが終わった後の処理の手順を説明するための図。

【図13】バンク3の3番目のブロックへのデータD11の書き込みが終わった後の処理の手順を説明するための図。

【図14】バンク3の3番目のブロックへのデータD11の書き込みが終わった後の処理の手順を説明するための図。

【図15】バンク3の3番目のブロックへのデータD11の書き込みが終わった後の処理の手順を説明するための図。

30

【図16】バンク3の3番目のブロックへのデータD11の書き込みが終わった後の処理の手順を説明するための図。

【図17】バンク2の3番目のブロックへのデータD10の書き込みが終わった後の処理の手順を説明するための図。

【図18】バンク2の3番目のブロックへのデータD10の書き込みが終わった後の処理の手順を説明するための図。

【図19】バンク2の3番目のブロックへのデータD10の書き込みが終わった後の処理の手順を説明するための図。

【図20】バンク2の3番目のブロックへのデータD10の書き込みが終わった後の処理の手順を説明するための図。

40

【図21】バンク2の3番目のブロックへのデータD10の書き込みが終わった後の処理の手順を説明するための図。

【図22】バンク1の4番目のブロックへのデータD13の書き込みが終わった後の処理の手順を説明するための図。

【図23】バンク1の4番目のブロックへのデータD13の書き込みが終わった後の処理の手順を説明するための図。

【図24】バンク1の4番目のブロックへのデータD13の書き込みが終わった後の処理の手順を説明するための図。

【図25】バンク1の4番目のブロックへのデータD13の書き込みが終わった後の処理

50

の手順を説明するための図。

【図26】バンク1の4番目のブロックへのデータD13の書き込みが終わった後の処理の手順を説明するための図。

【図27】バンク0の1番目のブロックへのデータD0の書き込みが終わった後の処理の手順を説明するための図。

【図28】バンク0の1番目のブロックへのデータD0の書き込みが終わった後の処理の手順を説明するための図。

【図29】バンク0の1番目のブロックへのデータD0の書き込みが終わった後の処理の手順を説明するための図。

【図30】バンク0の1番目のブロックへのデータD0の書き込みが終わった後の処理の手順を説明するための図。

【図31】バンク0の1番目のブロックへのデータD0の書き込みが終わった後の処理の手順を説明するための図。

【図32】バンク0の1番目のブロックへのデータD0の書き込みが終わった後の処理の手順を説明するための図。

【発明を実施するための形態】

【0008】

以下、実施の形態について図面を参照して説明する。

【0009】

記憶装置は、ハイブリッド - ハードディスクドライブ (H - HDD : Hybrid Hard Disk Drive) として実現され得る。

【0010】

図1は、記憶装置の構成を示すブロック図である。

【0011】

この記憶装置は、例えば、ATA (AT Attachment Controller) 規格に準拠したストレージデバイス12として実現されている。このストレージデバイス12は、例えば、ハイブリッドハードディスクドライブ (ハイブリッドHDD) として機能する。ハイブリッドHDDは、ハードディスク (ディスク記憶媒体) と、このディスク記憶媒体のキャッシュとして機能する不揮発性メモリを含むディスクドライブである。不揮発性メモリには、例えばNANDフラッシュメモリが用いられる。

【0012】

このストレージデバイス12は、サーバ、パーソナルコンピュータといった情報処理装置1の外部記憶装置として機能するドライブ装置である。情報処理装置1の情報処理装置本体内には、ホスト装置11とストレージデバイス12とが設けられる。ホスト装置11は、情報処理装置1のコアユニットであり、各種プログラムを実行するCPU、およびメモリ等から構成される。ストレージデバイス12は、シリアルATAのようなATAインタフェースを介してホスト装置11に接続される。

【0013】

ストレージデバイス12は、制御部201、揮発性メモリ202、NANDフラッシュメモリ203、ハードディスクコントローラ (HDC) 205、ハードディスク206等を有している。制御部201は、ストレージデバイス12内の各部を制御するマイクロプロセッサである。制御部201は、ATAインタフェース介してホスト装置11との通信を実行するホストインタフェースであるATAコントローラを含む。HDC205は、ハードディスク206を制御するコントローラである。

【0014】

揮発性メモリ202は例えばDRAMから構成されている。

【0015】

ハードディスク206はディスク記憶媒体である。具体的には、ハードディスク206は、ディスク記憶媒体207、スピンドルモータ (SPM) 208、ヘッド209、アクチュエータ210、ボイスコイルモータ (VCM) 211等を備える。SPM208はデ

10

20

30

40

50

ディスク記憶媒体 207 を回転させ、アクチュエータ 210 及び VCM 211 はヘッド 209 をディスク記憶媒体 207 の半径方向に移動させるヘッド駆動機構である。

【0016】

揮発性メモリ 202 はホスト装置 11 からのライトデータまたはホスト装置 11 に読み出すべきリードデータを一時的に格納するためのデータバッファとして機能する。以下では、揮発性メモリ 202 をバッファメモリ 202 と記すこともある。NANDフラッシュメモリ 203 は、ハードディスク（ディスク記憶媒体）206 のキャッシュとして機能するキャッシュメモリ（不揮発性キャッシュメモリ）である。NANDフラッシュメモリ 203 は、ハードディスク 206 からリードされたデータを格納する。また、NANDフラッシュメモリ 203 は、ホスト装置 11 に対して高速に転送すべき特定のデータのセットを恒常的に格納することもできる。すなわち、通常は、ソフトウェア（オペレーティングシステム内のカーネル、デバイスドライバ、アプリケーションプログラム、等）及びユーザデータの全てがハードディスク 206 にのみ格納されるが、本実施形態においては、それらソフトウェアの一部のコピー、またはハードディスク 206 に格納されたユーザデータの一部のコピー等を、NANDフラッシュメモリ 203 に、ホスト装置 11 に対して高速にリードすべきデータとして恒常的に格納しておくことができる。NANDフラッシュメモリ 203 に恒常的に保持されるデータは、pinnedデータと称されることもある。

10

【0017】

NANDフラッシュメモリ 203 にハードディスク 206 内のどのデータを格納すべきであるかは、ホスト装置 11 が指定することができる。制御部 201 は、ホスト装置 11 によって指定された各論理ブロックアドレス（LBA）に対応するデータをハードディスク 206 から NANDフラッシュメモリ 203 にロードする。ロードされたデータは、NANDフラッシュメモリ 203 上に恒常的に保持され得る。また、オペレーティングシステムのブートアップの開始から完了までのような所定の期間中にホスト装置 11 から発行される各リードコマンドに応じてハードディスク 206 からリードされるデータを、NANDフラッシュメモリ 203 上に pinnedデータとして格納してもよい。

20

【0018】

NANDフラッシュメモリ 203 はハードディスク 206 よりもデータの読み出し速度が速いので、NANDフラッシュメモリ 203 をハードディスク 206 のキャッシュとして機能させることにより、本ストレージデバイス 12 のレスポンス性能を向上させることができる。

30

【0019】

次に、図 2 を参照して、制御部 201 の構成を説明する。図 2 は制御部 201 の構成を示すブロック図である。

【0020】

制御部 201 は、ATAコントローラ（ATAC）301、ホスト側バッファコントローラ 302、フラッシュメモリ側バッファコントローラ（FM側バッファコントローラ）303、およびキャッシュ制御部 304 等を備えている。この制御部 201 の ATAC 301、ホスト側バッファコントローラ 302、FM側バッファコントローラ 303、およびキャッシュ制御部 304 等の各機能は一つの半導体チップ上に集積され、制御部 201 は SoC（System-on-a-Chip）によって実現されている。

40

【0021】

ATAC 301 は、ATA インタフェース介してホスト装置 11 との通信を実行するホストインタフェースである。ホスト側バッファコントローラ 302 は、例えばホストのライトアクセスデータをバッファメモリ 202 内に設定された複数のデータバッファ領域にシーケンシャルに格納する。FM側バッファコントローラ 303 は、バンク 0 制御部 3030、バンク 1 制御部 3031、バンク 2 制御部 3032、およびバンク 3 制御部 3033 等を備えている。バンク 0 制御部 3030、バンク 1 制御部 3031、バンク 2 制御部 3032、およびバンク 3 制御部 3033 は、NANDフラッシュメモリ 203 に設定された 4 つのバンクに対して並列にデータを書き込み、または 4 つのバンクから並列にデー

50

タを読み込む。

【0022】

例えば、ホストからデータD0～D23を含むデータのライトアクセスがあった場合を説明する。バンク0制御部3030は、データD0、データD4、データD8、データD12、データD16、データD20をバンク0に順に書き込む。バンク1制御部3031は、データD1、データD5、データD9、データD13、データD17、データD21のデータをバンク1に順に書き込む。バンク2制御部3032は、データD2、データD6、データD10、データD14、データD18、データD22をバンク2に順に書き込む。バンク3制御部3033は、データD3、データD7、データD11、データD15、データD19、データD23をバンク3に順に書き込む。

10

【0023】

キャッシュ制御部304は、ホスト装置11からのメディアアクセスコマンド（例えば、データリードコマンド、データライトコマンド）によって指定されたデータがNANDフラッシュメモリ203に格納されているか否かを判定し、この判定結果に応じて、NANDフラッシュメモリ203およびハードディスク206を選択的にアクセスする。

【0024】

メディアアクセスコマンドに含まれるLBAに対応するデータがNANDフラッシュメモリ203に存在する場合（キャッシュヒット）、キャッシュ制御部304は、NANDフラッシュメモリ203に対するアクセス（リードアクセスまたはライトアクセス）を実行し、ハードディスク206に対するアクセスは実行しない。

20

【0025】

一方、メディアアクセスコマンドに含まれるLBAに対応するデータがNANDフラッシュメモリ203に存在しない場合（キャッシュミス）、キャッシュ制御部304は、ハードディスク206に対するアクセスを実行する。メディアアクセスコマンドがリードコマンドであれば、ハードディスク206からデータがリードされる。リードデータはNANDフラッシュメモリ203に格納されるとともに、ホスト装置11に送出される。

【0026】

また、キャッシュ制御部304は、ハードディスク206に格納されている所定のデータのセットを、NANDフラッシュメモリ203にpinnedデータとして格納する処理も実行する。例えば、キャッシュ制御部304は、ある特定のLBA範囲内に属するデータのセット、使用頻度の高いデータのセット、ブート期間中にハードディスク206からリードされたデータのセット等を、NANDフラッシュメモリ203にpinnedデータとして格納することができる。

30

【0027】

図3はホスト側バッファコントローラ302、およびFM側バッファコントローラ303の構成を示す図である。図3を参照してホスト側バッファコントローラ302、およびFM側バッファコントローラ303の動作を説明する。

【0028】

ホスト側バッファコントローラ302は、ライトポイント P_W を格納するための記憶部302Aを備えている。FM側バッファコントローラ303は、データバッファ登録先頭ポイント P_T を格納するための記憶部303Aを備えている。バンク0制御部3030は、リードポイント P_{R0} を格納するための記憶部3030Aを備えている。バンク1制御部3031は、リードポイント P_{R1} を格納するための記憶部3031Aを備えている。バンク2制御部3032は、リードポイント P_{R2} を格納するための記憶部3032Aを備えている。バンク3制御部3033は、リードポイント P_{R3} を格納するための記憶部3033Aを備えている。

40

【0029】

バッファメモリ202には、ホスト側インデックス格納領域 $Index_H$ が設定されている。ホスト側インデックス格納領域 $Index_H$ 内には、ホスト側インデックス番号 $N_{H0} \sim N_{H15}$ が格納されている。

50

【 0 0 3 0 】

ホスト側インデックス格納領域 $Index_H$ に格納されているホスト側インデックスの数は、バンク数の整数倍である。本実施形態の場合、ホスト側インデックス格納領域 $Index_H$ にバンク数の4倍の16個のホスト側インデックスが格納される。

【 0 0 3 1 】

バッファメモリ202には、フラッシュメモリ側インデックス格納領域 $Index_{FM}$ が設定されている。フラッシュメモリ側インデックス格納領域 $Index_{FM}$ 内には、フラッシュメモリ(FM)側インデックス番号 N_{B0-0} 、 N_{B1-0} 、 N_{B2-0} 、 N_{B3-0} 、 N_{B0-1} 、 N_{B1-1} 、 N_{B2-1} 、 N_{B3-1} 、 N_{B0-2} 、 N_{B1-2} 、 N_{B2-2} 、 N_{B3-2} 、 N_{B0-3} 、 N_{B1-3} 、 N_{B2-3} 、および N_{B3-3} が格納されている。

10

【 0 0 3 2 】

FM側インデックス番号 N_{B0-0} 、 N_{B1-0} 、 N_{B2-0} 、 N_{B3-0} 、 N_{B0-1} 、 N_{B1-1} 、 N_{B2-1} 、 N_{B3-1} 、 N_{B0-2} 、 N_{B1-2} 、 N_{B2-2} 、 N_{B3-2} 、 N_{B0-3} 、 N_{B1-3} 、 N_{B2-3} 、および N_{B3-3} は、ブロック B0、B1、B2、B3 に分割して格納されている。

【 0 0 3 3 】

各ブロックには、バンク0制御部3030に対応するFM側インデックス番号 N_{B0-M} ($M=0, 1, 2, 3$)、バンク1制御部3031に対応するFM側インデックス番号 N_{B1-M} ($M=0, 1, 2, 3$)、バンク2制御部3032に対応するFM側インデックス番号 N_{B2-M} ($M=0, 1, 2, 3$)、および、バンク3制御部3033に対応するFM側インデックス番号 N_{B3-M} ($M=0, 1, 2, 3$) が格納されている。

20

【 0 0 3 4 】

ライトポイント $P_W = H0$ およびデータバッファ登録先頭ポイント $P_T = H0$ は、ホスト側インデックス番号 N_{H0} を指し示す。ライトポイント $P_W = H1$ およびデータバッファ登録先頭ポイント $P_T = H1$ は、ホスト側インデックス番号 N_{H1} を指し示す。ライトポイント $P_W = H2$ およびデータバッファ登録先頭ポイント $P_T = H2$ は、ホスト側インデックス番号 N_{H2} を指し示す。ライトポイント $P_W = H3$ およびデータバッファ登録先頭ポイント $P_T = H3$ は、ホスト側インデックス番号 N_{H3} を指し示す。

【 0 0 3 5 】

ライトポイント $P_W = H4$ およびデータバッファ登録先頭ポイント $P_T = H4$ は、ホスト側インデックス番号 N_{H4} を指し示す。ライトポイント $P_W = H5$ およびデータバッファ登録先頭ポイント $P_T = H5$ は、ホスト側インデックス番号 N_{H5} を指し示す。ライトポイント $P_W = H6$ およびデータバッファ登録先頭ポイント $P_T = H6$ は、ホスト側インデックス番号 N_{H6} を指し示す。ライトポイント $P_W = H7$ およびデータバッファ登録先頭ポイント $P_T = H7$ は、ホスト側インデックス番号 N_{H7} を指し示す。

30

【 0 0 3 6 】

ライトポイント $P_W = H8$ およびデータバッファ登録先頭ポイント $P_T = H8$ は、ホスト側インデックス番号 N_{H8} を指し示す。ライトポイント $P_W = H9$ およびデータバッファ登録先頭ポイント $P_T = H9$ は、ホスト側インデックス番号 N_{H9} を指し示す。ライトポイント $P_W = H10$ およびデータバッファ登録先頭ポイント $P_T = H10$ は、ホスト側インデックス番号 N_{H10} を指し示す。ライトポイント $P_W = H11$ およびデータバッファ登録先頭ポイント $P_T = H11$ は、ホスト側インデックス番号 N_{H11} を指し示す。

40

【 0 0 3 7 】

ライトポイント $P_W = H12$ およびデータバッファ登録先頭ポイント $P_T = H12$ は、ホスト側インデックス番号 N_{H12} を指し示す。ライトポイント $P_W = H13$ およびデータバッファ登録先頭ポイント $P_T = H13$ は、ホスト側インデックス番号 N_{H13} を指し示す。ライトポイント $P_W = H14$ およびデータバッファ登録先頭ポイント $P_T = H14$ は、ホスト側インデックス番号 N_{H14} を指し示す。ライトポイント $P_W = H15$ およびデータバッファ登録先頭ポイント $P_T = H15$ は、ホスト側インデックス番号 N_{H15} を指し示す。

【 0 0 3 8 】

リードポイント $P_{R0} = B0-0$ は、フラッシュメモリ側インデックス番号 N_{B0-0} を指し

50

示す。リードポインタ $P_{R0} = B0 - 1$ は、フラッシュメモリ側インデックス番号 N_{B0-1} を指し示す。リードポインタ $P_{R0} = B0 - 2$ は、フラッシュメモリ側インデックス番号 N_{B0-2} を指し示す。リードポインタ $P_{R0} = B0 - 3$ は、フラッシュメモリ側インデックス番号 N_{B0-3} を指し示す。

【0039】

リードポインタ $P_{R1} = B1 - 0$ は、フラッシュメモリ側インデックス番号 N_{B1-0} を指し示す。リードポインタ $P_{R1} = B1 - 1$ は、フラッシュメモリ側インデックス番号 N_{B1-1} を指し示す。リードポインタ $P_{R1} = B1 - 2$ は、フラッシュメモリ側インデックス番号 N_{B1-2} を指し示す。リードポインタ $P_{R1} = B1 - 3$ は、フラッシュメモリ側インデックス番号 N_{B1-3} を指し示す。

10

【0040】

リードポインタ $P_{R2} = B2 - 0$ は、フラッシュメモリ側インデックス番号 N_{B2-0} を指し示す。リードポインタ $P_{R2} = B2 - 1$ は、フラッシュメモリ側インデックス番号 N_{B2-1} を指し示す。リードポインタ $P_{R2} = B2 - 2$ は、フラッシュメモリ側インデックス番号 N_{B2-2} を指し示す。リードポインタ $P_{R2} = B2 - 3$ は、フラッシュメモリ側インデックス番号 N_{B2-3} を指し示す。

【0041】

リードポインタ $P_{R3} = B3 - 0$ は、フラッシュメモリ側インデックス番号 N_{B3-0} を指し示す。リードポインタ $P_{R3} = B3 - 1$ は、フラッシュメモリ側インデックス番号 N_{B3-1} を指し示す。リードポインタ $P_{R3} = B3 - 2$ は、フラッシュメモリ側インデックス番号 N_{B3-2} を指し示す。リードポインタ $P_{R3} = B3 - 3$ は、フラッシュメモリ側インデックス番号 N_{B3-3} を指し示す。

20

【0042】

バッファメモリ 202 には、バッファポインタ領域 P_B が設定されている。バッファポインタ領域 P_B 内には、バッファポインタ格納領域 $P_B(0) \sim P_B(15)$ が設定されている。バッファポインタ格納領域 $P_B(0) \sim P_B(15)$ の一部には、データバッファ領域に対応するデータバッファ番号を格納することができる。

【0043】

バッファメモリ 202 には、フリーポインタ・ポインタ領域 P_{FP} が設定されている。フリーポインタ・ポインタ領域 P_{FP} 内には、フリーポインタ・ポインタ格納領域 $P_{FP}(0) \sim P_{FP}(15)$ が設定されている。バッファメモリ 202 には、フリーポインタ領域 P_F が設定されている。フリーポインタ領域 P_F 内には、フリーポインタ格納領域 $P_F(0)$ 、 $P_F(1)$ が設定されている。フリーポインタ・ポインタ格納領域 $P_{FP}(0) \sim P_{FP}(15)$ には、フリーポインタ格納領域を指し示すフリーポインタ番号を格納することが可能である。フリーポインタ格納領域には、データバッファ領域に対応するデータバッファ番号を格納することができる。

30

【0044】

ホスト側インデックス番号 N_{H0} および FM 側インデックス番号 N_{B0-0} が、バッファポインタ格納領域 $P_B(0)$ に関連付けられている。バッファポインタ格納領域 $P_B(0)$ は、フリーポインタ・ポインタ格納領域 $P_{FP}(0)$ に関連付けられている。ホスト側インデックス番号 N_{H1} および FM 側インデックス番号 N_{B1-0} が、バッファポインタ格納領域 $P_B(1)$ に関連付けられている。バッファポインタ格納領域 $P_B(1)$ は、フリーポインタ・ポインタ格納領域 $P_{FP}(1)$ に関連付けられている。ホスト側インデックス番号 N_{H2} および FM 側インデックス番号 N_{B2-0} が、バッファポインタ格納領域 $P_B(2)$ に関連付けられている。バッファポインタ格納領域 $P_B(2)$ は、フリーポインタ・ポインタ格納領域 $P_{FP}(2)$ に関連付けられている。ホスト側インデックス番号 N_{H3} および FM 側インデックス番号 N_{B3-0} が、バッファポインタ格納領域 $P_B(3)$ に関連付けられている。バッファポインタ格納領域 $P_B(3)$ は、フリーポインタ・ポインタ格納領域 $P_{FP}(3)$ に関連付けられている。

40

【0045】

50

ホスト側インデックス番号 N_{H4} および FM 側インデックス番号 N_{B0-1} が、バッファポインタ格納領域 $P_B(4)$ に関連付けられている。バッファポインタ格納領域 $P_B(4)$ は、フリーポインタ・ポインタ格納領域 $P_{FP}(4)$ に関連付けられている。ホスト側インデックス番号 N_{H5} および FM 側インデックス番号 N_{B1-1} が、バッファポインタ格納領域 $P_B(5)$ に関連付けられている。バッファポインタ格納領域 $P_B(5)$ は、フリーポインタ・ポインタ格納領域 $P_{FP}(5)$ に関連付けられている。ホスト側インデックス番号 N_{H6} および FM 側インデックス番号 N_{B2-1} が、バッファポインタ格納領域 $P_B(6)$ に関連付けられている。バッファポインタ格納領域 $P_B(6)$ は、フリーポインタ・ポインタ格納領域 $P_{FP}(6)$ に関連付けられている。ホスト側インデックス番号 N_{H7} および FM 側インデックス番号 N_{B3-1} が、バッファポインタ格納領域 $P_B(7)$ に関連付けられている。バッファポインタ格納領域 $P_B(7)$ は、フリーポインタ・ポインタ格納領域 $P_{FP}(7)$ に関連付けられている。

10

【0046】

ホスト側インデックス番号 N_{H8} および FM 側インデックス番号 N_{B0-2} が、バッファポインタ格納領域 $P_B(8)$ に関連付けられている。バッファポインタ格納領域 $P_B(8)$ は、フリーポインタ・ポインタ格納領域 $P_{FP}(8)$ に関連付けられている。ホスト側インデックス番号 N_{H9} および FM 側インデックス番号 N_{B1-2} が、バッファポインタ格納領域 $P_B(9)$ に関連付けられている。バッファポインタ格納領域 $P_B(9)$ は、フリーポインタ・ポインタ格納領域 $P_{FP}(9)$ に関連付けられている。ホスト側インデックス番号 N_{H10} および FM 側インデックス番号 N_{B2-2} が、バッファポインタ格納領域 $P_B(10)$ に関連付けられている。バッファポインタ格納領域 $P_B(10)$ は、フリーポインタ・ポインタ格納領域 $P_{FP}(10)$ に関連付けられている。ホスト側インデックス番号 N_{H11} および FM 側インデックス番号 N_{B3-2} が、バッファポインタ格納領域 $P_B(11)$ に関連付けられている。バッファポインタ格納領域 $P_B(11)$ は、フリーポインタ・ポインタ格納領域 $P_{FP}(11)$ に関連付けられている。

20

【0047】

ホスト側インデックス番号 N_{H12} および FM 側インデックス番号 N_{B0-3} が、バッファポインタ格納領域 $P_B(12)$ に関連付けられている。バッファポインタ格納領域 $P_B(12)$ は、フリーポインタ・ポインタ格納領域 $P_{FP}(12)$ に関連付けられている。ホスト側インデックス番号 N_{H13} および FM 側インデックス番号 N_{B1-3} が、バッファポインタ格納領域 $P_B(13)$ に関連付けられている。バッファポインタ格納領域 $P_B(13)$ は、フリーポインタ・ポインタ格納領域 $P_{FP}(13)$ に関連付けられている。ホスト側インデックス番号 N_{H14} および FM 側インデックス番号 N_{B2-3} が、バッファポインタ格納領域 $P_B(14)$ に関連付けられている。バッファポインタ格納領域 $P_B(14)$ は、フリーポインタ・ポインタ格納領域 $P_{FP}(14)$ に関連付けられている。ホスト側インデックス番号 N_{H15} および FM 側インデックス番号 N_{B3-3} が、バッファポインタ格納領域 $P_B(15)$ に関連付けられている。バッファポインタ格納領域 $P_B(15)$ は、フリーポインタ・ポインタ格納領域 $P_{FP}(15)$ に関連付けられている。

30

【0048】

ホスト側バッファコントローラ 302 は、ライトポインタ P_W が指し示すホスト側インデックス番号に関連付けられているバッファポインタ格納領域 $P_B(A)$ ($A = 0 \sim 15$) を参照し、そのバッファポインタ格納領域 $P_B(A)$ に格納されているデータバッファ番号を得る。ホスト側バッファコントローラ 302 は、得られたデータバッファ番号に対応するデータバッファ領域にライトデータを書き込む。

40

【0049】

FM 側バッファコントローラ 303 内の各バンク N 制御部 ($N = 0, 1, 2, 3$) は、リードポインタ P_R が指し示す FM 側インデックス番号 N_{BN-M} ($M = 0, 1, 2, 3$) に関連付けられているバッファポインタ格納領域 $P_B(C)$ ($C = 0 \sim 15$) を参照し、バッファポインタ格納領域 $P_B(C)$ に格納されているデータバッファ番号を読み出す。各バンク N 制御部 ($N = 0, 1, 2, 3$) は、データバッファ番号に対応するデータバッ

50

ァ領域からデータを読み出し、NANDフラッシュメモリ内の対応するバンクに書き込む。書き込みが終了したら、各バンクN制御部（ $N = 0, 1, 2, 3$ ）は、使い終わったデータバッファを次の転送に使用するため、バッファポインタへのデータバッファ登録先頭ポインタ P_T が示す場所に、データバッファ番号を登録する。同時に、使用していたバッファポインタを“空き”に変更する。

【0050】

図4は、書込み処理時のホスト側バッファコントローラ302の動作を説明するためのフローチャートである。

ホスト側バッファコントローラ302は、ライトポインタに対応するバッファポインタ格納領域に関連付けられているフリーポインタ・ポインタ格納領域にフリーポインタ・ポインタが格納されているかを判定する（ステップB11）。格納されていないと判定した場合、ホスト側バッファコントローラ302は、ライトポインタに対応するバッファポインタ格納領域に格納されているデータバッファ番号を取得する（ステップB12）。格納されていると判定した場合、ホスト側バッファコントローラ302は、フリーポインタ・ポインタが指し示すフリーポインタ格納領域に格納されているデータバッファ番号を取得する（ステップB13）。ホスト側バッファコントローラ302は、取得したデータバッファ番号に対応するデータバッファ領域にライトデータを格納する（ステップB14）。ホスト側バッファコントローラ302は、ライトポインタの値を1インクリメントし、ライトポインタが次のホスト側インデックス番号を指し示すようにする。なお、ホスト側バッファコントローラ302は、ライトポインタが15であった場合、ライトポインタを0にする（ステップB15）。ホスト側バッファコントローラ302は、データバッファ登録先頭ポインタの値がライトポインタの値より先を示しているかを判定する（ステップB16）。先を示していないと判定した場合（ステップB16のNo）、ホスト側バッファコントローラ302は、定期的にステップB17の処理を行う。先を示していると判定した場合（ステップB16のYes）、ホスト側バッファコントローラ302は、ステップB11からの処理を順次実行する。

【0051】

図5は、書込み処理時のバンクN制御部の動作を示すフローチャートである。

バンクN制御部303Nは、リードポインタに対応するバッファポインタ格納領域に格納されているデータバッファ番号を取得する（ステップB21）。バンクN制御部303Nは、取得したデータバッファ番号に対応するデータバッファ領域からデータを取得し、取得したデータをNANDフラッシュメモリ203の対応するバンクNに書き込む（ステップB22）。バンクN制御部303Nは、データバッファ登録先頭ポインタに対応するバッファポインタ格納領域が空きになっているかを判定する（ステップB23）。空きになっていると判定した場合（ステップB23のYes）、バンクN制御部303Nは、ステップB22において取得されたデータが格納されていたデータバッファ領域に対応するデータバッファ番号をバッファポインタ格納領域に書き込む（ステップB24）。空きになっていないと判定した場合（ステップB23のNo）、バンクN制御部303Nは、まだ空いていないバッファポインタ格納領域にフリーポインタ・ポインタを書き込み、ステップB22において取得されたデータが格納されていたデータバッファ領域に対応するデータバッファ番号をフリーポインタ格納領域に書き込む（ステップB25）。バンクN制御部303Nは、先頭ポインタを1インクリメントする（ステップB26）。バンクN制御部303Nは、使用していたバッファポインタ格納領域にフリーポインタ・ポインタが格納されているかを判定する（ステップB27）。格納されてないと判定した場合（ステップB27のNo）、バンクN制御部303Nは、使用していたバッファポインタ格納領域を空きにする（ステップB28）。格納されていると判定した場合（ステップB27のYes）、バンクN制御部303Nは、フリーポインタ格納領域に格納されているデータバッファ番号を使用していたバッファポインタ格納領域に移動し、フリーポインタ格納領域を空きにする（ステップB29）。バンクN制御部303Nは、フリーポインタ・ポインタ格納領域を空きにする。バンクN制御部303Nは、リードポインタの値をインクリ

10

20

30

40

50

メントすることによって、新たなリードポイントの値が次のブロックの対応するFM側インデックスを指し示すようにする(ステップB30)。ここで、リードポイントの値をインクリメントする事について説明する。バンクN制御部(N=0, 1, 2, 3)は、BX-Y(Y=0, 1, 2, 3)のYの値を+1インクリメントする。なお、Yの値が3の場合、バンクX制御部(X=0, 1, 2, 3)は、Yの値を0にする。

【0052】

次に、実際の書き込みの手順を説明する。

図6は、書き込みの初期状態におけるホスト側バッファコントローラ302、フラッシュメモリ側バッファコントローラ303、バッファメモリ202、およびNANDフラッシュメモリ203を示す図である。

10

【0053】

ライトポイント P_W は、ホスト側インデックス番号 N_{H8} を指し示している。データバッファ登録先頭ポイント $P_T(H8)$ は、ホスト側インデックス番号 N_{H8} を指し示している。

【0054】

リードポイント P_{R0} は、FM側インデックス番号 N_{B0-0} を指し示している。リードポイント P_{R1} は、FM側インデックス番号 N_{B1-0} を指し示している。リードポイント P_{R2} は、FM側インデックス番号 N_{B2-0} を指し示している。リードポイント P_{R3} は、FM側インデックス番号 N_{B3-0} を指し示している。

20

【0055】

バッファポイント格納領域 $P_B(0)$ にデータバッファ番号 N_{DB0} が格納されている。バッファポイント格納領域 $P_B(1)$ にデータバッファ番号 N_{DB1} が格納されている。バッファポイント格納領域 $P_B(2)$ にデータバッファ番号 N_{DB2} が格納されている。バッファポイント格納領域 $P_B(3)$ にデータバッファ番号 N_{DB3} が格納されている。バッファポイント格納領域 $P_B(4)$ にデータバッファ番号 N_{DB4} が格納されている。バッファポイント格納領域 $P_B(5)$ にデータバッファ番号 N_{DB5} が格納されている。バッファポイント格納領域 $P_B(6)$ にデータバッファ番号 N_{DB6} が格納されている。バッファポイント格納領域 $P_B(7)$ にデータバッファ番号 N_{DB7} が格納されている。バッファポイント格納領域 $P_B(8) \sim P_B(15)$ は、空きである。

フリーポイント・ポイント格納領域 $P_{FP}(0) \sim P_{FP}(15)$ は空きである。

30

フリーポイント格納領域 $P_F(0)$ およびフリーポイント $P_F(1)$ は空きである。

データバッファ領域DB0にデータD0が格納されている。データバッファ領域DB1にデータD1が格納されている。データバッファ領域DB2にデータD2が格納されている。データバッファ領域DB3にデータD3が格納されている。データバッファ領域DB4にデータD4が格納されている。データバッファ領域DB5にデータD5が格納されている。データバッファ領域DB6にデータD6が格納されている。データバッファ領域DB7にデータD7が格納されている。

【0056】

バンク0制御部3030が、データバッファ領域DB0からデータD0を読み出し、読み出したデータD0をNANDフラッシュメモリ203のバンク0に書き込んでいる。バンク1制御部3031が、データバッファ領域DB1からデータD1を読み出し、読み出したデータD1をNANDフラッシュメモリ203のバンク1に書き込んでいる。

40

【0057】

バンク2制御部3032が、データバッファ領域DB2からデータD2を読み出し、読み出したデータD2をNANDフラッシュメモリ203のバンク2に書き込んでいる。バンク3制御部3033が、データバッファ領域DB3からデータD3を読み出し、読み出したデータD3をNANDフラッシュメモリ203のバンク3に書き込んでいる。

【0058】

図7～図10は、バンク1の先頭ブロックへのデータD1の書き込みが終わった後の処理の手順を説明するための図である。

50

バンク 1 制御部 3 0 3 1 は、FM 側バッファコントローラ 3 0 3 の記憶部 3 0 3 A に格納されているデータバッファ登録先頭ポインタ P_T (H 8) が指し示す Host 側インデックス番号 N_{H8} に関連付けられているバッファポインタ格納領域 P_B (8) が空きであることを判定する。

【0059】

バッファポインタ格納領域 P_B (8) が空なので、図 7 に示すように、バンク 1 制御部 3 0 3 1 は、Host 側インデックス番号 N_{H8} に関連付けられているバッファポインタ格納領域 P_B (8) に、リードデータ D_1 が格納されていたデータバッファ領域 DB_1 を示すデータバッファ番号 N_{DB1} を格納する。

【0060】

バンク 1 制御部 3 0 3 1 は、使用していたバッファポインタ格納領域 P_B (1) に関連付けられているフリーポインタ・ポインタ格納領域 P_{FP} (8) にフリーポインタ・ポインタが格納されているかを判定する。フリーポインタ・ポインタが格納されていないので、バンク 1 制御部は、使用していたバッファポインタ格納領域 P_B (1) を空きにする。

【0061】

図 8 に示すように、バンク 1 制御部 3 0 3 1 は、データバッファ登録先頭ポインタ P_T の値を 1 インクリメントすることによって、データバッファ登録先頭ポインタ P_T を H 9 にする。バンク 1 制御部 3 0 3 1 は、リードポインタ P_{R1} の値を 1 インクリメントし、リードポインタ P_{R1} を B 1 - 1 にする。

【0062】

バンク 1 制御部 3 0 3 1 は、リードポインタ P_{R1} の値である B 1 - 1 が指し示すフラッシュメモリ側インデックス番号に関連付けられているバッファポインタ格納領域 P_B (5) からデータバッファ番号 N_{DB5} を読み出す。バンク 1 制御部 3 0 3 1 は、データバッファ番号 N_{DB5} が示すデータバッファ領域 DB_2 からデータを読み出す。バンク 1 制御部 3 0 3 1 は、読み出したデータのバンク 1 の 2 番目のブロックに書き込みを始める。

【0063】

Host 側バッファコントローラ 3 0 2 は、ライトポインタ P_W (H 8) が指し示す Host 側インデックス番号 N_{H8} に関連付けられているバッファポインタ格納領域 P_B (8) に関連付けられているフリーポインタ・ポインタ格納領域 P_{PF} (8) にフリーポインタ・ポインタが格納されているかを判定する。フリーポインタ・ポインタが格納されていないので、Host 側バッファコントローラ 3 0 2 は、ライトポインタ P_W (H 8) が示す Host 側インデックス番号 N_{H8} に関連付けられているバッファポインタ格納領域 P_B (8) 内のデータバッファ番号 N_{DB1} を取得する。図 9 に示すように、Host 側バッファコントローラ 3 0 2 は、データバッファ番号 N_{DB1} が示すデータバッファ領域 DB_1 にデータ D_8 を格納する。図 10 に示すように、Host 側バッファコントローラは、ライトポインタ P_W の値をインクリメントし、ライトポインタ P_W を 9 にする図。

【0064】

Host 側バッファコントローラ 3 0 2 は、データバッファ登録先頭ポインタ P_T の値がライトポインタ P_W の値より先を示しているかを判定する。データバッファ登録先頭ポインタ P_T の値がライトポインタ P_W の値より先を示していないので、Host 側バッファコントローラ 3 0 2 は、定期的にデータバッファ登録先頭ポインタ P_T の値がライトポインタ P_W の値より先を示しているかを判定する。

【0065】

続いて、バンク 3 の先頭ブロックへのデータ D_3 、バンク 2 の先頭ブロックへのデータ D_2 、バンク 1 の 2 番目のブロックへのデータ D_5 、バンク 3 の 2 番目のブロックへのデータ D_7 、バンク 1 の 3 番目のブロックへのデータ D_9 、バンク 2 の 2 番目のブロックへのデータ D_6 、バンク 3 の 3 番目のブロックへのデータ D_{11} の順に書き込みが終了する。データ D_3 、 D_2 、 D_5 、 D_7 、 D_9 、 D_6 の書き込みが終わった後の処理の説明は省略する。

【0066】

10

20

30

40

50

図 1 1 は、バンク 3 の 3 番目のブロックへのデータ D 1 1 の書き込みが終了した状態を示す図である。図 1 1 に示すようにライトポインタ P_W は H 1 5 である。データバッファ登録先頭ポインタ P_T は H 1 5 である。リードポインタ P_{R0} は B 0 - 0 である。リードポインタ P_{R1} は B 1 - 3 である。リードポインタ P_{R2} は B 2 - 2 である。リードポインタ P_{R3} は B 3 - 2 である。

【 0 0 6 7 】

バッファポインタ格納領域 $P_B(0)$ にデータバッファ番号 N_{DB0} が格納されている。バッファポインタ格納領域 $P_B(4)$ にデータバッファ番号 N_{DB4} が格納されている。バッファポインタ格納領域 $P_B(8)$ にデータバッファ番号 N_{DB1} が格納されている。バッファポインタ格納領域 $P_B(10)$ にデータバッファ番号 N_{DB2} が格納されている。バッファポインタ格納領域 $P_B(11)$ にデータバッファ番号 N_{DB5} が格納されている。バッファポインタ格納領域 $P_B(12)$ にデータバッファ番号 N_{DB7} が格納されている。バッファポインタ格納領域 $P_B(13)$ にデータバッファ番号 N_{DB3} が格納されている。バッファポインタ格納領域 $P_B(14)$ にデータバッファ番号 N_{DB6} が格納されている。

【 0 0 6 8 】

バッファポインタ格納領域 $P_B(1)$ 、バッファポインタ格納領域 $P_B(2)$ 、バッファポインタ格納領域 $P_B(3)$ 、バッファポインタ格納領域 $P_B(5)$ 、バッファポインタ格納領域 $P_B(6)$ 、バッファポインタ格納領域 $P_B(7)$ 、バッファポインタ格納領域 $P_B(9)$ 、およびバッファポインタ格納領域 $P_B(15)$ は空きである。

【 0 0 6 9 】

フリーポインタ・ポインタ格納領域 $P_{FP}(0) \sim P_{FP}(15)$ は空きである。フリーポインタ格納領域 $P_F(0) \sim P_F(1)$ は空きである。

【 0 0 7 0 】

データバッファ領域 $DB0$ にデータ $D0$ が格納されている。データバッファ領域 $DB1$ にデータ $D8$ が格納されている。データバッファ領域 $DB2$ にデータ $D10$ が格納されている。データバッファ領域 $DB3$ にデータ $D13$ が格納されている。データバッファ領域 $DB4$ にデータ $D4$ が格納されている。データバッファ領域 $DB5$ にデータ $D11$ が格納されている。データバッファ領域 $DB6$ にデータ $D14$ が格納されている。データバッファ領域 $DB7$ にデータ $D12$ が格納されている。

【 0 0 7 1 】

図 1 2 ~ 図 1 6 は、バンク 3 の 3 番目のブロックへのデータ D 1 1 の書き込みが終わった後の処理の手順を説明するための図である。

【 0 0 7 2 】

バンク 3 制御部 3 0 3 3 は、FM 側バッファコントローラ 3 0 3 の記憶部 3 0 3 A に格納されているデータバッファ登録先頭ポインタ P_T (H 1 5) が指し示す Host 側インデックス番号 N_{H15} に関連付けられているバッファポインタ格納領域 $P_B(15)$ が空きであるかを判定する。バッファポインタ格納領域 $P_B(15)$ が空きなので、図 1 2 に示すように、バンク 3 制御部 3 0 3 3 は、Host 側インデックス番号 N_{H15} に関連付けられているバッファポインタ $P_B(15)$ に、リードデータ $D11$ が格納されていたデータバッファ領域 $DB5$ を示すデータバッファ番号 N_{DB5} を格納する。

【 0 0 7 3 】

図 1 3 に示すように、バンク 3 制御部 3 0 3 3 は、データバッファ登録先頭ポインタ P_T の値をインクリメントすることによって、データバッファ登録先頭ポインタ P_T を H 0 にする。

【 0 0 7 4 】

データバッファ登録先頭ポインタ P_T がライトポインタ P_W を示すようになったので、Host 側バッファコントローラ 3 0 2 は、ライトポインタ P_W (H 1 5) が指し示す Host 側インデックス番号 N_{H15} に関連付けられているバッファポインタ格納領域 $P_B(15)$ に関連付けられているフリーポインタ・ポインタ格納領域 $P_{FP}(15)$ にフリーポインタ・ポインタが格納されているかを判定する。フリーポインタ・ポインタが格納されていない

10

20

30

40

50

ので、ホスト側バッファコントローラ302は、ライトポイント P_W (H15)が示すホスト側インデックス番号 N_{H15} に関連付けられているバッファポイント P_B (15)内のデータバッファ番号 N_{DB5} を取得する。ホスト側バッファコントローラ302は、図14に示すように、データバッファ番号 N_{DB5} が示すデータバッファ領域DB5にデータD15を格納する。図15に示すように、ホスト側バッファコントローラは、ライトポイント P_W の値をインクリメントし、ライトポイント P_W を0にする。

【0075】

バンク3制御部3033は、使用していたバッファポイント格納領域 P_B (11)に関連付けられているフリーポイント・ポイント格納領域 P_{FP} (11)にフリーポイント・ポイントが格納されているかを判定する。フリーポイント・ポイントが格納されていないので、バンク3制御部3033は、使用していたバッファポイント格納領域 P_B (11)を空にする。

10

【0076】

図16に示すように、バンク3制御部3033は、リードポイント P_{R3} の値をインクリメントし、リードポイント P_{R3} をB3-3にする。バンク3制御部3033は、リードポイント P_{R3} の値B3-3が示すフラッシュメモリ側インデックスに関連付けられているバッファポイント P_B (15)からデータバッファ番号 N_{DB5} を読み出す。バンク3制御部3033は、データバッファ番号 N_{DB5} が示すデータバッファ領域DB5からデータD15を読み出し、読み出したデータD15をバンク3の3番目のブロックに書き込む。

【0077】

図17～図21は、バンク2の3番目のブロックへのデータD10の書き込みが終わった後の処理の手順を説明するための図である。

20

【0078】

バンク2制御部3032は、FM側バッファコントローラ303の記憶部303Aに格納されているデータバッファ登録先頭ポイント P_T (H0)が指し示すホスト側インデックス番号 N_{H0} に関連付けられているバッファポイント格納領域 P_B (0)が空きであるかを判定する。バッファポイント P_B (0)が空きではないので、図17に示すように、バンク2制御部3032は、バッファポイント格納領域 P_B (0)に関連付けられているフリーポイント・ポイント格納領域 P_{FP} (0)に、フリーポイント P_F (0)を格納する。バンク2制御部3032は、フリーポイント P_F (0)にリードデータD10が格納されていたデータバッファ領域DB10を示すデータバッファ番号 N_{DB2} を格納する。

30

【0079】

図18に示すように、バンク2制御部3032は、データバッファ登録先頭ポイント P_T の値をインクリメントすることによって、データバッファ登録先頭ポイント P_T をH1にする。

【0080】

データバッファ登録先頭ポイント P_T がライトポイント P_W の先を示すようになったので、ホスト側バッファコントローラ302は、ライトポイント P_W (H0)が示すホスト側インデックス番号 N_{H0} に関連付けられているバッファポイント格納領域 P_B (0)に関連付けられているフリーポイント・ポイント格納領域 P_{FP} (0)にフリーポイント・ポイントが格納されているかを判定する。フリーポイント・ポイントが格納されているので、ホスト側バッファコントローラ3-2は、フリーポイント・ポイント格納領域 P_{FP} (0)に格納されているフリーポイント・ポイントが指し示すフリーポイント P_F (0)内のデータバッファ番号 N_{DB2} を取得する。ホスト側バッファコントローラ302は、図19に示すように、データバッファ番号 N_{DB2} が示すデータバッファ領域DB2にデータD16を格納する。図20に示すように、ホスト側バッファコントローラは、ライトポイント P_W の値を1インクリメントし、ライトポイント P_W をH1にする。

40

【0081】

バンク2制御部3032は、使用していたバッファポイント格納領域 P_B (0)に関連付けられているフリーポイント・ポイント格納領域 P_{FP} (0)にフリーポイント・ポイント

50

タが格納されているかを判定する。フリーポインタ・ポインタが格納されていないので、バンク2制御部3032は、使用していたバッファポインタ格納領域 $P_B(0)$ を空にする。

【0082】

図21に示すように、バンク2制御部3032は、リードポインタ P_{R2} の値を1インクリメントし、リードポインタ P_{R2} をB2-3にする。バンク2制御部3032は、リードポインタ P_{R2} の値B2-3が示すフラッシュメモリ側インデックスに関連付けられているバッファポインタ $P_B(14)$ からデータバッファ番号 N_{DB6} を読み出す。バンク2制御部3032は、データバッファ番号 N_{DB6} が示すデータバッファ領域DB6からデータD14を読み出し、読み出したデータD14をバンク2の3番目のブロックに書き込む。

10

【0083】

図22～図26は、バンク1の4番目のブロックへのデータD13の書き込みが終わった後の処理の手順を説明するための図である。

【0084】

バンク1制御部3031は、FM側バッファコントローラ303の記憶部303Aに格納されているデータバッファ登録先頭ポインタ $P_T(H1)$ が指し示すホスト側インデックス番号 N_{H1} に関連付けられているバッファポインタ格納領域 $P_B(1)$ が空きであるかを判定する。バッファポインタ格納領域 $P_B(1)$ が空きなので、図22に示すように、バンク1制御部3031は、ホスト側インデックス番号 N_{H1} に関連付けられているバッファポインタ $P_B(1)$ に、リードデータD13が格納されていたデータバッファ領域DB13を示すデータバッファ番号 N_{DB3} を格納する。

20

【0085】

図23に示すように、バンク1制御部3031は、データバッファ登録先頭ポインタ P_T の値を1インクリメントすることによって、データバッファ登録先頭ポインタ P_T をH2にする。

【0086】

データバッファ登録先頭ポインタ P_T がライトポインタ P_W の先を示すようになったので、ホスト側バッファコントローラ302は、ライトポインタ $P_W(H1)$ が指し示すホスト側インデックス番号 N_{H1} に関連付けられているバッファポインタ $P_B(1)$ に関連付けられているフリーポインタ・ポインタ格納領域 $P_{FP}(1)$ にフリーポインタ・ポインタが格納されているかを判定する。フリーポインタ・ポインタが格納されていないので、ホスト側バッファコントローラ302は、ライトポインタ $P_W(H1)$ が指し示すホスト側インデックス番号 N_{H1} に関連付けられているバッファポインタ格納領域 $P_B(1)$ 内のデータバッファ番号 N_{DB3} を取得する。ホスト側バッファコントローラ302は、図24に示すように、データバッファ番号 N_{DB3} が示すデータバッファ領域DB3にデータD17を格納する。図25に示すように、ホスト側バッファコントローラ302は、ライトポインタ P_W の値を1インクリメントし、ライトポインタ P_W をH2にする。

30

【0087】

バンク1制御部3031は、使用していたバッファポインタ格納領域 $P_B(13)$ に関連付けられているフリーポインタ・ポインタ格納領域 $P_{FP}(13)$ にフリーポインタ・ポインタが格納されているかを判定する。フリーポインタ・ポインタが格納されていないので、バンク1制御部3031は、使用していたバッファポインタ $P_B(13)$ を空にする。

40

【0088】

図26に示すように、バンク1制御部3031は、リードポインタ P_{R1} の値をインクリメントし、リードポインタ P_{R1} をB1-0にする。バンク1制御部3031は、リードポインタ $P_{R1}(B1-0)$ が示すFM側インデックス番号 $N_{B1.0}$ に関連付けられているバッファポインタ $P_B(1)$ からデータバッファ番号 N_{DB3} を読み出す。バンク1制御部3031は、データバッファ番号 N_{DB3} が示すデータバッファ領域DB3からデータD17を読み出し、読み出したデータD17をバンク1の5番目のブロックに書き込む。

50

【 0 0 8 9 】

図 2 7 ~ 図 3 2 は、バンク 0 の 1 番目のブロックへのデータ D 0 の書き込みが終わった後の処理の手順を説明するための図である。

【 0 0 9 0 】

バンク 0 制御部 3 0 3 0 は、FM 側バッファコントローラ 3 0 3 の記憶部 3 0 3 A に格納されているデータバッファ登録先頭ポインタ $P_T(H2)$ が指し示す Host 側インデックス番号 N_{H2} に関連付けられているバッファポインタが空きであるかを判定する。バッファポインタが空きなので、図 2 7 に示すように、バンク 0 制御部 3 0 3 0 は、Host 側インデックス番号 N_{H2} に関連付けられているバッファポインタ $P_B(2)$ に、リードデータ D 0 が格納されていたデータバッファ領域 DB 0 を示すデータバッファ番号 N_{DB0} を格納する。

10

【 0 0 9 1 】

図 2 8 に示すように、バンク 0 制御部 3 0 3 0 は、データバッファ登録先頭ポインタ P_T の値をインクリメントすることによって、データバッファ登録先頭ポインタ P_T を H 3 にする。

【 0 0 9 2 】

データバッファ登録先頭ポインタ P_T がライトポインタ P_W の先を示すようになったので、Host 側バッファコントローラは、ライトポインタ $P_W(H2)$ が示す Host 側インデックス番号 N_{H2} に関連付けられているバッファポインタ格納領域 $P_B(2)$ に関連付けられているフリーポインタ・ポインタ格納領域 $P_{FP}(2)$ にフリーポインタ・ポインタが格納されているかを判定する。フリーポインタ・ポインタが格納されていないので、Host 側バッファコントローラ 3 0 2 は、ライトポインタ $P_W(H1)$ が示す Host 側インデックス番号 N_{H1} に関連付けられているバッファポインタ格納領域 $P_B(2)$ 内のデータバッファ番号 N_{DB0} を取得する。Host 側バッファコントローラは、図 2 9 に示すように、データバッファ番号 N_{DB0} が示すデータバッファ領域 DB 3 にデータ D 1 8 を格納する。図 3 0 に示すように、Host 側バッファコントローラは、ライトポインタ P_W の値をインクリメントし、ライトポインタ P_W を H 3 にする。

20

【 0 0 9 3 】

バンク 0 制御部 3 0 3 0 は、使用していたバッファポインタ格納領域 $P_B(0)$ に関連付けられているフリーポインタ・ポインタ格納領域 $P_{FP}(0)$ にフリーポインタ・ポインタが格納されているかを判定する。フリーポインタ・ポインタ $P_{FP}(0)$ が格納されているので、図 3 1 に示すように、バンク 0 制御部 3 0 3 0 は、フリーポインタ格納領域 $P_{FP}(0)$ に格納されているデータバッファ番号 N_{D16} をバッファポインタ格納領域 $P_B(0)$ 内に移動する。バンク 0 制御部 3 0 3 0 は、フリーポインタ・ポインタ格納領域 $P_{FP}(0)$ を空きにする。

30

【 0 0 9 4 】

図 3 2 に示すように、バンク 0 制御部 3 0 3 0 は、リードポインタ P_{R0} の値をインクリメントし、リードポインタ P_{R0} を B 0 - 1 にする。バンク 0 制御部 3 0 3 0 は、リードポインタ P_{R0} の値 B 0 - 1 が示すフラッシュメモリ側インデックスに関連付けられているバッファポインタ $P_B(4)$ からデータバッファ番号 N_{DB4} を読み出す。バンク 0 制御部 3 0 3 0 は、データバッファ番号 N_{DB4} が示すデータバッファ領域 DB 4 からデータ D 4 を読み出し、読み出したデータ D 4 をバンク 0 の 2 番目のブロックに書き込む。

40

【 0 0 9 5 】

バンク 0 制御部 3 0 3 0、バンク 1 制御部 3 0 3 1、バンク 2 制御部 3 0 3 2、およびバンク 3 制御部 3 0 3 3 は、バンク毎に独立に動作するため、先行する制御部と遅れる制御部とがある。上記のように先行した制御部が使用していたデータバッファ番号を次の転送用のバッファポインタ格納領域に格納することで、先行する制御部が遅い制御部を待つことなく処理を進め、バッファメモリを有効に使用し、効率的な書き込み制御を行うことが可能になる。ある一単位の転送でみると、早い制御部と遅い制御部があるが、繰り返し転送することで、制御部間の速度差が平均化され、遅い制御部に律足される場合に比べて

50

短い時間で終了することができる。

【0096】

フリーポインタがないと、遅い制御部により、その他の制御部を先に進めることができなくなる。これを防ぐために、データバッファを大きくする方法があるが、この場合、全バンク数分追加する必要がある。フリーポインタを用意することで、遅れたバンクだけがフリーバンクを使用でき効率が高くなる。

【0097】

上記実施形態は、記憶装置がH - HDDとして実現されていたが、記憶装置がSSD (Solid State Drive) として実現されていても良い。

【0098】

NANDフラッシュメモリ203にライトする場合を示しているが、逆方向にすることでリードアクセスも実現できる。

【0099】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

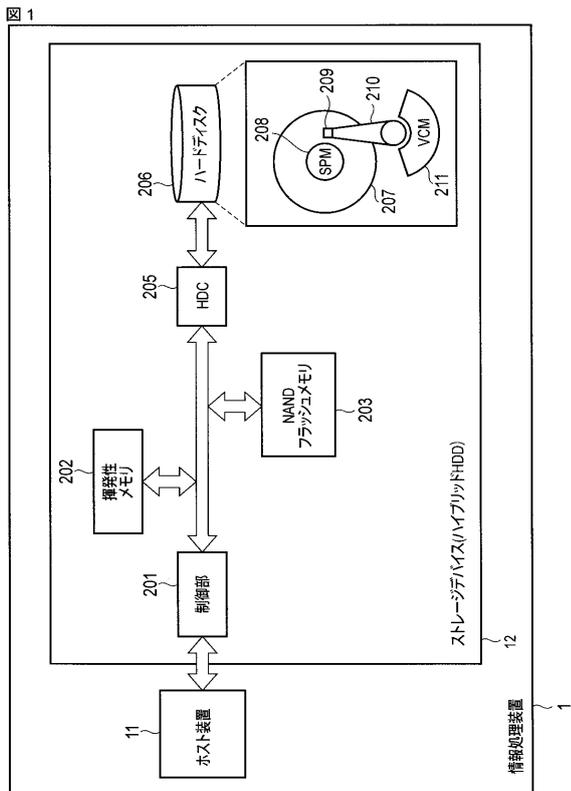
【0100】

11 ... ホスト装置、12 ... ストレージデバイス (記憶装置)、201 ... 制御部 (コントローラ)、202 ... 揮発性メモリ (バッファメモリ)、203 ... NANDフラッシュメモリ (不揮発性メモリ)、206 ... ハードディスク、302 ... ホスト側バッファコントローラ、303 ... フラッシュメモリ側バッファコントローラ、3030 ... バンク0制御部、3031 ... バンク1制御部、3032 ... バンク2制御部、3033 ... バンク3制御部。

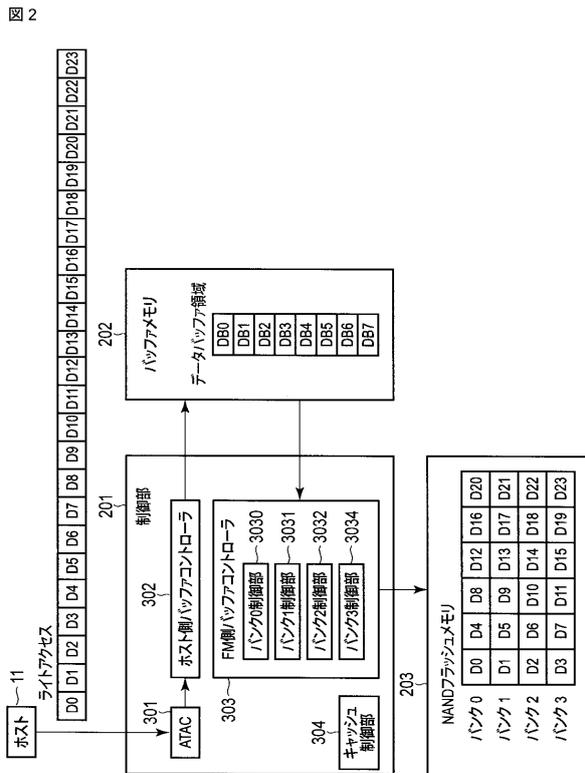
10

20

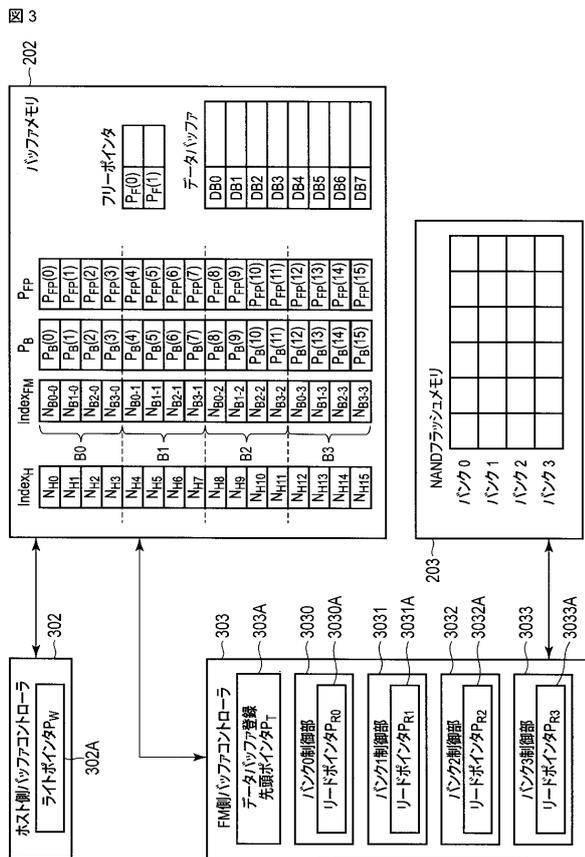
【図 1】



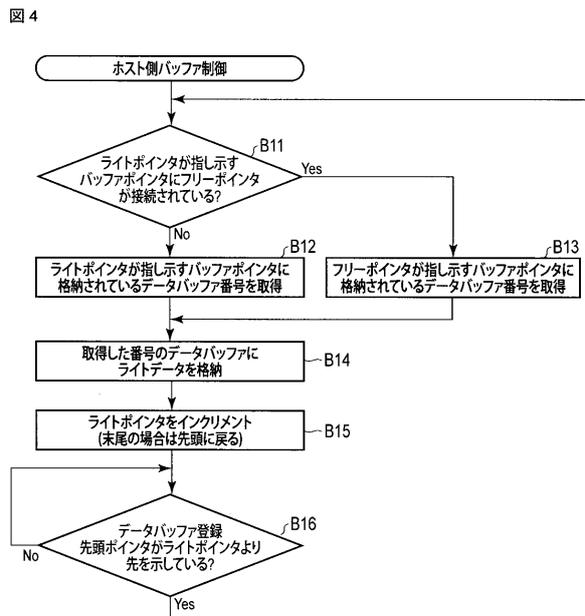
【図 2】



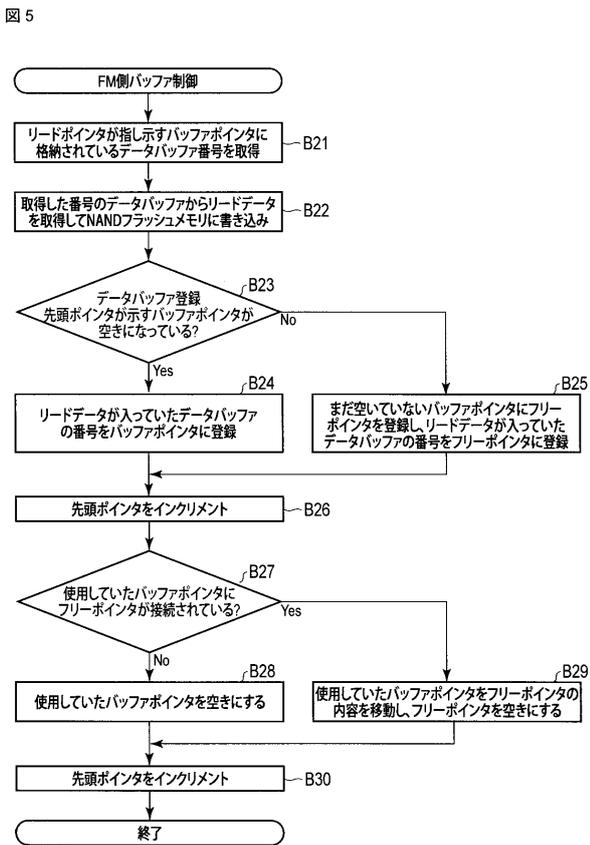
【図 3】



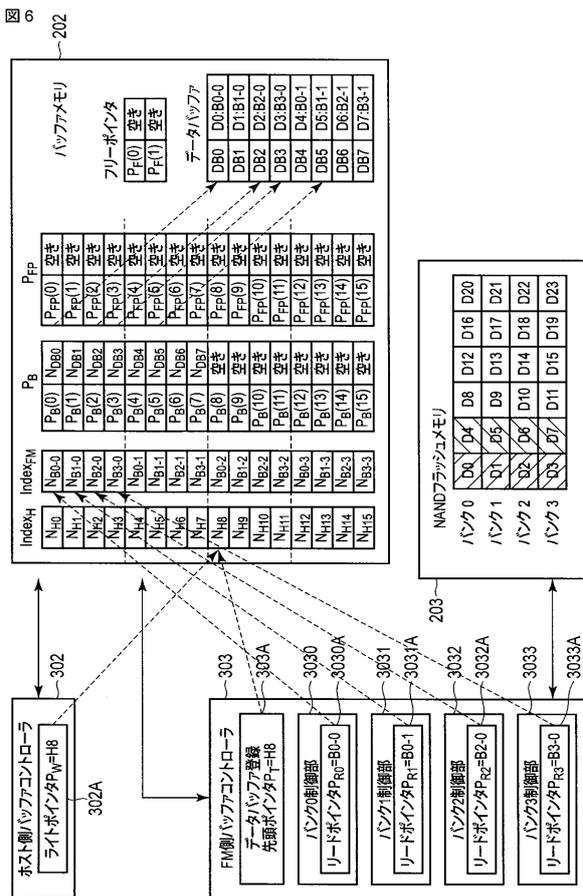
【図 4】



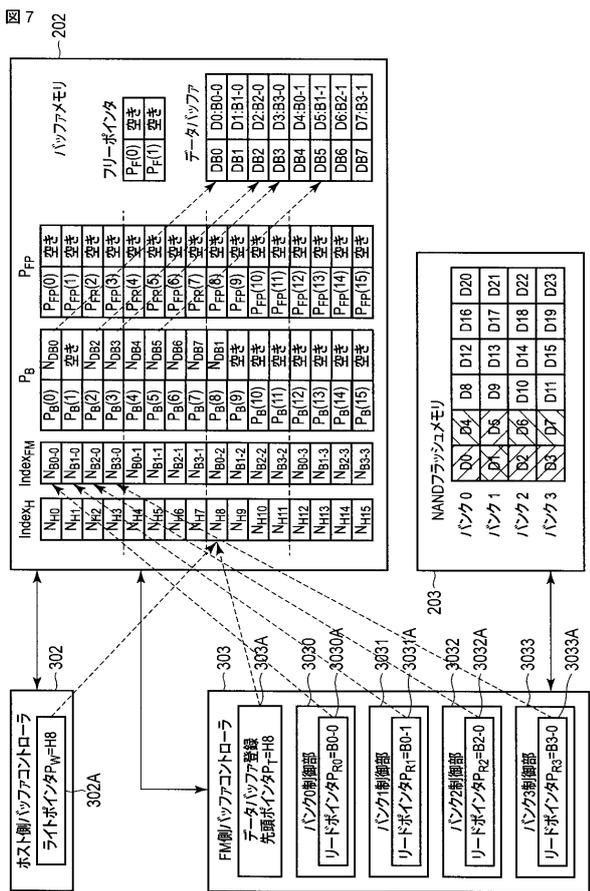
【 図 5 】



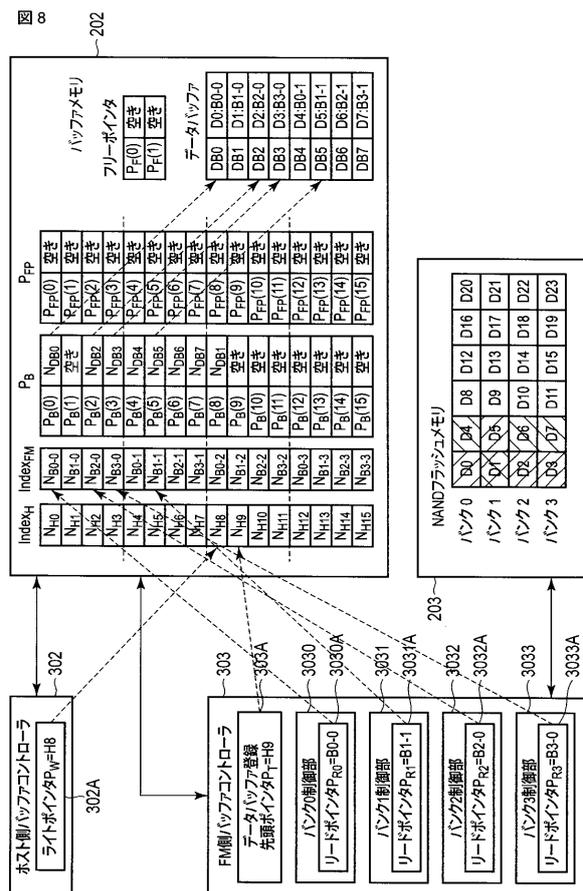
【 図 6 】



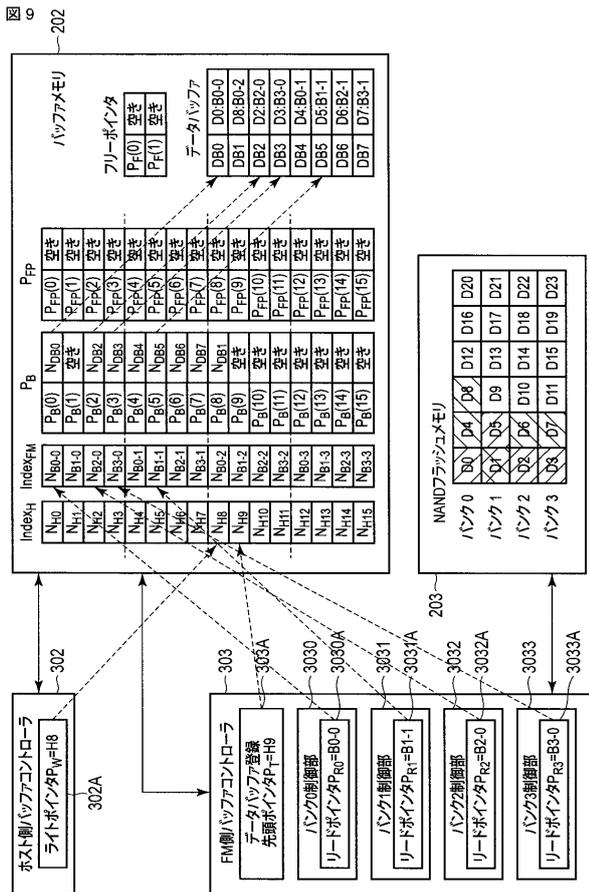
【 図 7 】



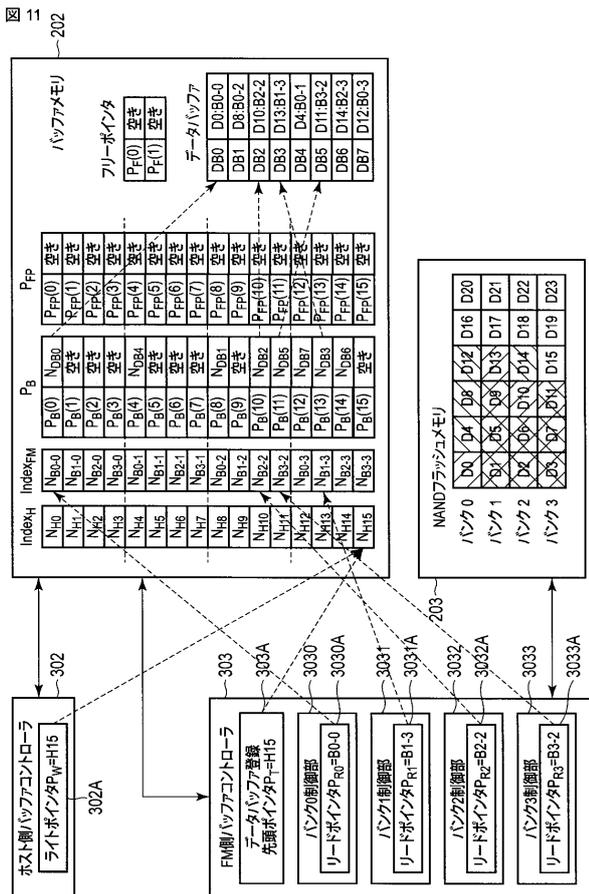
【 図 8 】



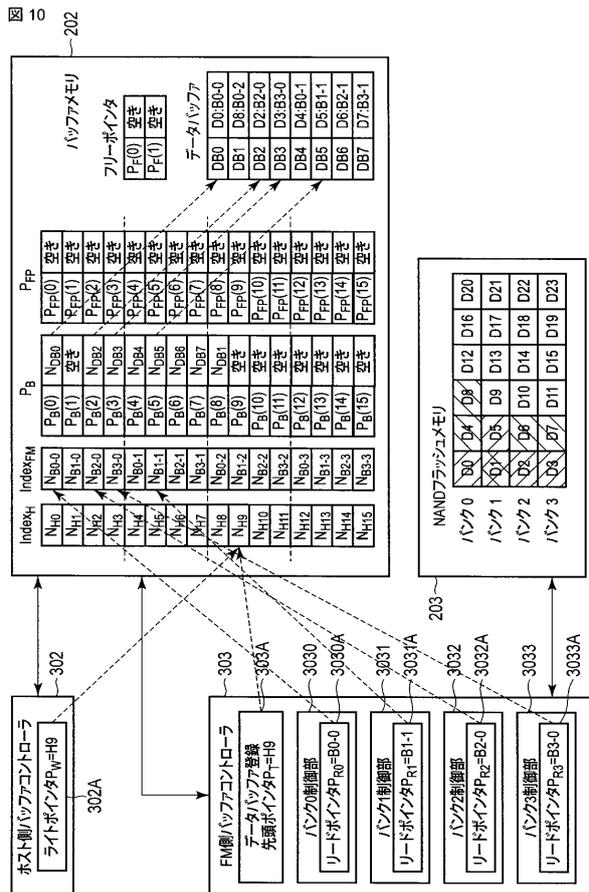
【図 9】



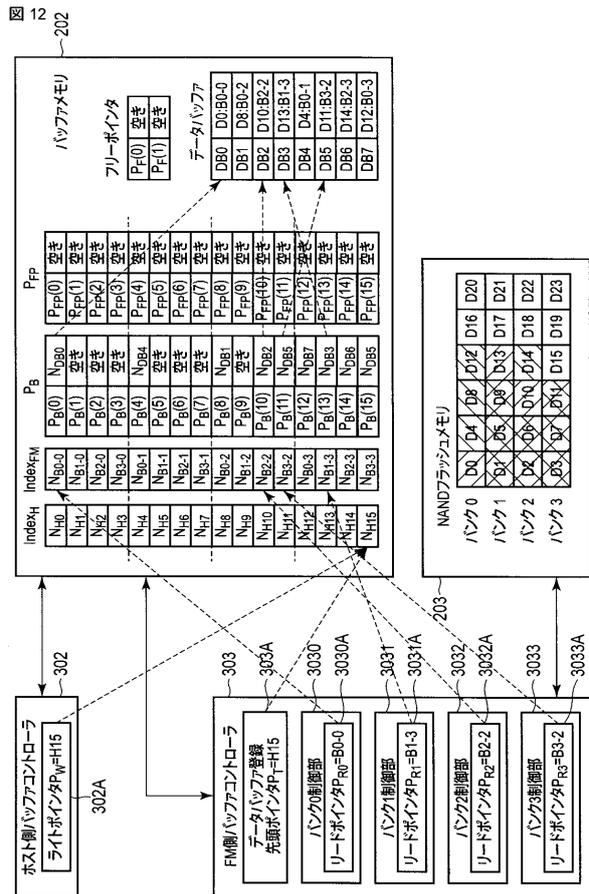
【図 11】



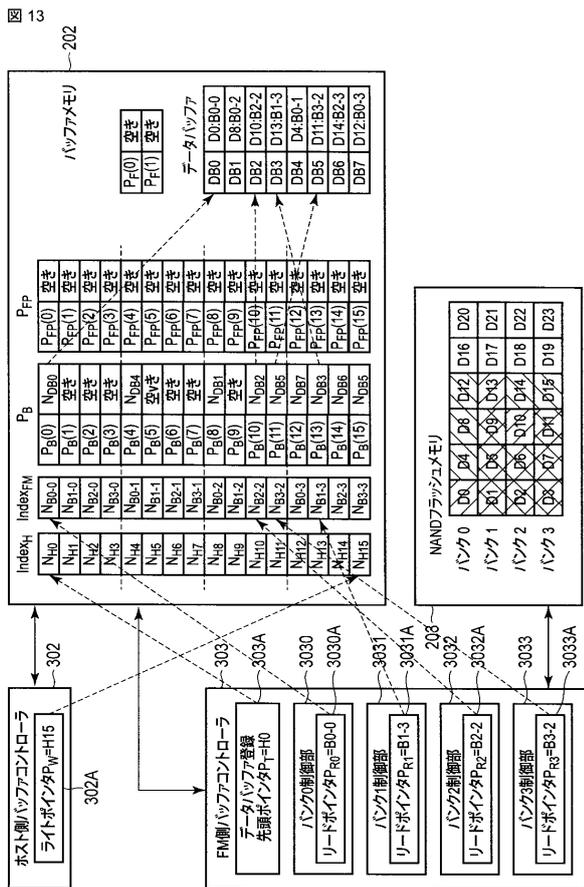
【図 10】



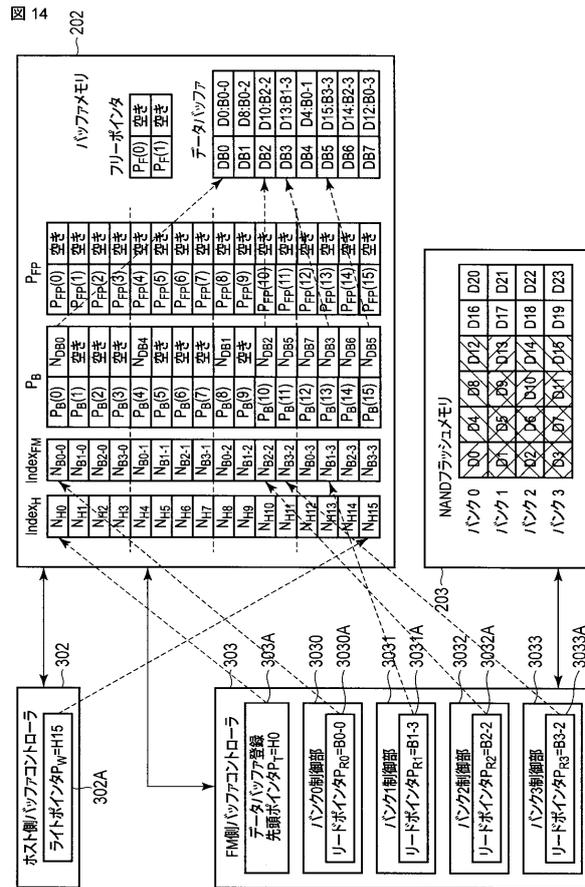
【図 12】



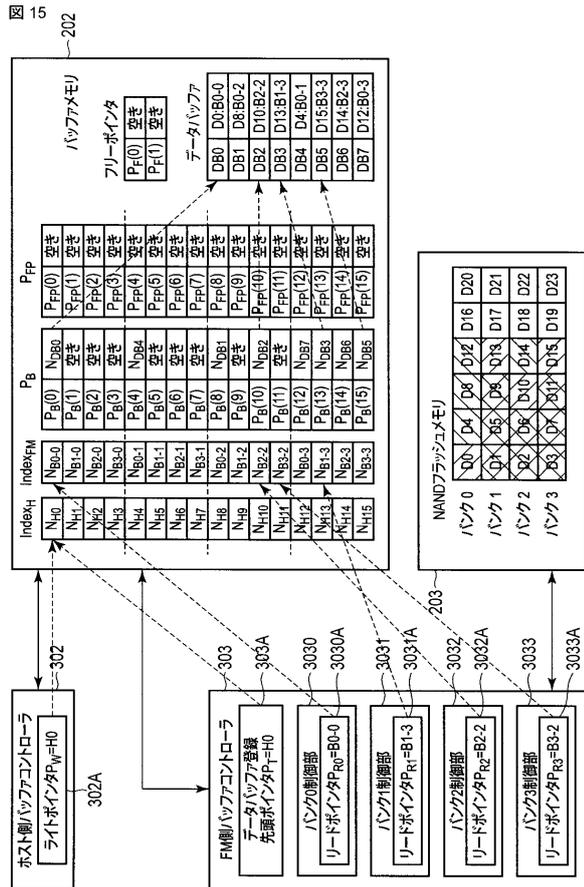
【図 13】



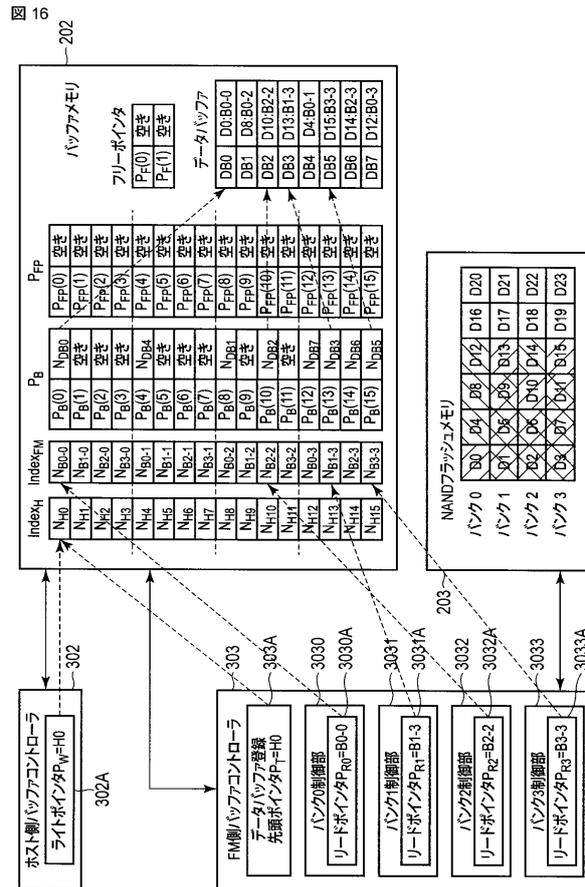
【図 14】



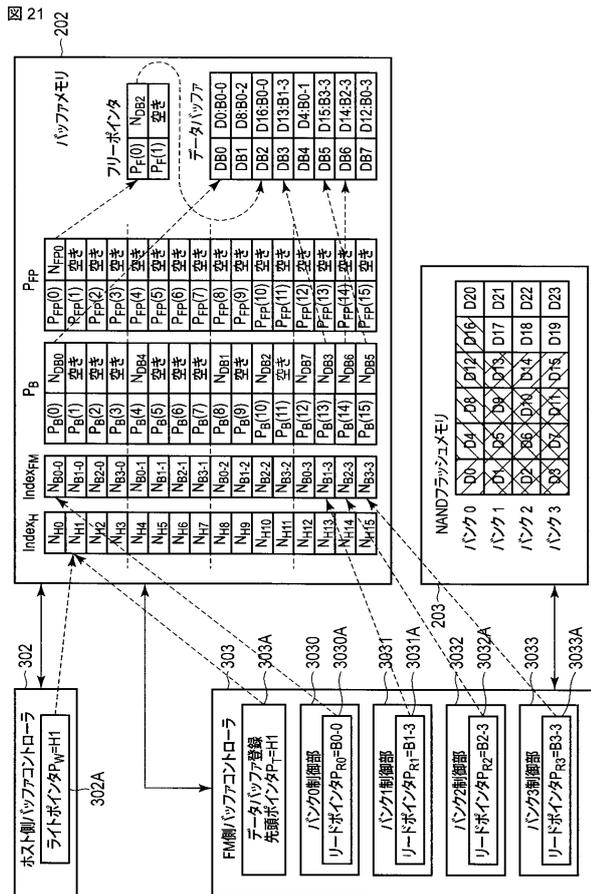
【図 15】



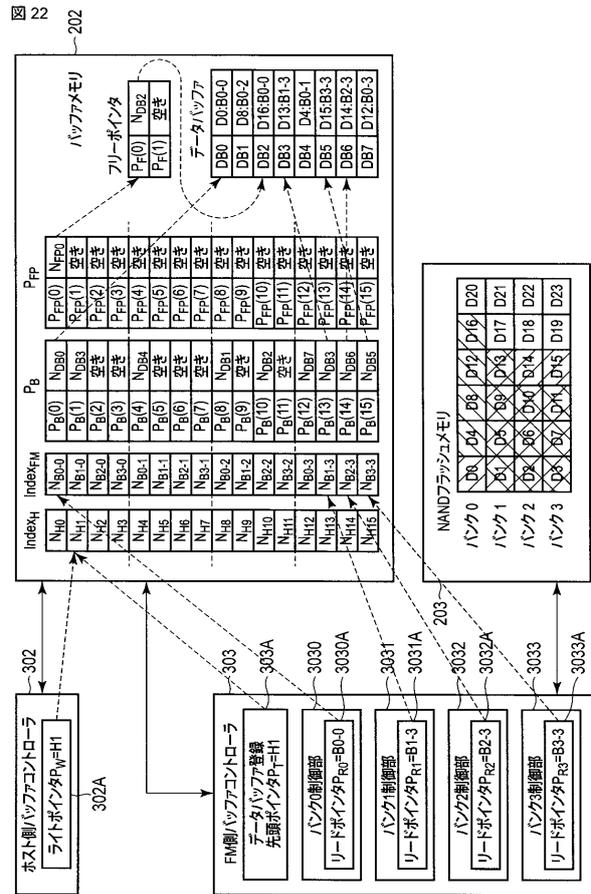
【図 16】



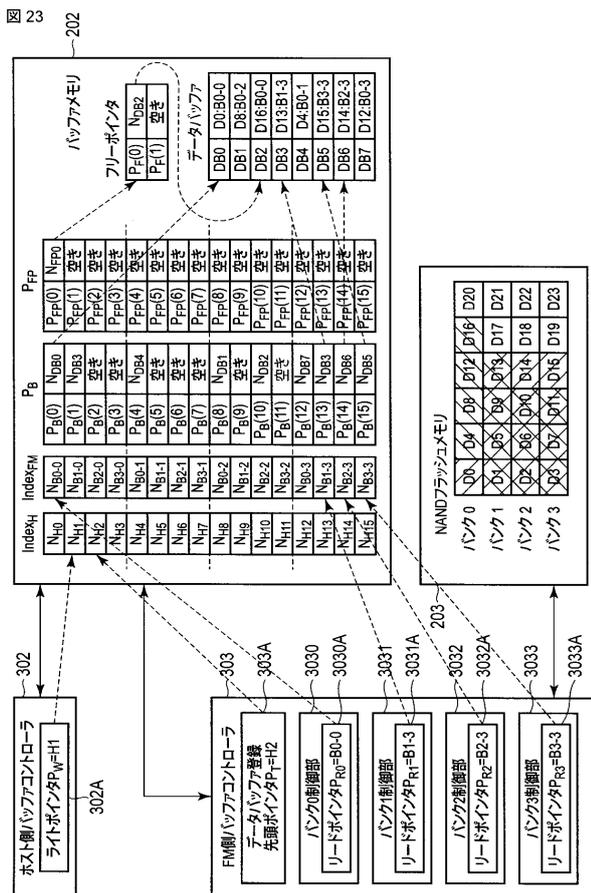
【図 2 1】



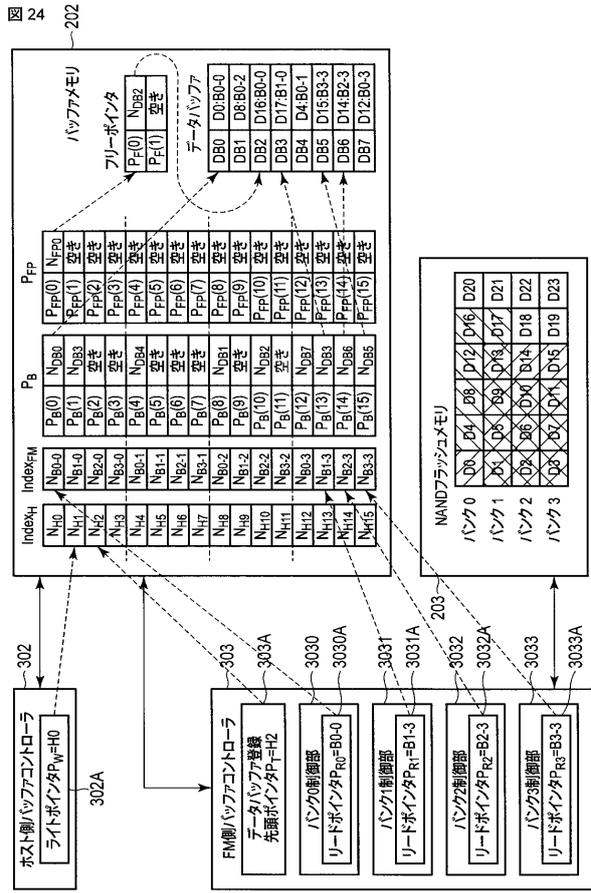
【図 2 2】



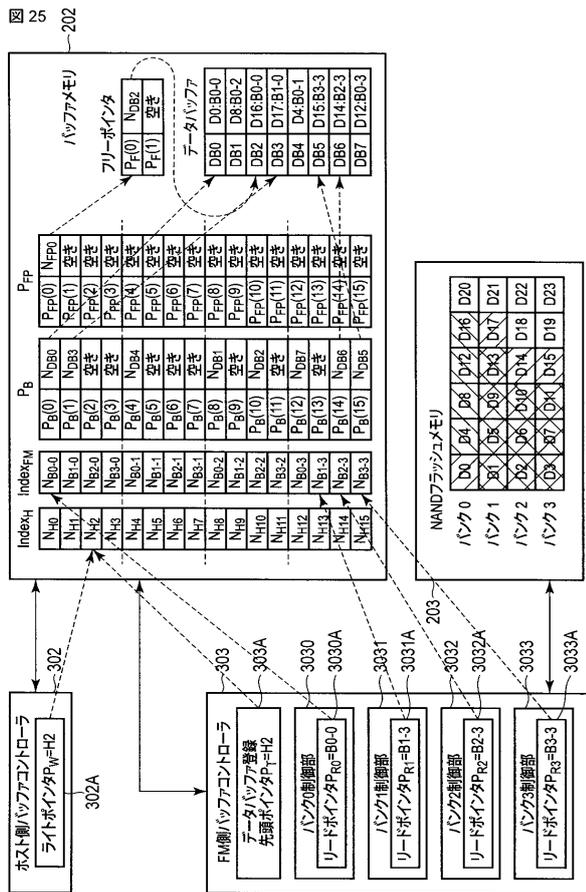
【図 2 3】



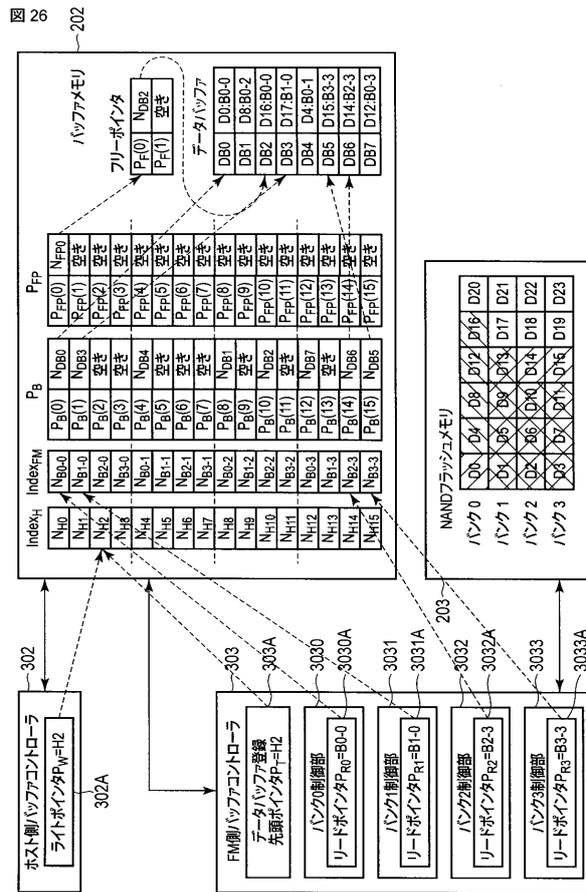
【図 2 4】



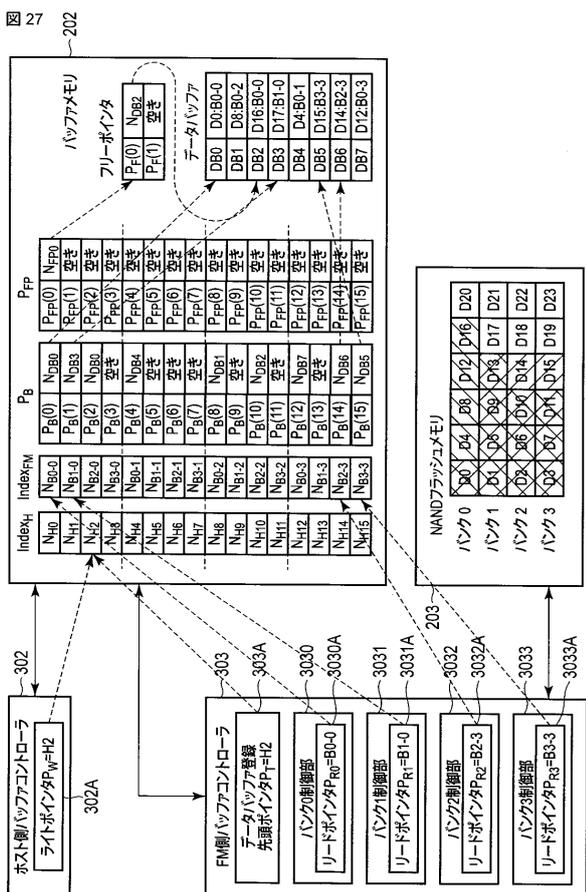
【図 25】



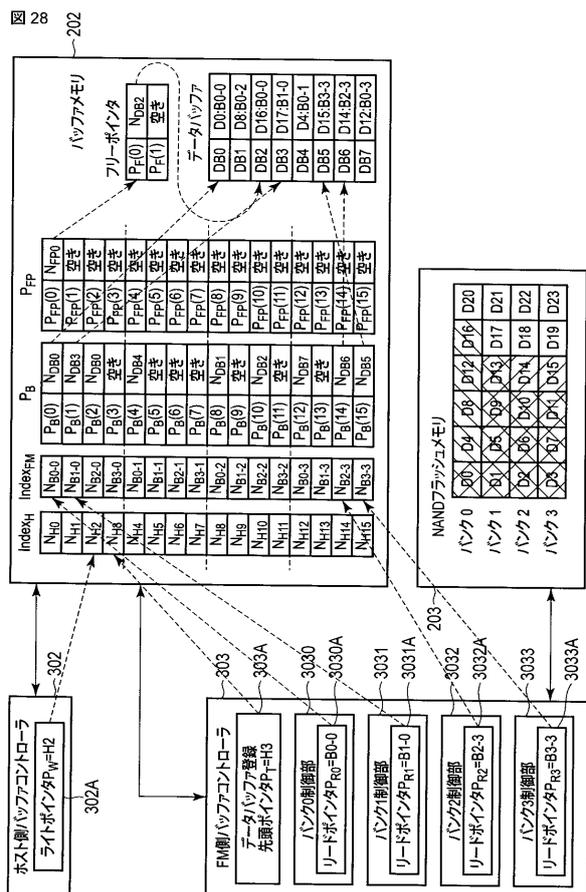
【図 26】



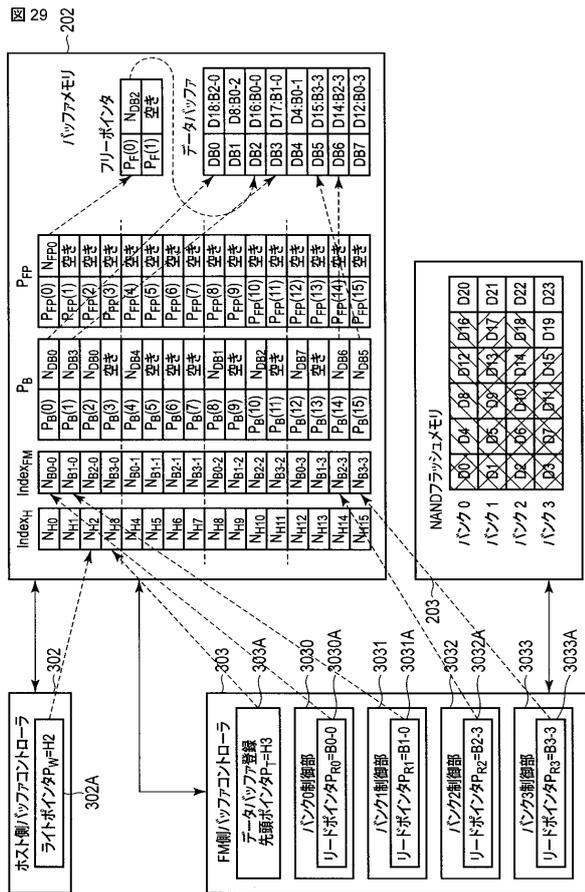
【図 27】



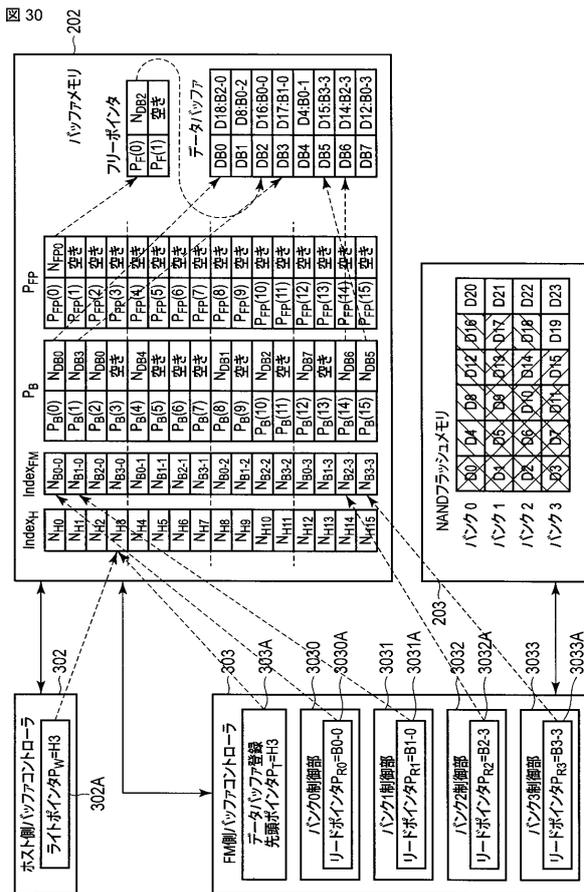
【図 28】



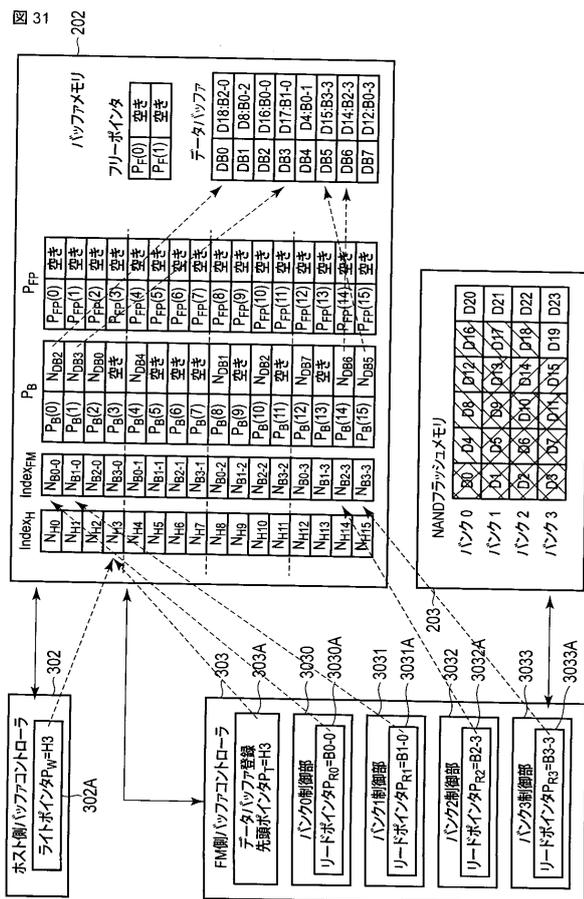
【図 29】



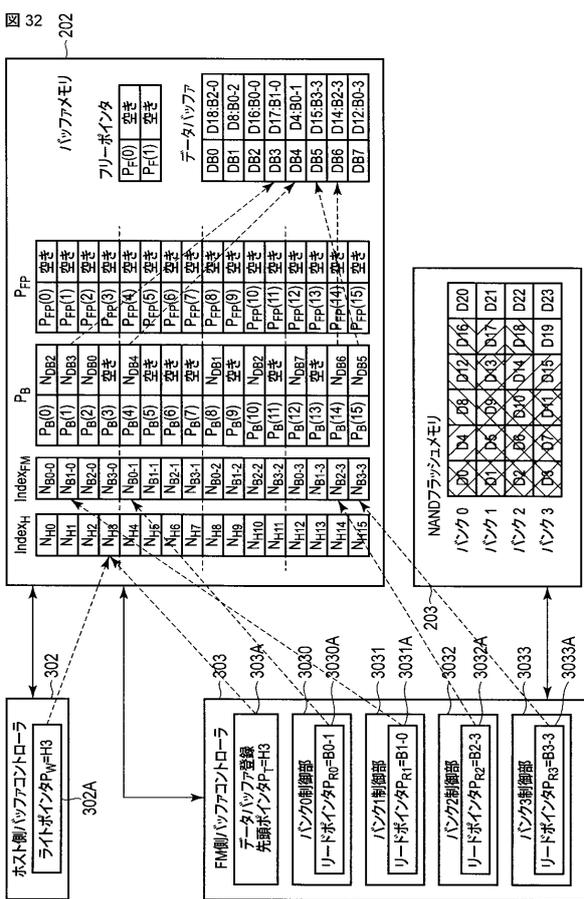
【図 30】



【図 31】



【図 32】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
G 0 6 F 3/08 H

- (74)代理人 100095441
弁理士 白根 俊郎
- (74)代理人 100103034
弁理士 野河 信久
- (74)代理人 100119976
弁理士 幸長 保次郎
- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100158805
弁理士 井関 守三
- (74)代理人 100172580
弁理士 赤穂 隆雄
- (74)代理人 100179062
弁理士 井上 正
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (74)代理人 100134290
弁理士 竹内 将訓
- (72)発明者 山崎 進
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 吉田 賢治
東京都港区芝浦一丁目1番1号 株式会社東芝内
- Fターム(参考) 5B060 CA12 CB01